

**Verbesserung des Schalt- und Betriebsverhaltens von
Leistungs-MOSFETs mit niedriger Spannungsfestigkeit
und hoher Stromtragfähigkeit durch Optimierung der
Treiberschaltung**

Dissertation

zur Erlangung des akademischen Grades
Doktor der Ingenieurwissenschaften
(Dr.-Ing.)
der Technischen Fakultät
der Christian-Albrechts-Universität zu Kiel
vorgelegt von

Björn Wittig

Kiel
2012

1. Gutachter: Professor Dr.-Ing. Friedrich W. Fuchs
2. Gutachter: Professor Dr.-Ing. Andreas Lindemann
Datum der mündlichen Prüfung: 13.07.2012

Vorwort

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Lehrstuhl für Leistungselektronik und Elektrische Antriebe der Technischen Fakultät der Christian-Albrechts-Universität zu Kiel.

Ich möchte mich besonders bei Prof. Dr.-Ing. Friedrich W. Fuchs bedanken, dessen hilfreiche Unterstützung, sorgfältige Betreuung und Anregung zu diesem Thema einen großen Teil zur Entstehung dieser Arbeit wesentlich beitrug.

Bei Herrn Professor Dr.-Ing. Lindemann bedanke ich mich ausdrücklich für die gründliche Überprüfung der Arbeit als 2. Gutachter.

Weiterhin möchte ich mich beim Land Schleswig-Holstein sowie der Fraunhofer Gesellschaft bedanken, durch deren Unterstützung meine Arbeit am Lehrstuhl für Leistungselektronik und Elektrische Antriebe als wissenschaftlicher Mitarbeiter erst ermöglicht wurde.

Herrn Eggert von der Firma Jungheinrich Norderstedt AG & Co.KG danke ich sehr für die vielen fachlichen Gespräche und Anregungen.

Großen Dank gilt natürlich auch meinen zahlreichen netten Kollegen am Lehrstuhl, durch deren große Hilfsbereitschaft und vielen fachlichen Gespräche ebenfalls einen großen Teil zu dieser Arbeit beitrugen. Besonders die zahlreichen Skat-Runden in der Mittagspause dienten häufig als intensive und kreative Denkpausen. Bernd Doneit danke ich sehr für die stets hilfreiche Unterstützung und bei der Anschaffung neuer elektronischer Komponenten für die Laborarbeit zu dieser Arbeit. Petra Bekendorf und Margit Marter möchte ich mich natürlich ebenfalls an dieser Stelle erwähnen. Habt beide herzlichen Dank für Eure Geduld mit meinen Reisekostenabrechnungen und den zahlreichen Verwaltungsfragen.

Weiteren speziellen Dank sei an Hauke Günther gerichtet, der eine lange Zeit während meiner Anstellung am Lehrstuhl für mich als fleißige studentische Hilfskraft tätig war und mir stets hilfreich mit seiner Arbeit gewesen ist.

Mein ganz persönlicher Dank gilt natürlich meiner Familie sowie meinen Freunden für deren große moralische und jahrelange Unterstützung.

Hamburg, 17.07.2012

Björn Wittig

Kurzfassung

Leistungs-MOSFETs und deren Eigenschaften haben in batteriegespeisten Antriebssträngen mit Batteriespannungen unter 100 V einen wesentlichen Einfluss auf den Wirkungsgrad und das Betriebsverhalten des Umrichters. Aufgrund des anhaltenden Trends der Reduzierung des Bahnwiderstandes von Leistungs-MOSFETs mit über 100 A Stromtragfähigkeit nimmt der Anteil der Schaltverluste an den gesamten Umrichterverlusten deutlich zu. Weiterhin erreichen die Schaltflanken Steigungen, die einen signifikanten Effekt auf das Betriebsverhalten der Ansteuerung und den Schutz des Halbleiters vor zum Beispiel Fehlerströmen haben.

In dieser Arbeit wird die treiberseitige Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit untersucht. Das Ziel ist zum Einen, eine Reduzierung der Schaltverlustleistung gegenüber der konventionellen Widerstandsansteuerung des Halbleiters zu erreichen. Zum Anderen sollen spezielle Aspekte bezüglich der Fehlerstromerkennung für Leistungs-MOSFETs in oben genannten Applikationen aufgezeigt werden.

Hierfür erfolgt zunächst eine kurze Beschreibung der grundlegenden Eigenschaften wie beispielsweise Aufbaustrukturen und statisches sowie dynamisches Verhalten von Leistungs-MOSFETs. Die Bestimmung der Halbleiterverluste anhand von Datenblattangaben wird erläutert. Weiterhin werden die verschiedenen Gehäuseformen und deren Unterschiede aufgezeigt.

Zur Untersuchung der treiberseitigen Ansteuermethoden und Fehlerströme wird folgend der Laboraufbau detailliert beschrieben sowie das dynamische Verhalten der Prüflinge aufgezeigt. Es werden Verfahren zur Verbesserung des Schaltverhaltens diskutiert und Kriterien zur Bewertung erläutert.

Eine ausführliche Untersuchung aktiver gateseitiger Ansteuerverfahren — auch Active Gate Control genannt — zur Verbesserung des Ausschaltverhaltens von Leistungs-MOSFETs wird präsentiert. Ein Verfahren zur Adaption der Stromsteilheit beim Ausschalten mittels der sog. Common Source Induktivität im Ansteuerkreis des MOSFETs wird darauffolgend vorgestellt. Weiterhin werden Einflussgrößen auf die Detektionsschwelle einer sog. Entärtigungserkennung von Fehlerströmen speziell für diesen Anwendungsfall von Leistungs-MOSFETs aufgezeigt.

Abschließend wird ein Umrichter als Beispiel präsentiert, an dem die untersuchten Methoden zur Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs demonstriert werden.

Abstract

Low voltage power MOSFETs and their characteristic exert an essential influence on the efficiency and operation performance of power converters in battery fed drive trains. Due to the trend of reducing the on-state drain source resistance of modern low voltage power MOSFETs with high current ratings over 100 A the switching losses get a significant influence on the total power losses of the converter. Furthermore the switching edges come up to steep slopes, which have an extensive effect on the operation performance of the driving stage and the protection circuit of the semiconductor against fault currents.

In this work the improvement of the switching and operation behavior of low voltage power MOSFETs with high current ratings by the driving stage is presented. On the one hand the aim is a reduction of the switching losses of the semiconductor compared to a conventional gate drive control. On the other hand special aspects concerning the detection of fault currents in applications with power MOSFETs named above have to be pointed out.

For this purpose a brief description of the basic properties of low voltage power MOSFETs, e.g. design structure and static as well as dynamic characteristic, is given. Calculation methods of the conduction and switching losses based on the information given in the manufacturer's datasheets are briefly explained. The advantages and disadvantages between different package types are shown.

The laboratory setup for analysis of the various control methods by the driving stage is described in detail and the switching behavior of the devices under test is shown. A discussion of approaches to improve the switching performance and criteria for evaluation are given.

A detailed analysis of the so called active gate control methods to improve the turn-off behavior of power MOSFETs is presented. Subsequent a procedure to adapt the current slope via the common source inductance in the control circuit is explained. Influencing parameters on the detection threshold of a desaturation detection are depicted with the focus on the application of the considered power MOSFETs.

Finally an inverter as a sample is presented at which the power loss reduction and further aspects are demonstrated when using the analyzed methods to improve the switching and operation performance of low voltage power MOSFETs.

Inhaltsverzeichnis

| | | |
|---------|---|------|
| 0. | Symbolverzeichnis | VIII |
| 1. | Einleitung | 1 |
| 2. | Funktion, Eigenschaften, Aufbau und Betriebsverhalten von Leistungs-MOSFETs | 4 |
| 2.1 | Vorbemerkung | 4 |
| 2.2 | Leistungs-MOSFETs | 4 |
| 2.2.1 | Prinzipielle Funktion von Leistungs-MOSFETs | 4 |
| 2.2.2 | Leistungs-MOSFET - Strukturen | 5 |
| 2.2.2.1 | LMOS und LDMOS | 6 |
| 2.2.2.2 | Planar MOSFET | 6 |
| 2.2.2.3 | Trench MOSFET | 7 |
| 2.2.2.4 | Superjunction-MOSFETs | 8 |
| 2.2.3 | Body-Diode (Inverse Diode) des Leistungs-MOSFETs | 9 |
| 2.3 | Statisches Verhalten | 10 |
| 2.4 | Prinzipielles Verhalten beim harten Schalten | 12 |
| 2.4.1 | Prinzipielles Verhalten beim harten Schalten von Leistungs-MOSFETs | 14 |
| 2.4.1.1 | Einschaltverhalten | 14 |
| 2.4.1.2 | Ausschaltverhalten | 16 |
| 2.4.1.3 | Verlustenergien | 17 |
| 2.4.2 | Prinzipielles Verhalten beim harten Schalten der inversen Diode von Leistungs-MOSFETs | 18 |
| 2.4.2.1 | Einschaltverhalten | 18 |
| 2.4.2.2 | Ausschaltverhalten | 19 |
| 2.5 | Bestimmung der Halbleiterverluste von Leistungs-MOSFETs | 20 |
| 2.5.1 | Analytische Bestimmung der Halbleiterverluste | 20 |
| 2.5.1.1 | Bestimmung der Durchlassverluste | 21 |
| 2.5.1.2 | Bestimmung der Schaltverluste | 22 |
| 2.5.1.3 | Approximation der Schaltzeiten | 23 |
| 2.5.2 | Bestimmung der Halbleiterverluste in Pulsstromrichtern mit sinus- förmigen Ausgangsströmen | 26 |
| 2.5.2.1 | Bestimmung der Durchlassverluste bei sinusförmigen Strömen | 26 |
| 2.5.2.2 | Bestimmung der Schaltverluste bei sinusförmigen Strömen . . | 26 |
| 2.6 | Diskrete MOSFET-Gehäuse und MOSFET-Module | 28 |
| 2.6.1 | Diskrete MOSFET-Gehäuse | 28 |
| 2.6.2 | MOSFET-Module | 30 |
| 3. | Teststand und Prüflinge zur Untersuchung der Methoden | 32 |
| 3.1 | Einführung | 32 |
| 3.2 | Teststand zur Untersuchung des dynamischen Verhaltens von Leistungs- MOSFETs | 32 |

| | | |
|-------|---|----|
| 3.2.1 | Prüfkonzept | 32 |
| 3.2.2 | Aufbau des Teststands | 33 |
| 3.2.3 | Messtechnik des Teststands | 35 |
| 3.2.4 | Layout und Ersatzschaltbild des Leistungsteils des Teststands | 36 |
| 3.3 | Exemplarisches Verhalten der Prüflinge im Teststand beim harten Schalten mit Widerstandssteuerung | 38 |
| 3.3.1 | Einschaltverhalten | 39 |
| 3.3.2 | Ausschaltverhalten | 42 |
| 3.3.3 | Ausschaltverhalten der antiparallelen Body-Diode | 44 |
| 3.4 | Ergebnisse der Verlustleistungsberechnung der Prüflinge | 45 |
| 3.4.1 | Ergebnisse der Approximation der Schaltzeiten | 45 |
| 3.4.2 | Ergebnisse der Verlustleistungsberechnung | 47 |
| 4. | Diskussion zur Optimierung des harten Schaltverhaltens und Bewertungskriterien | 51 |
| 4.1 | Diskussion zur Optimierung des harten Schaltverhaltens von Leistungs-MOS-FETs | 51 |
| 4.2 | Kriterien zur Bewertung der Verfahren zur Verbesserung des Ausschaltverhaltens von Leistungs-MOSFETs | 52 |
| 5. | Methoden zur aktiven gateseitigen Steuerung des harten Ausschaltverhaltens von Leistungs-MOSFETs | 54 |
| 5.1 | Einführung | 54 |
| 5.2 | Konzepte zur gateseitigen Verbesserung des harten Ausschaltverhaltens von Leistungs-MOSFETs | 55 |
| 5.3 | Untersuchung verschiedener Ansteuermethoden zur Beeinflussung des Ausschaltverhaltens von Leistungs-MOSFETs | 59 |
| 5.3.1 | Beeinflussung des Ausschaltverhaltens durch eine du/dt -control | 59 |
| 5.3.2 | Beeinflussung des Ausschaltverhaltens durch eine di/dt -control | 63 |
| 5.3.3 | Beeinflussung des Ausschaltverhaltens durch ein zweistufiges Ansteuerverfahren | 67 |
| 5.3.4 | Beeinflussung des Ausschaltverhaltens durch Einprägung eines positiven Gate-Stromes | 72 |
| 5.3.5 | Beeinflussung des Ausschaltverhaltens durch Kombination aus zweistufiger Ansteuerung und Einprägung eines positiven Gate-Stromes | 77 |
| 5.4 | Zusammenfassung und Schlussfolgerungen | 81 |
| 6. | Adaption der Stromsteilheit beim Schalten mittels systematischer Auslegung der Common Source Induktivität und des Gate-Widerstandes | 85 |
| 6.1 | Einführung | 85 |
| 6.2 | Einfluss der Common Source Induktivität auf das Schaltverhalten | 86 |
| 6.3 | Verfahren zur Adaption der Stromsteilheit | 88 |
| 6.3.1 | Bestimmung der Streuinduktivitäten im Kommutierungskreis | 88 |

| | | |
|---------|---|-----|
| 6.3.2 | Analytische und simulative Bestimmung der Stromsteilheit beim Abschalten | 89 |
| 6.4 | Experimentelle Ergebnisse | 92 |
| 6.5 | Zusammenfassung und Schlussfolgerungen | 94 |
| 7. | Kurzschluss-Schutzkonzepte für Leistungs-MOSFETs | 96 |
| 7.1 | Einführung | 96 |
| 7.2 | Fehlerstrom-Arten | 96 |
| 7.3 | Kurzschluss-Schutzkonzepte für Leistungshalbleiter | 97 |
| 7.3.1 | Spezielle Anforderungen für Leistungs-MOSFETs | 100 |
| 7.4 | Untersuchung einer Entsättigungserkennung für Leistungs-MOSFETs mit niedriger Spannungsfestigkeit | 101 |
| 7.4.1 | Realisierung der Entsättigungserkennung | 102 |
| 7.4.2 | Verhalten im Fall eines Überstromes | 104 |
| 7.4.3 | Verhalten im Fall eines Kurzschluss-Typs 1 | 104 |
| 7.4.4 | Verhalten im Fall eines Kurzschluss-Typs 2 | 106 |
| 7.4.5 | Eigenschaften der Entsättigungserkennung | 107 |
| 7.5 | Zusammenfassung und Schlussfolgerungen | 109 |
| 8. | Umsetzung der untersuchten Methoden an einem 24 V/5 kVA-DC/AC-Umrichter | 111 |
| 8.1 | Erläuterung des Umrichterkonzepts | 112 |
| 8.1.1 | Leistungs-MOSFET | 112 |
| 8.1.2 | Halbleiter-Modul | 113 |
| 8.1.3 | Mechanisches Aufbaukonzept | 113 |
| 8.1.4 | Treiberkonzept | 116 |
| 8.2 | Konzept der Untersuchungen | 118 |
| 8.2.1 | Verlustleistungs- und Wirkungsgradbestimmung | 119 |
| 8.2.1.1 | Indirekte Bestimmung | 120 |
| 8.2.1.2 | Direkte Bestimmung | 120 |
| 8.2.1.3 | Kalorimetrische Bestimmung | 121 |
| 8.3 | Ergebnisse der experimentellen Untersuchungen | 121 |
| 8.3.1 | Verhalten der Entsättigungserkennungen im Fehlerfall | 121 |
| 8.3.2 | Experimentell erzielte Ergebnisse bei Anwendung der treiberseitigen Ansteuermethoden | 124 |
| 8.3.2.1 | Ergebnisse des Schaltverhaltens | 124 |
| 8.3.2.2 | Ergebnisse der Bestimmung der Verlustleistung und des Wirkungsgrades | 128 |
| 8.4 | Zusammenfassung und Schlussfolgerungen | 137 |
| 9. | Zusammenfassung, Schlussfolgerungen und Ausblick | 138 |
| 10. | Literatur- und Quellenverzeichnis | 141 |
| 11. | Eigene Veröffentlichungen | 151 |
| 12. | Abbildungsverzeichnis | 153 |

| | |
|---|-----|
| 13. Tabellenverzeichnis | 164 |
| 14. Anhang | 166 |
| 14.1 Gleichungen zur Bestimmung des Messfehlers | 166 |
| 14.1.1 Messunsicherheit bei maximal möglichen Fehler | 166 |
| 14.1.2 Messabweichung bei zufällig auftretenden Fehlern | 166 |
| 14.2 Kalorimetrische Verlustleistungsmessung | 167 |
| 14.3 Diagramme und Tabellen | 168 |
| 15. Kurzlebenslauf | 179 |

0. Symbolverzeichnis

Allgemeine Schreibweisen

Variablendarstellung

| | |
|----------------|----------------------------|
| $i(t), i$ | zeitlicher Augenblickswert |
| I, \tilde{I} | Effektivwert |
| \bar{I} | Mittelwert |
| \hat{I} | Spitzenwert |

Formelzeichen

| | |
|---------------|---|
| a | Tastverhältnis |
| C | Kapazität |
| C_D | Zwischenkreiskapazität |
| C_{DS} | Drain-Source-Kapazität |
| C_{GS} | Gate-Source-Kapazität |
| C_{GD} | Gate-Drain-Kapazität, Miller-Kapazität |
| C_{GDex} | externe Gate-Drain-Kapazität |
| C_{iss} | Eingangskapazität |
| C_{oss} | Ausgangskapazität |
| C_{rss} | Rückwirkungskapazität |
| D | Diode |
| di_D/dt | Stromsteilheit |
| E | elektr. Feldstärke |
| E_A | Avalancheenergie |
| E_{block} | Sperrverlustenergie |
| E_{cond} | Durchlassverlustenergie |
| E_s | Schaltenergie, Schaltverlustenergie |
| $E_{s(off)}$ | Ausschaltenergie, Ausschaltverlustenergie |
| $E_{s(on)}$ | Einschaltenergie, Einschaltverlustenergie |
| f_N | Grundfrequenz |
| f_s | Schaltfrequenz |
| g_m | Übertragungssteilheit |
| I | Strom |
| I_{bat} | Batteriestrom |
| I_C | Kondensatorripplestrom |
| I_D | Drain-Strom |
| $I_{D,cont.}$ | kontinuierlicher Drain-Strom |

| | |
|---------------------|--|
| $I_{D,ks(off)}$ | Kurzschluss-Abschaltstrom |
| $I_{D,ks(th)}$ | Kurzschlussstrom-Detektionsschwelle |
| $I_{D,ks(th),soll}$ | theoretische Kurzschlussstrom-Detektionsschwelle |
| $I_{D,puls}$ | gepulster Drain-Strom |
| $I_{D,max}$ | maximaler Drain-Strom |
| $I_{D,on}$ | Drain-Einschaltstrom |
| $I_{D,off}$ | Drain-Ausschaltstrom |
| $I_{G,off}$ | Gate-Strom beim Ausschalten |
| $I_{G,on}$ | Gate-Strom beim Einschalten |
| I_{DSS} | Drain-Source-Reststrom |
| I_F | Vorwärtsstrom der Diode |
| I_G | Gate-Strom |
| I_{in} | Eingangsstrom |
| I_L | Laststrom |
| $I_{L,N}$ | Lastnennstrom |
| I_{out} | Ausgangsstrom |
| I_{RRM} | Diodenrückstromspitze |
| I_{sense} | Strom durch Sense-Widerstand |
| k | Koeffizient |
| k_r | prozentuale Überspannungsreserve |
| L | Induktivität |
| $L_{CU,par}$ | parasitäre Kupferinduktivität |
| $L_{D\sigma}$ | drainseitige Streuinduktivität |
| $L_{DC\sigma}$ | Streuinduktivität der Zwischenkreisanbindung |
| L_{Lr} | Leitungsinduktivität zwischen Umrichter und Kurzschlusspunkt |
| L_{Ls} | Leitungsinduktivität zwischen Kurzschlusspunkt und Last |
| $L_{S\sigma}$ | sourceseitige Streuinduktivität |
| L_{σ} | Streuinduktivität des gesamten Kommutierungskreises |
| $L_{\sigma,Modul}$ | Streuinduktivität des Kommutierungskreisabschnitts im Modul |
| N | Drehzahl des Lastmotors |
| m | Koeffizient |
| M | Modulationsgrad |
| P | Leistung |
| P_{cu} | Kupferverluste |
| $P_{cv(ges)}$ | Gesamtverluste des Umrichters |
| P_d | Durchlassverluste |
| P_{in} | Eingangsleistung |
| P_L | Ausgangsleistung/Lastleistung |
| P_s | Summe der Schaltverluste |
| $P_{s(off)}$ | Ausschaltverluste |

| | |
|--------------|---|
| $P_{s(on)}$ | Einschaltverluste |
| P_{Tr} | Treiberverluste |
| $P_{v(ges)}$ | Summe der Halbleiterverluste |
| P_{zwk} | Zwischenkreisverluste |
| Q_{GD} | Gate-Drain-Ladung |
| Q_{rr} | Sperrverzögerungsladung |
| R | Widerstand |
| R_{CH} | Kanalwiderstand |
| $R_{CU,par}$ | parasitärer Kupferwiderstand |
| R_D | Widerstand der Driftzone |
| $R_{DS(on)}$ | Bahnwiderstand des MOSFETs |
| R_G | Gate-Widerstand |
| R_{GDex} | externer Gate-Drain-Widerstand |
| R_{Gint} | interner Gate-Widerstand |
| R_{Gi} | parasitärer Gate-Widerstand des Gehäuses |
| R_{Sense} | Sense-Messwiderstand |
| R_{Shunt} | Shunt-Widerstand |
| r_f | differentieller Bahnwiderstand der Diode |
| T_A | Umgebungstemperatur |
| T_C | Gehäusetemperatur |
| T_J | Sperrschichttemperatur |
| T_{on} | Einschaltdauer |
| T_s | Schaltperiodendauer |
| $t_{d(off)}$ | Ausschaltverzögerungszeit |
| $t_{d(on)}$ | Einschaltverzögerungszeit |
| t_{fi} | Stromfallzeit |
| t_{fu} | Spannungsfallzeit |
| t_{ri} | Stromanstiegszeit |
| t_{ru} | Spannungsanstiegszeit |
| t_{rr} | Sperrverzögerungszeit |
| $t_{sc,pd}$ | Verzögerungszeit der Kurzschlusserkennung |
| $t_{sc,res}$ | Ansprechzeit der Kurzschlusserkennung |
| s_y | Standardabweichung |
| U | Spannung |
| U_{bat} | Batteriespannung |
| $U_{bat,LL}$ | Batterieerlaufspannung |
| U_{DD} | Zwischenkreisspannung |
| $U_{DD,max}$ | maximale Zwischenkreisspannung |
| U_{DR} | Gate-Spannungsamplitude |
| U_{DS} | Drain-Source-Spannung |

| | |
|---------------|---|
| U_{DSS} | Durchbruchspannung des MOSFETs |
| U_F | Vorwärtsspannung der Diode |
| U_{Fault} | Spannung des Fehlersignals |
| U_{F0} | Schleusenspannung |
| U_{FRM} | Einschaltüberspannung der Diode |
| U_{gg} | Gate-Spannungssignal |
| U_{GS} | Gate-Source-Spannung |
| $U_{GS,th}$ | Gate-Source-Schwellenspannung |
| U_h | sinusförmiges Sollwertsignal |
| U_{ind} | induzierte Spannung |
| U_{in} | Eingangsspannung |
| U_{out} | Ausgangsspannung |
| U_{pk} | Überspannung beim Ausschalten |
| $U_{pk,max}$ | maximale Überspannung beim Ausschalten |
| $U_{plateau}$ | Gate-Plateau-Spannung |
| U_{ref} | Trägersignal |
| U_{sense} | Spannung am Sense-Widerstand |
| U_{shunt} | Shunt-Spannung |
| U_z | Zenerdiodendurchbruchspannung |
| y_F | maximaler Messfehler |
| α | Koeffizient |
| η | Wirkungsgrad |
| η_{dir} | direkt ermittelter Wirkungsgrad |
| η_{ind} | indirekt ermittelter Wirkungsgrad |
| η_{kal} | kalorimetrisch ermittelter Wirkungsgrad |
| ω | Kreisfrequenz |
| φ | Phasenwinkel |
| ρ | Raumladungsdichte |
| τ | Zeitkonstante |
| τ_{Cf} | Filterzeitkonstante |

Abkürzungen

| | |
|--------|---|
| DCB | Direct Copper Bonded |
| ESR | Equivalent Series Resistance |
| IC | Integrated Circuit |
| IGBT | Insulated Gate Bipolar Transistor |
| IMS | Insulated Metal Substrate |
| KLSH | Kompetenzzentrum Leistungselektronik Schleswig-Holstein |
| MOSFET | Metal Oxide Semiconductor Field-Effect Transistor |

| | |
|------|------------------------------------|
| PEEE | Partial Element Equivalent Circuit |
| SOA | Safe Operating Area |
| ZCS | Zero Current Switching |
| ZVS | Zero Voltage Switching |
| DUT | Device Under Test |

1. Einleitung

Seit einigen Jahren wächst der Trend zu elektrisch angetriebenen Fahrzeugen auf dem Markt. Neben dem Gewicht und der EMV-Verträglichkeit sind vor allem die Leistungsdichte und die Effizienz wesentliche Aspekte bei der Entwicklung der erforderlichen leistungselektronischer Komponenten.

In Nutzfahrzeugen oder leichten Personenfahrzeugen, wie beispielsweise in Flurförderfahrzeugen, werden elektrische Antriebe bereits seit einigen Jahrzehnten in Serie eingesetzt. Wie schon im Automobilbereich gilt es auch bei dieser Anwendung aufgrund des eingeschränkten Bauraumes die Leistungsdichte sowie die Effizienz zu verbessern.

Aufgrund der benötigten großen Batteriekapazität und aus Kostengründen werden hier meist Bleibatterien mit nur 24 V oder 48 V Batterieerlaufspannung verwendet. In diesen batteriegespeisten Niederspannungs-Umrichtern spielen daher Leistungs-MOSFETs aufgrund ihrer attraktiven Charakteristik des schnellen Schaltens und der einfachen Ansteuerung eine entscheidende Rolle [1, 2, 3].

Leistungs-MOSFETs für diesen Spannungsbereich und mit hoher Stromtragfähigkeit werden in Flurförderfahrzeugen hauptsächlich in hart schaltenden, batteriegespeisten Pulswechselrichtern sowie in Gleichstromstellern in einem Leistungsbereich von mehreren hundert Watt bis hin zu 20 kW eingesetzt [4, 5, 6]. In der Regel dient der Pulswechselrichter, welcher in Abb. 1.1 illustriert ist, zur Speisung eines Drehstrommotors als Fahrtrieb [1, 7, 8]. Ein Anwendungsgebiet von Gleichstromstellern ist dagegen beispielsweise die Batteriestützung, bei der die zurückgewonnene Energie beim Bremsen des Motors nicht wieder in die Batterie sondern über den Gleichstromsteller in Ultrakondensatoren zurückgespeist und gespeichert wird [8, 9, 5]. Beim Beschleunigen oder Fahren des Motors kann diese Energie wieder zur Verfügung gestellt werden.

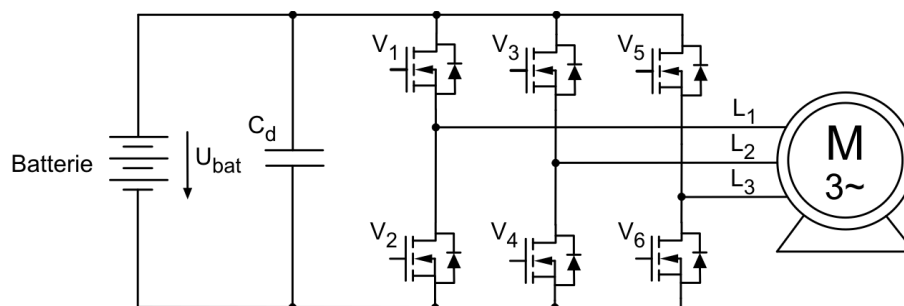


Abb. 1.1: Batteriegespeicher Pulswechselrichter mit lastseitigem Drehstrommotor

Aufgrund der hohen Ströme von mehreren hundert Ampere und der niedrigen Spannung von beispielsweise 24 V, was einem typischen Spannungsniveau einer Bleibatterie für Kommissionierer oder Elektro-Stapler entspricht, besteht unter anderem eine hohe Nachfrage an Leistungs-MOSFETs mit einem sehr niedrigen Drain-Source-Bahnwiderstand $R_{DS(on)}$ und desweiteren einer möglichst geringen Temperaturabhängigkeit dieses Bahnwiderstandes

[1]. Aufgrund der allgemein üblichen Reduzierung des $R_{DS(on)}$ von modernen Leistungs-MOSFETs und der daraus folgenden Reduzierung der Durchlassverluste erhalten die Schaltverluste einen stetig wachsenden Einfluss auf die Gesamtverluste des Umrichters. Mit steigenden Schaltfrequenzen wird dieser Effekt verstärkt und kann in vielen Anwendungen eine wichtige Rolle auf die Auswahl eines bestimmten MOSFET-Typs und der Treiberschaltung spielen. Hieraus ergibt sich die Anforderung einer Reduzierung der Schaltverluste.

Inhalt dieser Arbeit ist die Analyse und treiberseitige Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs mit geringer Spannungsfestigkeit und hoher Stromtragfähigkeit. Das Ziel ist zum Einen eine Verlustleistungsreduzierung des Umrichters mittels allgemein anwendbarer Methoden gegenüber einer konventionellen Widerstandssteuerung des Halbleiters über einen Gate-Widerstand, zum Anderen das Aufzeigen von wesentlichen Auslegungsaspekten einer Entsättigungserkennung für diese Applikation.

Zu Beginn dieser Arbeit werden in Kapitel 2 verschiedene MOSFET-Strukturen vorgestellt sowie das allgemeine statische Verhalten und das harte Schaltverhalten von Leistungs-MOSFETs beschrieben. Als theoretische Grundlage sind zudem analytische Methoden zur Bestimmung der Schalt- und Durchlassverluste aufgeführt. Weiterhin werden die unterschiedlichen Gehäuse-Formen von Leistungs-MOSFETs erläutert.

Um einen besseren Überblick über den Laboraufbau sowie den messtechnischen Aufwand zur Untersuchung der in dieser Arbeit betrachteten Methoden zu erhalten, erfolgt in Kapitel 3 eine genaue Beschreibung des Prüfstands sowie des Messequipments. Das Schaltverhalten der hierfür verwendeten Leistungs-MOSFETs wird aufgezeigt. Es werden Ergebnisse der Verlustleistungsbestimmung der eingesetzten Prüflinge zur Unterstreichung der Relevanz der Untersuchungen vorgestellt.

Darauffolgend werden in Kapitel 4 mögliche Verfahrensansätze zur Verbesserung des Schaltverhaltens von Leistungs-MOSFETs diskutiert und ein Bewertungskriterium aufgeführt.

Zur Analyse der treiberseitigen Verbesserung des Ausschaltverhaltens von Leistungs-MOSFETs wird zu Beginn von Kapitel 5 ein Überblick über bekannte sog. Active Gate Control Verfahren in der Literatur gegeben. Es werden verschiedene Konzepte präsentiert, experimentell analysiert und miteinander verglichen.

Der Einfluss der Streuinduktivität zwischen dem Source des MOSFETs und dem Hilfssource-Abgriff des Treibers — auch Common Source Induktivität genannt — auf das Ausschaltverhalten wird in Kapitel 6 aufgezeigt. Ein Verfahren zur Adaption der Stromsteilheit mittels systematischer Auslegung der Common Source Induktivität und des Gate-Widerstandes wird vorgestellt.

In Kapitel 7 werden Konzepte in der Literatur zum Schutz des Halbleiters bei Überströmen bzw. Kurzschlüssen aufgeführt und deren Eigenschaften erörtert. Es wird die sog. Entsättigungserkennung ausgewählt, im Labor realisiert und getestet. Dabei wird neben der Tem-

peraturabhängigkeit der Kurzschlussstrom-Detektionsschwelle vor allem der Einfluss der Streuinduktivitäten im Kommutierungs- und Ansteuerkreis auf die Betriebsweise der Ent sättigungserkennung aufgezeigt und verdeutlicht, wie die Schaltung robust gestaltet werden kann.

Anhand eines Umrichter-Musters mit parallelgeschalteten MOSFET-Modulen, der im Projektverbund des Kompetenzzentrums Leistungselektronik Schleswig-Holstein entstanden ist, werden in Kapitel 8 die untersuchten Methoden während des Betriebs des Umrichters verifiziert und anschließend Wirkungsgradmessungen zur Unterstreichung der Anwendbarkeit und Wirksamkeit der Methoden durchgeführt.

Es folgt abschließend in Kapitel 9 eine Zusammenfassung der Arbeit sowie ein Ausblick.

2. Funktion, Eigenschaften, Aufbau und Betriebsverhalten von Leistungs-MOSFETs

2.1 Vorbemerkung

In diesem Kapitel werden die prinzipielle Funktion von Leistungs-MOSFETs für die Anwendung in batteriegespeisten Umrichtern sowie verschiedene MOSFET-Strukturen beschrieben. Das statische Verhalten und das Schaltverhalten der Leistungs-MOSFETs beim harten Schalten werden erläutert. Weiterhin sind Gleichungen zur Bestimmung der Halbleiterverluste sowie zur Approximation der Schaltzeiten aufgeführt. Abschließend erfolgt eine Vorstellung verschiedener Gehäuseformen.

2.2 Leistungs-MOSFETs

In batteriegespeisten Umrichtern für z.B. Flurförderfahrzeuge, in denen Batteriespannungen meist 24 V oder 48 V betragen, werden in der Regel Leistungs-MOSFETs verwendet, da diese im Gegensatz zu den ebenfalls weit verbreiteten IGBTs in erster Linie den Vorteil von sehr kurzen Schaltzeiten und sehr niedrigen ohmschen Bahnwiderständen bei niedrigen Spannungen besitzen [1, 2, 3, 10, 11]. Dies führt wiederum im Vergleich zu IGBTs zu geringeren Halbleiterverlusten, weshalb auf dem Markt keine für diesen Spannungsbereich ausgelegten IGBTs erhältlich sind. Aufgrund des Einsatzes von Leistungs-MOSFETs in Niederspannungsanwendungen und des Einsatzes bei hohen Strömen werden heutzutage fast ausschließlich n-Kanal-MOSFETs anstatt p-Kanal-MOSFETs in leistungselektronischen Schaltungen eingesetzt, da n-Kanal-MOSFETs den Vorteil einer höheren Beweglichkeit der Elektronen besitzen [12]. Aus diesem Grund beschränken sich die folgenden Untersuchungen ausschließlich auf diesen MOSFET-Typ.

2.2.1 Prinzipielle Funktion von Leistungs-MOSFETs

Die prinzipielle Struktur eines Leistungs-MOSFETs ist in Abb. 2.1 dargestellt. Das wesentliche Merkmal eines MOSFETs ist der spannungsgesteuerte Eingang, der das Ein- und Ausschalten des Halbleiterbauelementes im Gegensatz zu nur einschaltbaren Leistungshalbleitern, wie zum Beispiel dem Thyristor, ermöglicht. Grundsätzlich unterscheidet man zwischen den Verarmungstypen (Depletion) und den Anreicherungstypen (Enhancement) [13]. Beim Verarmungstyp ist das Bauelement selbstleitend und wird durch das Anlegen einer negativen Gate-Source-Spannung in den Sperrzustand versetzt. Der Anreicherungstyp dagegen ist selbstsperrend und wird durch das Anlegen einer positiven Gate-Source-Spannung in den Leitendzustand versetzt.

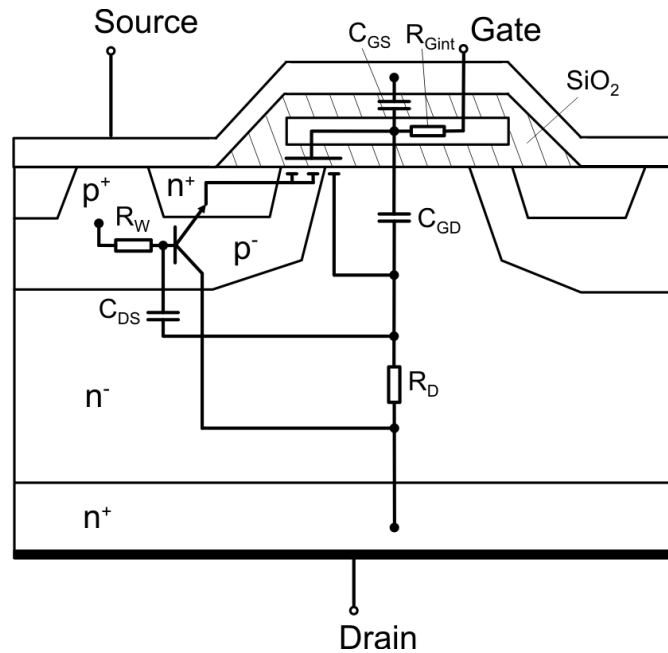


Abb. 2.1: Aufbaustruktur eines vertikalen DMOS Transistors

In der Regel wird in der Leistungselektronik der Anreicherungstyp mit seiner selbstsperrenden Eigenschaft verwendet [12]. Hierfür wird beim n-Kanal-MOSFET eine positive Steuerspannung U_{GS} zwischen Gate und Source angelegt, die beim Überschreiten der Gate-Schwellenspannung $U_{GS,th}$ des MOSFETs dafür sorgt, dass eine Inversion im p-Substrat stattfindet. Das heißt, dass durch die Spannung $U_{GS} > 0$ eine positive Ladung auf der Gateplatte aufgebaut wird, die wiederum eine negative Ladung im p-dotierten Kristallbereich erzeugt. Durch die entstehende Feldstärke vom Gate zum p-Kristallbereich werden an der Kristalloberfläche die Majoritätsträger abgestoßen. Durch eine Erhöhung der Gate-Source-Spannung wird dieser Effekt verstärkt, wodurch die p-Dotierung abnimmt. Sobald die Dichte der freien Elektronen die Dichte der p-Dotierung erreicht bzw. übersteigt, entsteht der n-Kanal (Inversionsschicht), der die beiden n^+ -Gebiete miteinander verbindet [13]. Durch die anliegende Gate-Source-Spannung $U_{GS} > U_{GS,th}$ sowie die Drain-Source-Spannung U_{DS} kann so ein Strom I_D zwischen Drain und Source fließen.

2.2.2 Leistungs-MOSFET - Strukturen

In diesem Abschnitt erfolgt nun eine Übersicht über die wesentlichen Aufbaustrukturen von Leistungs-MOSFETs. Im Allgemeinen wird zwischen vertikalen und lateralen Aufbaustrukturen unterschieden. Dabei wird wegen der höheren Stromtragfähigkeit in der Leistungselektronik fast ausschließlich die vertikale Struktur verwendet [12, 14].

Innerhalb der vertikalen Aufbaustrukturen wird bei Leistungs-MOSFETs mit niedriger Sperrspannungsfähigkeit und hoher Stromtragfähigkeit zwischen Planar-MOSFETs und Trench-MOSFETs unterschieden. Neueste Entwicklungen ermöglichen desweiteren die Verwendung der Superjunction-Struktur, die bereits bei MOSFETs mit hoher Spannungsfestigkeit zum Einsatz kommt.

2.2.2.1 LMOS und LDMOS

Eine einfache MOSFET-Struktur ist der laterale MOS (LMOS), wie er in Abb. 2.2 (a) illustriert ist. Häufiger verbreitet ist jedoch der laterale DMOS (D: doppel diffundiert, auch LD-MOS genannt) in Abb. 2.2 (b), welcher oft bei Leistungs-ICs bzw. monolithisch integrierten Schaltungen eingesetzt wird [12, 15]. Diese Struktur besitzt im Vergleich zum einfachen lateralen n-Kanal-MOSFET durch das vorgelagerte n^- -Gebiet (Drain-Extension-Gebiet) die Möglichkeit der Aufnahme höherer Sperrspannungen. Der große Nachteil dieser Struktur ist jedoch die geringe Stromtragfähigkeit, die durch die platz beanspruchende n^- -Schicht entsteht [12, 13]. Die Durchlassverluste treten größtenteils in der n^- -Schicht auf, was zu dem Problem führt, dass die auftretende Wärme nur sehr schwer abgeführt werden kann [13]. Dies führte zu der Entwicklung von vertikalen DMOS Transistoren (siehe Abschnitt 2.2.2.2), die einen deutlich höheren Strom führen können.

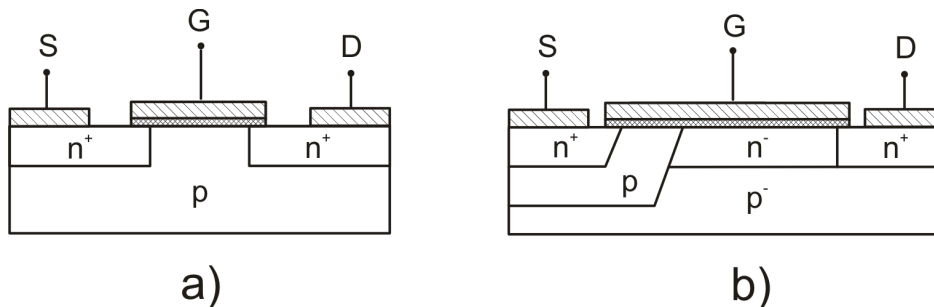


Abb. 2.2: Aufbaustruktur lateraler MOSFETs: a) lateraler MOS, b) lateraler DMOS

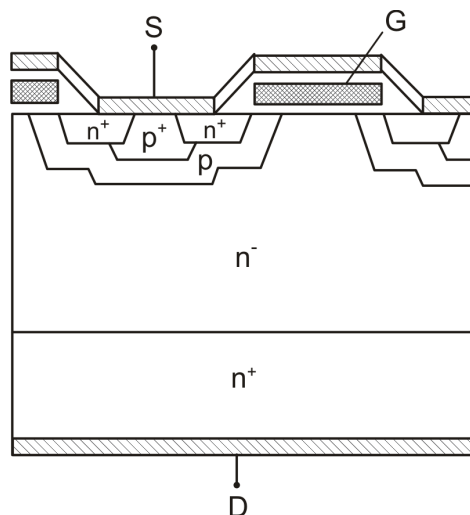


Abb. 2.3: Aufbaustruktur eines Planar MOSFETs

2.2.2.2 Planar MOSFET

Im Gegensatz zu der lateralen Aufbaustruktur wurde beim Planar MOSFET (vertikaler DMOS, auch VDMOS genannt) der Drain-Anschluss jeweils an die zur Source und Gate gegenüber-

liegende n^- -Schicht verlegt. Dies hat den entscheidenden Vorteil, dass die Ableitung der Wärme durch die auftretenden Verluste über den Drain-Anschluss erfolgen kann [13]. In Abb. 2.3 ist der prinzipielle Aufbau eines Planar MOSFETs dargestellt.

Wie in Abb. 2.3 zu erkennen ist, ist der Drain-Anschluss auf der Unterseite des Chips angeordnet, während Source und Gate auf der Oberseite liegen. Der Strom fließt von der n^+ -Schicht über das p -Substrat und dann anschließend nach unten durch die Driftzone (n^- -Substrat) und durch das n^+ -Substrat. Hierbei spielt vor allem die Driftzone eine entscheidende Rolle, da diese für höhere Sperrspannungen eingeführt wird. Diese Schicht hat wiederum den Nachteil, dass dadurch der Gesamtwiderstand erhöht wird und mehr Verlustleistung entsteht, die abgeführt werden muss [13]. Aus diesem Grund spielen in Niederspannungsanwendungen die resistiven Eigenschaften beim Chip-Design eine entscheidende Rolle [16]. Besonders vorteilhaft sind beim Planar MOSFET vor allem die weite SOA (SOA: Safe Operating Area), eine hohe Bauteilrobustheit und die hohe Avalanche-Energie-Aufnahmefähigkeit [10].

Eine Weiterentwicklung des Planar MOSFETs ist die hexagonale Anordnung der Zellen. Bei dieser Aufbaustruktur werden viele Einzelzellen gebildet, um die Weite des Kanals für den Stromfluss zu vergrößern. Es ergibt sich somit eine Parallelschaltung der Source- und Gate-Anschlüsse [13]. Dabei stellte sich die hexagonale Anordnung der Einzelzellen vorteilhafter gegenüber der quadratischen Anordnung heraus, da so mehr Zellen auf einer Fläche untergebracht werden können. In Abb. 2.4 ist der Aufbau eines Planar-MOSFETs mit hexagonaler Anordnung der Zellen illustriert.

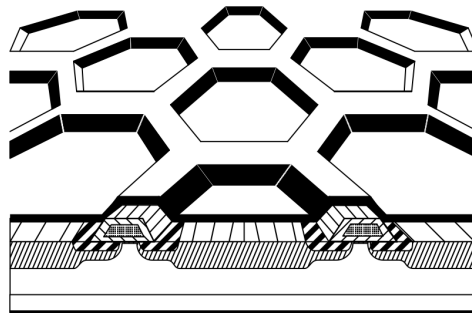


Abb. 2.4: Aufbau eines Planar-MOSFETs mit hexagonaler Anordnung der Zellen

2.2.2.3 Trench MOSFET

Im Gegensatz zum Planar MOSFET ist hier das Gate beim Trench MOSFET nicht über dem Substrat angeordnet (vgl. Abb. 2.3), sondern innerhalb eines „Grabens“ in das Substrat eingelassen. Die MOS-Kanäle werden entlang der Seitenwände des „Gate-Grabens“ gebildet. Die Trench MOS-Struktur ist gegenüber der Planar MOS-Struktur eine erhebliche Verbesserung in Bezug auf Bahnwiderstand und Gateladung [10, 11, 16]. Die Einführung von „Trenches“ in die Zellen-Struktur und die Erhöhung der Zellen-Dichte führt wiederum zu Bauteilen mit noch niedrigerem $R_{DS(on)}$ und höherer Stromdichte im Vergleich zum Pla-

nar MOSFET [2]. Dies wird durch eine Reduzierung der Länge des Strompfades im vertikalen MOSFET erreicht. Aufgrund der dadurch resultierenden, hohen Effizienzsteigerung und Kostenreduzierung mittels der Trench-Struktur ist diese Technologie besonders gut für Niederspannungsanwendungen geeignet, weshalb sie eine vorrangige Rolle bei Spannungen unter 100 V spielt [4, 7, 16]. In Abb. 2.5 ist die Aufbaustruktur eines Trench MOSFETs illustriert.

Neben der bereits erwähnten höheren Zelldichte und niedrigerem Bahnwiderstand kann durch die Trench-Technologie eine geringere Chipgröße und eine Kostensenkung gegenüber der vertikalen Struktur erreicht werden [10]. Dies führte unter anderem dazu, dass diese Technologie seit Ende der 90er Jahre die Standard-Struktur für Leistungs-MOSFETs mit niedrigen Sperrspannungen geworden ist [1, 16].

In einigen Anwendungen können wiederum Leistungs-MOSFETs mit einer Durchbruchspannung von nur 12 V eingesetzt werden. Hier bietet sich vor allem die sog. Deep Trench Technologie an, bei der das Gate noch viel tiefer bis in das n^+ -Substrat hineinreicht. Dadurch ist es möglich, auf die Driftzone bzw. auf das n^- -Substrat zu verzichten, wodurch sehr niedrige Bahnwiderstände erreicht werden. Allerdings sind aus Zuverlässigkeitsgründen die Sperrspannungen auf 20 V beschränkt [17].

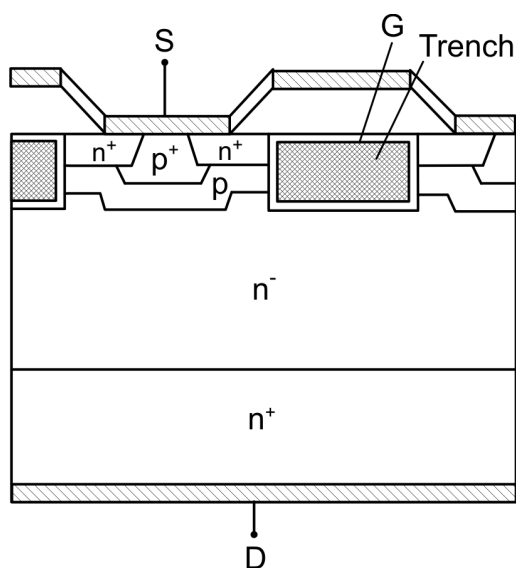


Abb. 2.5: Aufbaustruktur eines Trench MOSFETs

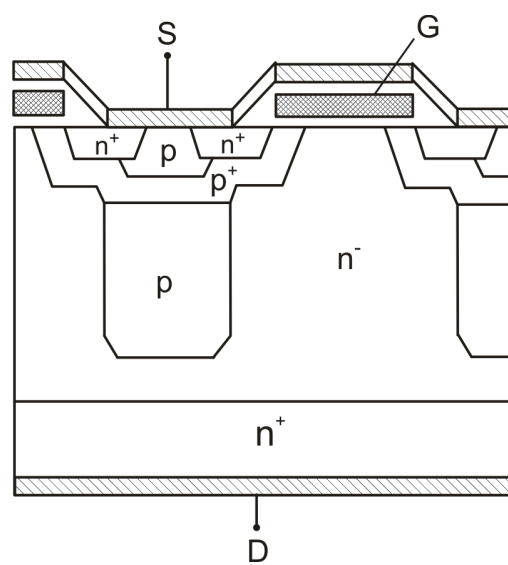


Abb. 2.6: Aufbaustruktur eines Superjunction-MOSFETs

2.2.2.4 Superjunction-MOSFETs

Eine neuere Halbleiter-Technologie stellt die Superjunction-MOSFET-Technologie dar, die seit ihrer Einführung Ende der 90er (durch Infineon unter dem Namen „COOL MOS“) von vielen Herstellern verfolgt wird [18, 12]. In Abb. 2.6 ist die Aufbaustruktur eines Superjunction-MOSFETs illustriert.

Ein wichtiges Merkmal sind die p-dotierten Säulen, die in der Mittelzone eingebracht sind.

Dabei resultiert eine sehr niedrige effektive Dotierung, da die p-dotierten Säulen so bemessen sind, dass sie die n-Dotierung kompensieren. Durch den so entstehenden, rechteckförmigen Verlauf des elektrischen Feldes kann bei einer gegebenen Dicke die maximale Spannung aufgenommen werden [12].

Ein weiterer, wichtiger Effekt dieser Technologie ist außerdem die Reduzierung des Bahnwiderstandes, die durch eine Erhöhung der n-Dotierung, einer Reduzierung der Gate-Ladung und einer Verringerung des Abstandes der p-dotierten Säulen zueinander erreicht wird [19]. Ursprünglich wurde diese Technologie und die damit verbundene Reduzierung des Bahnwiderstandes vor allem bei MOSFETs mit hoher Sperrspannungsfähigkeit von 100V bis 800V eingesetzt [20]. In neuerer Zeit wird diese Technologie auch bei MOSFETs mit niedriger Sperrspannungsfähigkeit unter 100V verwendet. Dabei wurden ebenfalls sehr gute Ergebnisse bei der Reduzierung des Bahnwiderstandes erzielt [20].

2.2.3 Body-Diode (Inverse Diode) des Leistungs-MOSFETs

Aufgrund des strukturellen Aufbaus eines Leistungs-MOSFETs entsteht eine pin-Diodenstruktur, die sich aus der p-Wanne, dem n^- -Gebiet und dem n^+ -Gebiet zusammensetzt (vgl. Abb. 2.1) [12]. Dadurch bedingt, besitzen Leistungs-MOSFETs eine parasitäre inverse pin-Diode im Substrat (inverse Body-Diode). Im Gegensatz zu Signaldioden besitzen pin-Dioden zwischen den p^+ - und n^+ -Gebieten eine niedrig dotierte n^- -Schicht (i-Zone), in der sich die Raumladungszone ausbreitet. Die Diode ist somit in der Lage, hohe Sperrspannungen aufzunehmen.

Die pin-Dioden können von der Aufbaustruktur her in zwei Haupttypen unterteilt werden — die Epitaxial-Diode und Diffundierte Diode. Grundlegend unterscheiden sich beide Typen in der Weite der n^- -Zone. Diffundierte Dioden, die im Vergleich zur Epitaxial-Diode eine wesentlich größere Basisweite besitzen, werden daher meistens bei sehr hohen Sperrspannungen $\geq 600\text{V}$ eingesetzt. Bei niedrigen Sperrspannungen dominieren jedoch die Epitaxial-Dioden [13]. In Abb. 2.7 ist die prinzipielle Aufbaustruktur sowie der Verlauf der Raumladungsdichte und des Feldes illustriert.

Die in der Regel angewandten Fertigungstechnologien bei Leistungs-MOSFETs führen zu hohen Trägerlebensdauern und somit zu einer hohen Speicherladung und einer hohen Rückstromspitze der Diode [12]. Daher erfolgt der Einbau von Rekombinationszentren in die n^- -Schicht, die den Bahnwiderstand $R_{DS(on)}$ des Leistungs-MOSFETs unwesentlich beeinflussen. Diese Rekombinationszentren werden i.a. mittels einer Platin-Diffusion erzeugt. Weiterhin erfolgt eine Elektronenbestrahlung zur Verringerung der Speicherladung und zur Verbesserung des Reverse-Recovery-Prozesses [12, 17].

Dennoch ist die Optimierung des sog. Reverse-Recovery-Verhaltens problematisch, da in erster Linie zur Reduzierung des Bahnwiderstandes $R_{DS(on)}$ bei der Herstellung die Basis des MOSFETs so dünn wie möglich ausgelegt wird und zusätzlich die p^+ -Dotierung möglichst hoch gewählt wird. Die gleichzeitige Optimierung des MOSFETs als auch der inver-

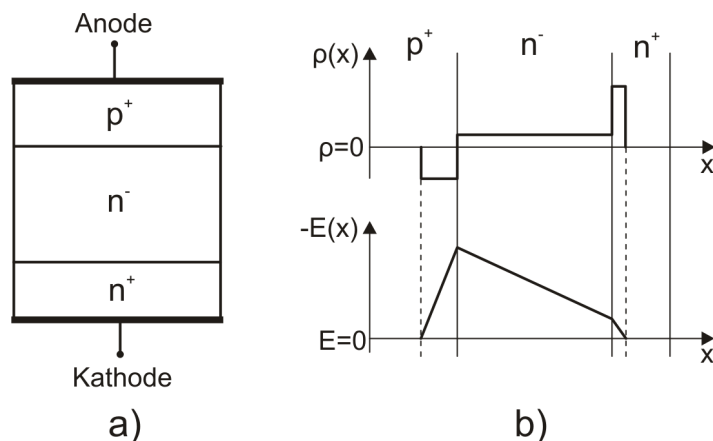


Abb. 2.7: Prinzipielle Aufbaustruktur einer pin-Diode: a) Aufbaustruktur, b) Verlauf der Raumladungsdichte und des Feldes

sen Body-Diode ist aus diesem Grund nicht möglich [11, 12]. Als Folge tritt häufig ein sog. „snappiges“ Schaltverhalten auf, welches in Abschnitt 2.4.2.2 näher erläutert wird.

2.3 Statisches Verhalten

Das Kennlinienfeld bzw. das Klemmenverhalten eines Leistungs-MOSFETs ist in Abb. 2.8 (a) dargestellt. Prinzipiell kann zwischen einem Vorwärtssperrzustand, einem Durchlasszustand und einem Rückwärtsbetrieb unterschieden werden. Beim Rückwärtsbetrieb wird zwischen einem Betrieb über die Body-Diode und einem Aufsteuern des Leistungs-MOSFETs differenziert.

Vorwärtssperrzustand

Für U_{GS} kleiner als die Schwellenspannung $U_{GS,th}$ befindet sich der MOSFET im Sperrzustand auf der Sperrkennlinie. Die Sperrspannung des MOSFETs entspricht dabei der Sperrspannung der aus p-Wanne, niedrig dotiertem Mittelgebiet und n^+ -Zone gebildeten Body-Diode [12]. Es fließt im Sperrzustand nur ein sehr kleiner Drain-Source-Reststrom I_{DSS} zwischen dem Drain- und Source-Anschluss. Bei Überschreitung der Sperrspannung U_{DSS} kommt es zu einem Lawinendurchbruch (Avalanche).

Durch unterschiedliche Designmaßnahmen, wie z.B. durch kleine MOSFET-Zellen, niederohmige p^+ -Wannen, optimierte Randstrukturen und sehr homogene Technologieprozesse wird bei modernen Leistungs-MOSFETs ein sehr niedriger Durchbruchstrom je Zelle erreicht, der unter spezifizierten Bedingungen noch nicht zum Einschalten der Bipolarstruktur des MOSFETs führt. Hieraus folgt für die sog. „avalanchfesten“ MOSFETs eine zulässige Avalancheenergie E_A für Einzelimpulse bzw. für periodische Impulse, unterhalb derer eine Überschreitung der Sperrspannung nicht zur Zerstörung des MOSFETs führt [18, 21]. Diese in den Datenblättern der Hersteller spezifizierten Avalancheenergien werden auch häufig als Indikator für die Robustheit des Halbleiters gegen kurzzeitige, externe Überspannungen herangezogen.

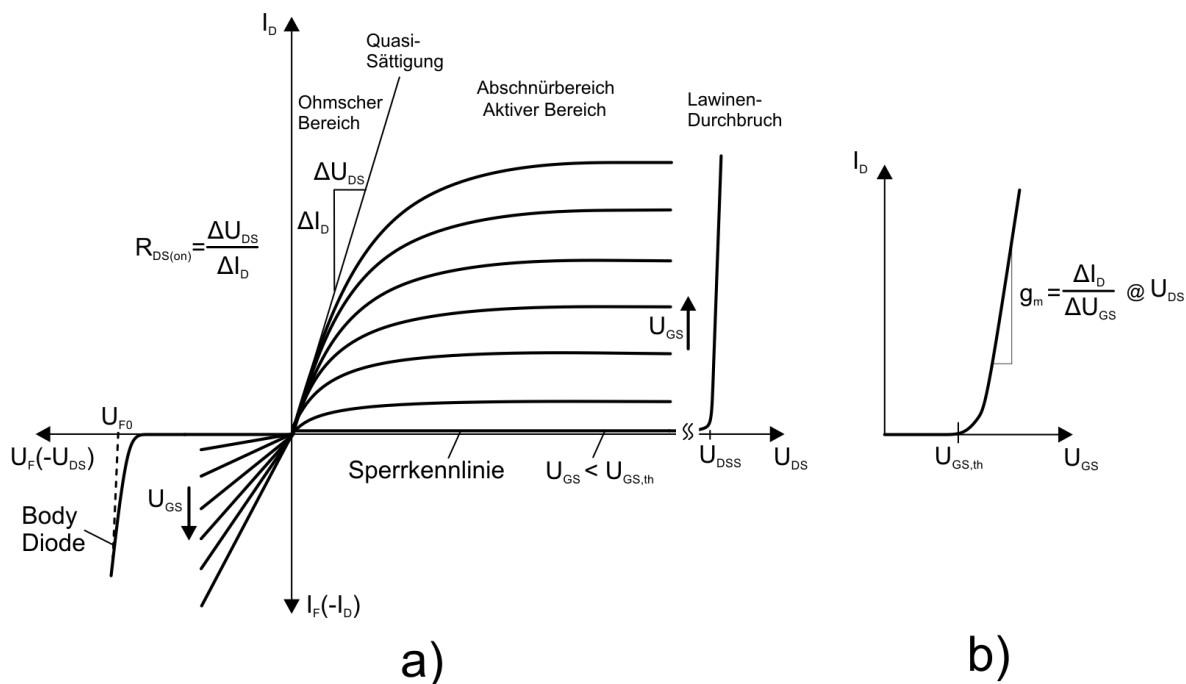


Abb. 2.8: a) Statisches Ausgangskennlinienfeld eines MOSFETs; b) Übertragungskennlinie eines MOSFETs

Durchlassbetrieb

Mit positiver Gate-Source-Spannung U_{GS} größer als die Schwellenspannung $U_{GS,th}$ kann ein Strom aufgrund der Ausbildung der Inversionsschicht zwischen den n-Gebieten fließen. Im Bereich kleiner Drain-Source-Spannungen U_{DS} befindet sich der MOSFET im ohm'schen Bereich, d.h. die Kennlinie verläuft in der Form einer Widerstandsgeraden mit dem Bahnwiderstand $R_{DS(on)}$, der von der Gate-Spannung abhängig ist. Die sog. Quasi-Sättigung befindet sich zwischen dem ohmschen Bereich und dem Abschnürbereich. Die Kennlinie besitzt hier in diesem Bereich einen parabolischen Verlauf.

In leistungselektronischen Anwendungen wird in der Regel der MOSFET zwischen der Sperrkennlinie (Sperrzustand) und dem ohmschen Bereich (Leitendzustand) hin- und hergeschaltet. Dabei stellt der Bahnwiderstand $R_{DS(on)}$ einen der wichtigsten Bauteilparameter eines MOSFETs dar, durch den die Durchlassverluste, indirekt die maximale Stromtragfähigkeit sowie die Belastbarkeit maßgeblich bestimmt werden [17].

Ein weiterer Parameter zur Beschreibung des Betriebsverhaltens eines Leistungs-MOSFETs ist die Übertragungsteilheit g_m , die in Abb. 2.8 (b) definiert ist. In Abhängigkeit von der Gate-Source-Spannung U_{GS} kann der MOSFET nur einen bestimmten maximalen Drain-Strom I_D leiten. Eine hohe Übertragungsteilheit g_m ist wünschenswert, um einen hohen Strom bei niedriger Gate-Spannung zu erhalten. Desweiteren steigt die Schaltgeschwindigkeit des MOSFETs mit steigender Übertragungsteilheit [17] (vgl. Abschnitt 2.5.1.3).

Um die Durchlassverluste zu senken, werden in der Praxis häufig mehrere Leistungs-MOSFETs parallelgeschaltet [22]. Da sich im stationären Durchlasszustand über die parallelge-

schalteten MOSFETs dieselbe Durchlassspannung einstellt, richtet sich die Stromaufteilung nach den Toleranzen in den Ausgangskennlinien [18]. Dabei führt der Transistor mit der niedrigeren Sättigungscharakteristik den größeren Teil des Gesamtstromes und wird dadurch mit höheren Durchlass- und Schaltverlusten beansprucht, wodurch die Sperrschichttemperatur T_J schneller ansteigt. Dennoch ist eine Parallelschaltung von Leistungs-MOSFETs unproblematisch, da diese einen positiven Temperaturkoeffizienten der Sättigungsspannung bzw. des Bahnwiderstandes besitzen. Steigt die Temperatur an, so steigt auch der Bahnwiderstand an, wodurch sich im Idealfall ein Gleichgewicht in der Stromaufteilung einstellt.

Rückwärtsbetrieb

Im Rückwärtsbetrieb muss zwischen zwei Fällen unterschieden werden. Im ersten Fall fließt für $U_{GS} < U_{GS,th}$ der Strom durch die Body-Diode mit der Schleusenspannung U_{F0} und einem differentiellen Bahnwiderstand r_f . Wenn der MOSFET jedoch aufgesteuert wird, d.h. $U_{GS} > U_{GS,th}$, fließt der Strom durch den MOSFET-Kanal. Der Drain-Source-Spannungsabfall wird so lediglich über den Bahnwiderstand $R_{DS(on)}$ ohne eine weitere Schleusenspannung bestimmt [1].

2.4 Prinzipielles Verhalten beim harten Schalten

Um das elektrische Verhalten beim Ein- und Ausschalten des MOSFETs besser verstehen zu können, ist das prinzipielle elektrische Ersatzschaltbild in Abb. 2.9 mit Berücksichtigung der inversen Diode, der parasitären Kapazitäten und einiger Widerstände dargestellt. In Abb. 2.1 ist der Aufbau eines Leistungs-MOSFETs mit Berücksichtigung der parasitären Kapazitäten sowie der Widerstände illustriert. Die Kapazität C_{GD} entsteht durch die Berücksichtigung der Oxidkapazität unterhalb der Gate-Platte und der in Serie geschalteten, spannungsabhängigen Verarmungszonen-Kapazität [13]. Desweiteren befindet sich eine verhältnismäßig konstante Kapazität C_{GS} zwischen Gate und Source, die in erster Linie durch die parasitäre Kapazität zwischen der Gate-Platte und der Source-Metallisierung gebildet wird. Aufgrund der parasitären Leistungsdiode und ihrer Diffusionskapazität bzw. Sperrschichtkapazität entsteht die Kapazität C_{DS} , die aufgrund ihrer Spannungsabhängigkeit ebenfalls mitberücksichtigt werden muss.

Weiterhin zu betrachten sind ebenso auch die parasitären Widerstände. So besteht ein interner Gate-Widerstand R_{Gint} zwischen dem inneren Gate und der äußeren Gate-Platte. Der Widerstand R_D entsteht in der n^- -Schicht, der Driftzone, die für eine höhere Sperrspannungsfähigkeit eingeführt wird. Dieser Widerstand wächst mit steigender Sperrspannung an. Der Widerstand R_{CH} , welcher aus Anschauungsgründen nicht in Abb. 2.1 mit eingezeichnet wurde, ist der Kanalwiderstand, der im p-Substrat entsteht.

In der Regel werden Leistungs-MOSFETs mit niedriger Sperrspannung und hoher Stromtragfähigkeit in hart schaltenden Applikationen mit ohmsch-induktiver Last betrieben. In

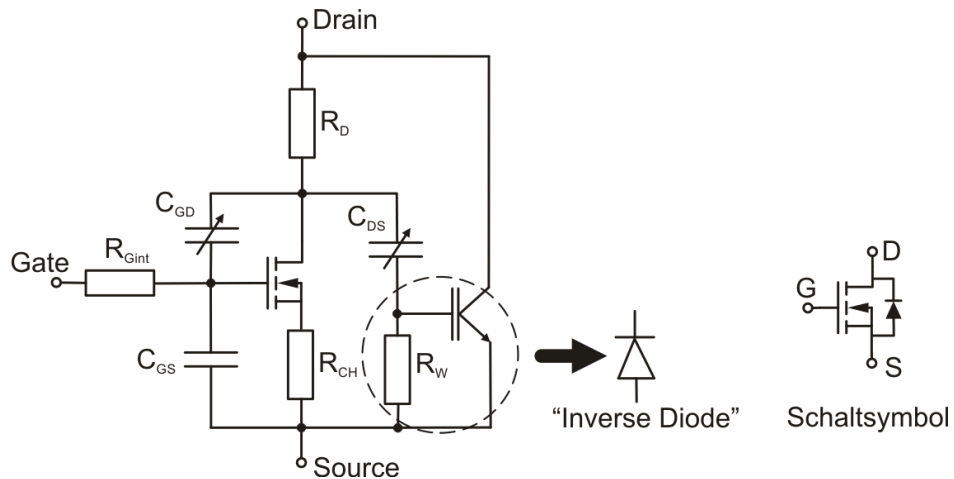


Abb. 2.9: Prinzipielles Ersatzschaltbild eines Leistungs-MOSFETs

Abb. 2.10 ist die prinzipielle Schaltung zur Charakterisierung des harten Schaltverhaltens von Leistungs-MOSFETs in einer Halbbrückenkonfiguration illustriert. Der Laststrom I_L ist dabei nicht lückend. Die Induktivität L_σ stellt die Zusammenfassung aller Streuinduktivitäten im Kommutierungskreis dar. Der MOSFET M_1 wird durch einen Kurzschluss des Gates mit dem Source ausgeschaltet, wodurch lediglich die inverse Body-Diode leiten kann. Der Prüfling M_2 wird über einen externen Gate-Vorwiderstand angesteuert, was einer konventionellen Widerstandssteuerung entspricht.

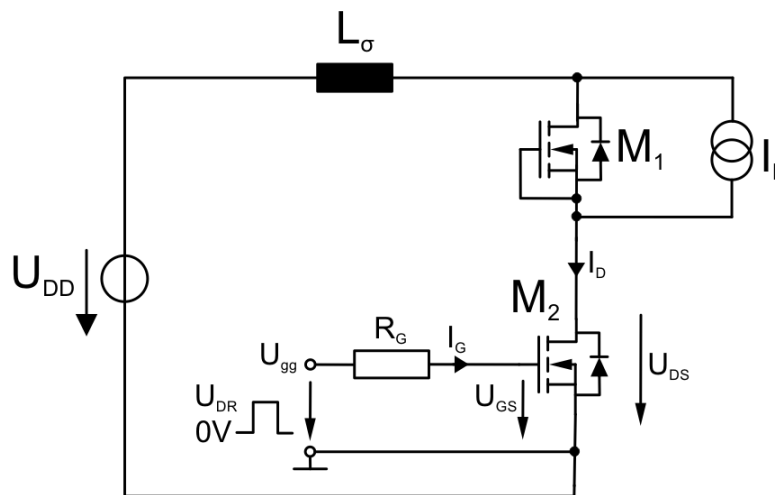


Abb. 2.10: Prinzipielle Schaltung zur Charakterisierung des harten Schaltverhaltens von Leistungs-MOSFETs in einer Halbbrückenkonfiguration

In Abb. 2.11 sind das prinzipielle Schaltverhalten eines Leistungs-MOSFETs sowie die in dieser Arbeit verwendeten Definitionen der Schaltzeiten und Schaltenergien dargestellt. Desweiteren ist der wesentliche Einfluss der Streuinduktivität L_σ im Kommutierungskreis auf die Zeitverläufe der Spannungen illustriert.

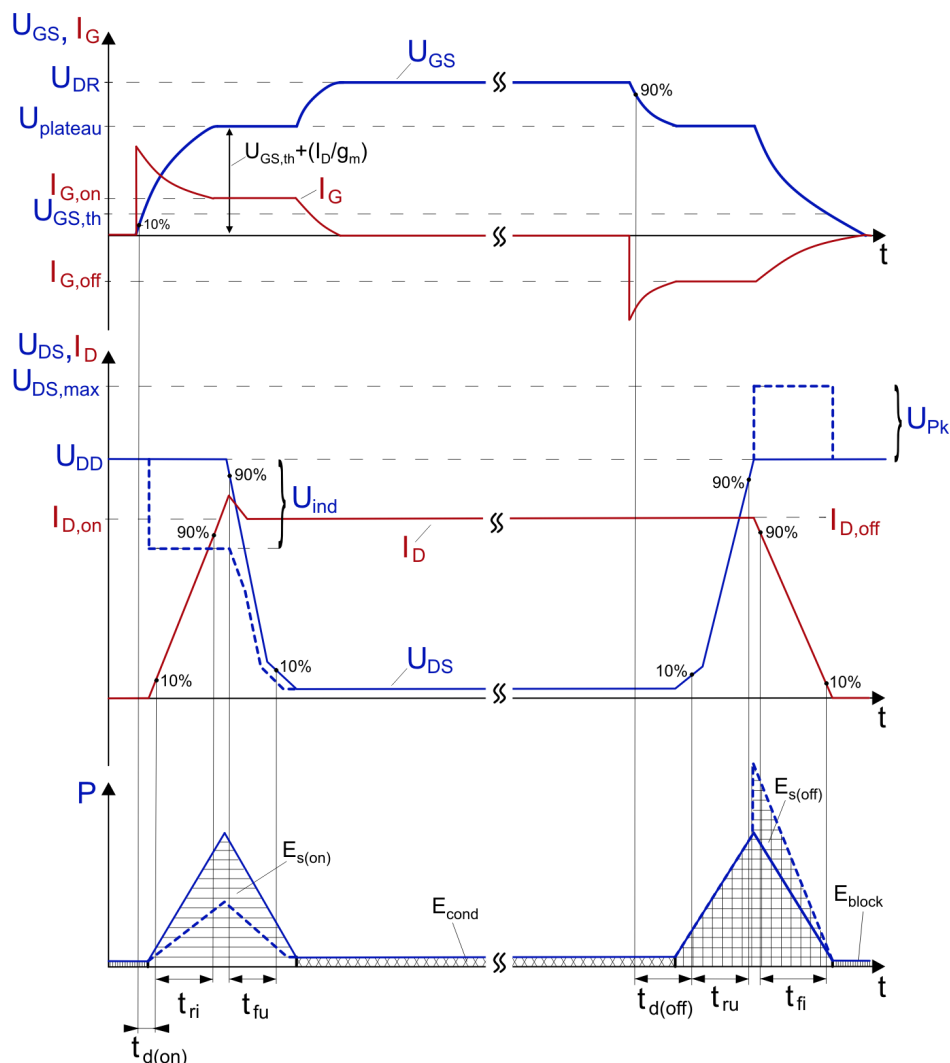


Abb. 2.11: Schaltverhalten eines Leistungs-MOSFETs beim harten Schalten und induktiver Last: ohne (durchgezogene Linie) und mit (gestrichelte Linie) Berücksichtigung der Gesamtstreuinduktivität L_σ im Kommutierungskreis

2.4.1 Prinzipielles Verhalten beim harten Schalten von Leistungs-MOSFETs

2.4.1.1 Einschaltverhalten

Der Einschaltvorgang beginnt mit einem positiven Anstieg der Gate-Source-Spannung U_{GS} . Der Anstieg der Gate-Source-Spannung wird dabei durch den externen Gate-Widerstand R_G , den internen Gate-Widerstand R_{Gint} sowie die Parallelschaltung aus Gate-Source-Kapazität C_{GS} und Gate-Drain-Kapazität C_{GD} (Miller-Kapazität) bestimmt. Der Einfluss von C_{GD} ist aufgrund des niedrigen Wertes bei hohen Sperrspannungen zu diesem Augenblick gering [13]. Die Spannung U_{GS} muss entsprechend mit dem Verhalten eines RC-Gliedes geladen werden. Nach [23] kann für die Einschaltverzögerungszeit $t_{d(on)}$ Gleichung (2.1) herangezogen werden:

$$t_{d(on)} = (R_G + R_{Gint}) \cdot C_{iss} \cdot \ln \left[\frac{1}{1 - \left(\frac{U_{GS,th}}{U_{DR}} \right)} \right]. \quad (2.1)$$

Bei Erreichen der Schwellenspannung $U_{GS,th}$ wird der n-Kanal ausgebildet, wodurch der Drain-Strom I_D zu fließen beginnen kann. Während der Stromanstiegszeit t_{ri} übernimmt der MOSFET M_2 den Strom von der inversen Body-Diode des MOSFETs M_1 . Aufgrund des noch vorhandenen Durchschaltens der inversen Body-Diode von M_1 muss M_2 die volle Spannung U_{DD} des Zwischenkreises aufnehmen. Da in der Praxis jedoch parasitäre Induktivitäten im Kommutierungskreis vorhanden sind, wird die Spannungsbelastung des MOSFETs in Höhe der induzierten Spannungen U_{ind} an den Induktivitäten verringert [12, 13, 24, 25] (gestrichelter Verlauf in Abb. 2.11). Die induzierte Spannung U_{ind} an der im Kommutierungskreis vorhandenen, zusammengefassten Streuinduktivität ergibt sich zu:

$$U_{ind} = L_\sigma \cdot \left. \frac{di_D}{dt} \right|_{on}. \quad (2.2)$$

Der MOSFET arbeitet zu diesem Zeitpunkt im aktiven Bereich. Der Drain-Strom I_D ist über die Übertragungssteilheit g_m , wie in Abb. 2.8 (b) illustriert, mit U_{GS} verkoppelt.

Sobald der MOSFET M_2 den Strom vollständig übernommen hat, sperrt die inverse Diode von M_1 . Aufgrund des Reverse-Recovery-Effekts entsteht zu diesem Zeitpunkt eine Stromerhöhung über den Einschaltstrom $I_{D,on}$ hinaus; mit der zusätzlichen Höhe der Rückstromspitze I_{RRM} der inversen Diode von M_1 .

Während dieses Augenblicks bricht die Drain-Source-Spannung U_{DS} des MOSFETs M_2 zusammen und die inverse Diode von M_1 übernimmt die Spannung. Die Spannung U_{DS} an M_2 sinkt während der Spannungsfallzeit t_{fu} auf die Durchlassspannung $U_{DS(on)}$. Am Ende der Spannungsfallzeit fällt U_{DS} langsamer ab, was durch Folgendes verursacht wird: Zu Beginn der Spannungsfallzeit ist U_{DS} relativ hoch und es kann angenommen werden, dass die Gate-Drain-Kapazität C_{GD} konstant ist. Der Kondensator C_{GD} wird nun über den Gate-Strom I_G umgeladen und U_{GS} bleibt während dieses Abschnittes konstant (Miller-Plateau) [12, 13]:

$$U_{GS} = U_{GS,th} + \frac{I_D}{g_m}. \quad (2.3)$$

Sinkt U_{DS} auf relativ niedrige Werte ab, so steigt die spannungsabhängige Kapazität C_{GD} an. Aufgrund des gleichbleibenden Umladestroms I_G sinkt die Spannung U_{DS} langsamer.

Nach Beendigung des Einschaltvorgangs sind U_{GS} und I_D nicht mehr miteinander verkoppelt. Die Spannung U_{GS} steigt nun wieder mit der Zeitkonstanten τ_1 auf die Gate-Spannungsamplitude an. Der MOSFET M_2 arbeitet nun im ohmschen Bereich.

Es ergeben sich zusammenfassend folgende Anforderungen an das Einschaltverhalten von Leistungs-MOSFETs:

- Die Einschaltverzögerungszeit $t_{d(on)}$ sollte möglichst kurz sein, um eine gute Steuer-

barkeit und Regelbarkeit des Umrichters zu erhalten. Auf diese Weise kann die gemeinsame Verriegelungszeit zwischen den Ansteuersignalen für den High-Side- und Low-Side-Zweig einer Halbbrücke (auch Ausblendzeit oder sog. „Totzeit“ genannt) kurz gehalten werden. Weiterhin hat dies Vorteile einer geringen Ausblendzeit einer Entsättigungserkennung.

- Für eine möglichst geringe Einschaltverlustenergie sollte die Stromanstiegszeit t_{ri} sehr kurz sein. Zusätzlich sind die Anforderungen bezüglich leitungsgebundener Störemissionen einzuhalten.
- Die Überstromspitze sollte weitestgehend niedrig sein, was wiederum eine Anforderung an die Sperrverzögerungsladung Q_{rr} der inversen Body-Diode darstellt (siehe Abschnitt 2.4.2.2).
- Die Spannungsfallzeit t_{fu} sollte möglichst kurz sein. Hier muss ein Kompromiss zwischen der Reduzierung der Einschaltverlustenergie sowie der Einhaltung von EMV-Anforderungen (gestrahlte Störemission) getätigt werden [17, 18].

2.4.1.2 Ausschaltverhalten

Der Ausschaltvorgang verläuft in umgekehrter Reihenfolge zum Einschaltvorgang. Zu Beginn werden die Millerkapazität C_{DS} sowie C_{GS} , die beide nun parallel zum Kanal liegen, während der Ausschaltverzögerungszeit $t_{d(off)}$ nach Gleichung (2.4) entladen [23].

$$t_{d(off)} = (R_G + R_{Gint}) \cdot C_{iss} \cdot \ln \left[\frac{U_{DR}}{U_{GS,th} + \left(\frac{I_D}{g_m}\right)} \right] \quad (2.4)$$

Erreicht U_{GS} wieder den Wert nach Gleichung (2.3), so bleibt diese auf dem Miller-Plateau und die Drain-Source-Spannung steigt in umgekehrter Reihenfolge zum Einschaltvorgang. Dabei ist die Spannungsanstiegszeit t_{ru} proportional zum Gate-Widerstand und zur Gate-Drain-Kapazität:

$$t_{ru} \sim (R_G + R_{Gint}) \cdot C_{GD}. \quad (2.5)$$

Während am MOSFET M_2 (siehe Abb. 2.10) die gesamte Zwischenkreisspannung U_{DD} anliegt, beginnt der Drain-Strom zu fallen und die inverse Diode von M_1 beginnt zu leiten. Aufgrund der Gesamtstreuinduktivität L_σ des Kommutierungsweges werden während der Stromfallzeit t_{fi} Spannungen induziert, die zusätzlich zur Einschalt-Spannungsspitze U_{FRM} der Diode (siehe Abb. 2.12) zu einer Spannungserhöhung U_{pk} direkt an M_2 führen [12, 24, 26]. Je höher die negative Stromsteigung im Kommutierungsweg ist, desto größer wird die induzierte Überspannung U_{pk} .

$$U_{pk} = U_{FRM} + L_{\sigma} \cdot \left. \frac{di_D}{dt} \right|_{off} \quad (2.6)$$

Fällt die Gate-Source-Spannung U_{GS} auf den Wert der Schwellenspannung $U_{GS,th}$, wird der Drain-Strom zu Null und der MOSFET M_2 sperrt wieder.

Es ergeben sich zusammenfassend folgende Anforderungen an das Ausschaltverhalten von Leistungs-MOSFETs:

- Wie schon beim Einschalten sollte die Ausschaltverzögerungszeit $t_{d(off)}$ aus oben genannten Gründen für die Verriegelungszeit möglichst kurz sein.
- Die Spannungsanstiegszeit t_{ru} sollte möglichst gering sein. Es muss abermals ein Kompromiss aus Einhaltung von EMV-Anforderungen (gestrahlte Emission) und der Minimierung der Ausschaltverlustenergien getroffen werden [18, 17].
- Die Stromfallzeit t_{fi} sollte so kurz wie möglich gehalten werden. Dabei darf die Spannungsbelastung durch die zusätzliche Überspannung U_{pk} während dieser Phase nicht die Sperrspannungsfähigkeit des Leistungs-MOSFETs zuzüglich einer Spannungsreserve überschreiten, was wie schon bei der Spannungsanstiegszeit einen Kompromiss nach sich zieht. Weiterhin ist darauf zu achten, dass bei Verwendung von Bootstrap-Treiberschaltungen kein sog. Latch-Up (Latch-Up: Übergang eines Halbleiterbauelements in einen niederohmigen Zustand aufgrund von Spannungsspitzen) in der Treiberschaltung bzw. im Treiberlogik-IC entsteht [27, 28]. Die Anforderungen bezüglich leitungsgebundener Störemissionen sind auch hier einzuhalten. Es hat sich gezeigt, dass bei gleichbleibendem Gate-Widerstand R_G und abnehmender Streuinduktivität L_{σ} die leitungsgebundene Störemission aufgrund der resultierenden steileren Stromflanke zunimmt [29]. Stromsteilheiten von 1000 A/ μ s und höher sind bei den Schaltvorgängen möglich.

2.4.1.3 Verlustenergien

In Abb. 2.11 ist zusätzlich der Verlauf der im Leistungs-MOSFET auftretenden Verlustleistung bzw. der Verlustenergien illustriert. Die Schaltverlustenergien $E_{s(on)}$ und $E_{s(off)}$ treten dabei während der Strom- und Spannungsanstiegszeiten und -fallzeiten auf. Aufgrund der deutlichen Spannungsentlastung beim Einschalten und der Überspannung beim Ausschalten, fallen in der Regel die Einschaltverlustenergien für Anwendungen mit niedrigen Zwischenkreisspannungen unter 100 V und hohen Lastströmen über 100 A wesentlich niedriger als die Ausschaltverlustenergien aus [1, 30].

Die Verlustenergie E_{cond} tritt im aufgesteuerten Zustand des MOSFETs auf und wird in erster Linie durch den sog. Bahnwiderstand $R_{DS(on)}$ verursacht, der sich aus der Summe der einzelnen parasitären Widerstände des Strompfades durch den MOSFET zusammensetzt.

Die Sperrverlustenergie E_{block} ist aufgrund des niedrigen Sperrstromes sehr gering und wird normalerweise vernachlässigt.

2.4.2 Prinzipielles Verhalten beim harten Schalten der inversen Diode von Leistungs-MOSFETs

In Abb. 2.12 ist das prinzipielle Schaltverhalten der inversen Diode eines Leistungs-MOSFETs illustriert.

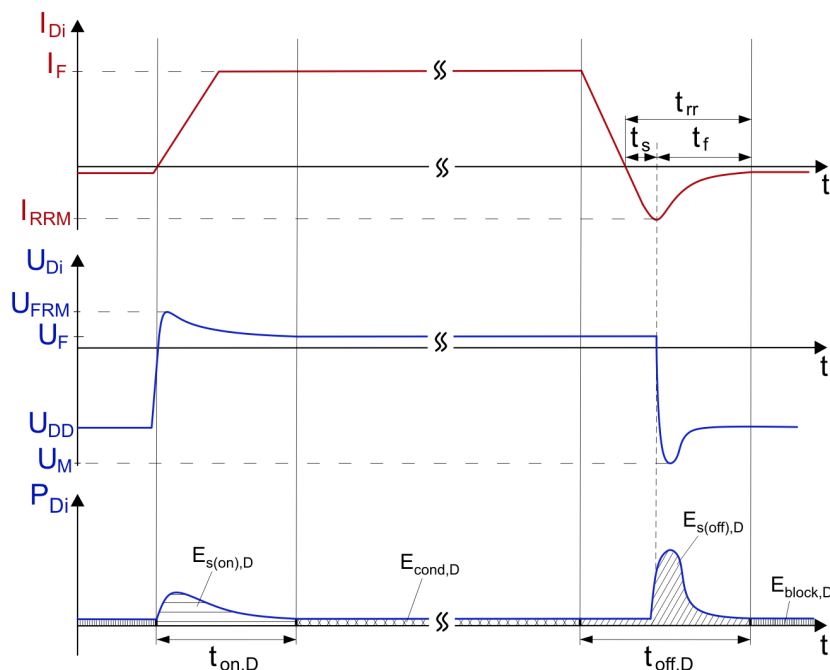


Abb. 2.12: Schaltverhalten der inversen Body-Diode eines Leistungs-MOSFETs beim harten Schalten und induktiver Last

2.4.2.1 Einschaltverhalten

Vor Beginn des Einschaltvorgangs befindet sich die Diode im Sperrzustand. Beim folgenden Übergang in den Leitendzustand steigt die Spannung zunächst auf die Einschaltspannungsspitze U_{FRM} an, bevor diese auf die Durchlassspannung U_F sinkt [13]. Dies wird dadurch verursacht, dass bei üblicherweise ohmsch-induktiven Lasten entsprechend der Abfallgeschwindigkeit des MOSFET-Stromes der Diode ein Stromanstieg eingepreßt wird und der Widerstand der Driftzone zu Beginn noch sehr hoch ist. In der Regel spielt diese Spannungsspitze aufgrund der niedrigen Steigung des Dioden-Stromes während der Einschaltphase eine vernachlässigbare Rolle. Bei sehr hohen Steigungen des Einschaltstromes di_F/dt kann es jedoch zu überaus hohen Einschaltüberspannungen kommen, die sich, wie bereits in Abschnitt 2.4.1.2 erwähnt, mit den an den Streuinduktivitäten induzierten Spannungen überlagern. Dieser Vorgang wird auch als Forward-Recovery-Effekt bezeichnet. Während der Leitendphase

wird der Vorwärtsspannungsabfall U_F durch die Schleusenspannung U_{F0} sowie durch die Spannung über dem differentiellen Bahnwiderstand r_F der Diode gebildet.

2.4.2.2 Ausschaltverhalten

Bei dem Übergang der inversen Diode von dem Leitendzustand in den Sperrzustand muss in der Diode die gespeicherte Ladung abgebaut werden. Dadurch wird ein Stromfluss in Rückwärtsrichtung der Diode verursacht, was in der Literatur als Reverse-Recovery-Effekt bezeichnet wird.

Der Ausschaltvorgang beginnt mit dem Fallen des Diodenvorwärtsstromes. Ab dem Nulldurchgang des Stromes beginnt die Diode Spannung aufzunehmen. Während dieses Vorgangs erreicht der Diodenrückstrom die Diodenrückstromspitze I_{RRM} und klingt anschließend auf den Diodensperrstrom ab, welcher im Allgemeinen vernachlässigt werden kann.

Wie bereits in Abschnitt 2.2.3 erwähnt, weisen die inversen Dioden von Leistungs-MOSFETs häufig ein sog. „snappiges“ Verhalten anstatt eines Soft-Recovery-Verhaltens auf, was bedeutet, dass der Diodenrückstrom nicht langsam sondern sehr steil oder abrupt abfällt [18, 12, 13, 31, 32]. Ein erhöhtes di/dt kann ebenso zu einem „snappigen“ Schaltverhalten, zu Spannungsspitzen und zu Oszillationen führen. In Abb. 2.13 (a) und (b) ist der Reverse-Recovery-Prozess für ein weiches und ein „snappiges“ Ausschalten illustriert.

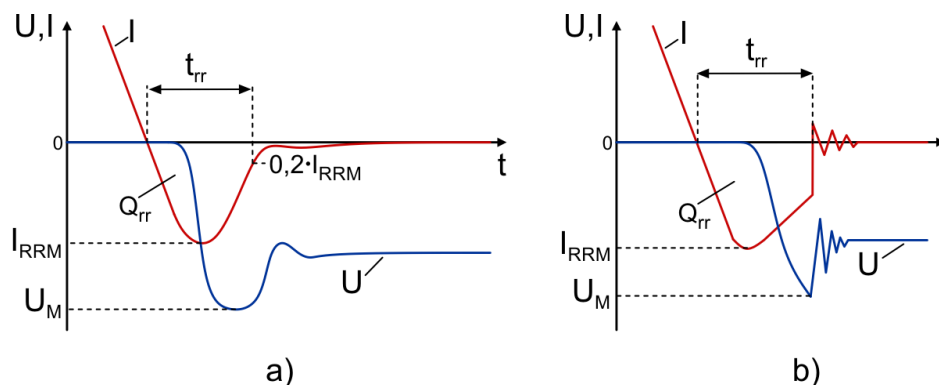


Abb. 2.13: Reverse-Recovery-Prozess einer Diode: a) Soft-Recovery-Verhalten, b) „snappiges“ Reverse-Recovery-Verhalten

Neben der Reduzierung des Bahnwiderstandes sind ebenfalls die Schalteigenschaften der Body-Diode des Leistungs-MOSFETs wichtig. Bei der Speisung von beispielsweise Elektromotoren muss das Verhalten der Body-Diode, die i.R. als Freilaufdiode genutzt wird, beachtet werden. Es ergeben sich folgende Anforderungen an das harte Schaltverhalten von inversen Dioden von Leistungs-MOSFETs:

- Die Überspannung beim Einschalten der Diode sollte möglichst gering sein.
- Die Rückstromspitze beim Ausschalten der Diode sollte möglichst niedrig sein [2, 7].
- Die Speicherladung Q_{rr} bzw. die Ausschaltverluste sollten möglichst gering sein.

- Ein eher weiches anstatt eines „snappigen“ Ausschaltverhaltens ist erstrebenswert, um Oszillationen zu vermeiden und die Überspannung beim Abschalten der Diode gering zu halten [18].

2.5 Bestimmung der Halbleiterverluste von Leistungs-MOSFETs

Die Kenntnis der Halbleiterverluste spielt bei der Entwicklung leistungselektronischer Schaltungen eine wichtige Rolle und hat neben dem Einfluss auf die Auswahl und der Anzahl der Halbleiterbauelemente auch einen Einfluss auf die zu wählende Schaltfrequenz sowie auf den mechanischen Aufbau.

Zwar ist eine Bestimmung der Verluste, vor allem der Schaltverluste, durch zuvor erzielte Messergebnisse über eine Kennlinienermittlung und einer anschließenden Approximation mittels eines Polynoms zweiter Ordnung möglich [18, 33] (siehe Abschnitt 3.4), jedoch stehen nicht immer zu Beginn eines Entwicklungsvorhabens schon Leistungshalbleiter sowie ein fertiges Leistungsteil zur Verfügung. Vor allem das Leistungsteillayout spielt aufgrund des Einflusses der Streuinduktivitäten im Kommutierungskreis bei Leistungs-MOSFETs mit niedriger Sperrspannungsfestigkeit auf die Schaltverluste eine wesentliche Rolle [24, 34, 35]. In diesem Abschnitt werden daher analytische Gleichungen zur Bestimmung der Durchlass- und Schaltverluste für Leistungs-MOSFETs aufgeführt, durch die bereits zu einem frühen Zeitpunkt eines Entwicklungsvorhabens die Halbleiterverluste berechnet werden können. Weiterhin werden Methoden zur Approximation der Schaltzeiten vorgestellt. Aufgrund des möglichen Anwendungsgebietes von Leistungs-MOSFETs in Pulsstromrichtern mit sinusförmigen Ausgangsströmen, werden in Abschnitt 2.5.2 hierfür Erläuterungen zur Verlustleistungsbestimmung getätigt.

2.5.1 Analytische Bestimmung der Halbleiterverluste

Die in den Leistungs-MOSFETs auftretenden Halbleiterverluste lassen sich wie folgt aufteilen:

- Durchlassverluste P_d , die von dem Drain-Source-Widerstand $R_{DS(on)}$, der Sperrschichttemperatur T_J , dem Tastverhältnis a und dem Drain-Strom I_D abhängen,
- Ein- und Ausschaltverluste $P_{s(on)}$ und $P_{s(off)}$, die von der Schaltfrequenz f_s , der Streuinduktivität L_σ im Kommutierungskreis, der gateseitigen Ansteuerung sowie der Sperrspannung U_{DD} und dem Drain-Strom I_D abhängen.
- Die Sperrverluste sowie die Ansteuerungsverluste, die bei Leistungs-MOSFETs sehr gering sind, können vernachlässigt werden [12].

Die Gesamtverlustleistung $P_{v(ges)}$ eines Leistungs-MOSFETs ergibt sich somit wie folgt:

$$P_{v(ges)} = P_d + P_{s(on)} + P_{s(off)} = P_d + P_s. \quad (2.7)$$

Wie schon beim Leistungs-MOSFET kann für die inverse Body-Diode folgender Ausdruck für die Gesamtverlustleistung $P_{v(ges),D}$ aufgestellt werden:

$$P_{v(ges),D} = P_{d,D} + P_{s(on),D} + P_{s(off),D} = P_{d,D} + P_{s,D}. \quad (2.8)$$

2.5.1.1 Bestimmung der Durchlassverluste

Leistungs-MOSFETs besitzen im Gegensatz zu IGBTs eine sehr geringe Schleusenspannung, weshalb diese bei der analytischen Bestimmung der Halbleiterverlustleistung im Folgenden vernachlässigt wird [14, 36, 37]. Es werden folgende Gleichungen zur Bestimmung der Durchlassverluste in Leistungs-MOSFETs zu Grunde gelegt:

$$p_d(t) = u_{DS}(t) \cdot i_D(t) = R_{DS(on)}(T_J) \cdot i_D^2(t) \quad (2.9)$$

$$P_d = \frac{1}{T_s} \int_0^{T_{on}} p_d(t) dt = \frac{1}{T_s} \int_0^{T_{on}} [R_{DS(on)}(T_J) \cdot i_D^2(t)] \cdot dt = a \cdot R_{DS(on)}(T_J) \cdot I_D^2. \quad (2.10)$$

Dabei ist I_D in Gleichung (2.10) der Effektivwert des Drain-Stromes während der Leitendphase des MOSFETs und a das Tastverhältnis als Quotient der Einschaltdauer T_{on} und der Pulsperiodendauer T_s .

Bei der Bestimmung der Durchlassverluste ist die Berücksichtigung der Sperrschichttemperatur T_J des MOSFETs besonders wichtig, da der Drain-Source-Bahnwiderstand $R_{DS(on)}$ sehr temperaturabhängig ist. Der Drain-Source-Bahnwiderstand kann so je nach MOSFET-Typ in Bezug auf eine Sperrschichttemperatur von $T_J = 25^\circ\text{C}$ bei beispielsweise $T_J = 100^\circ\text{C}$ um den Faktor 1,2 bis 2,0 steigen. Hieraus ergibt sich die häufige Forderung der Umrichter-Industrie an die Halbleiter-Hersteller nach MOSFETs mit einer deutlich niedrigeren Temperaturabhängigkeit des $R_{DS(on)}$.

Analog zu der Herleitung der Durchlassverluste eines Leistungs-MOSFETs kann die Durchlassverlustleistung $P_{d,D}$ der inversen Diode bestimmt werden. Lediglich die Schleusenspannung U_{F0} muss mitberücksichtigt sowie der Bahnwiderstand $R_{DS(on)}$ durch den differentiellen Bahnwiderstand r_F der Diode ersetzt werden.

Wie bereits in Abschnitt 2.3 erwähnt, kann während der Freilaufphase über die inverse Diode im Rückwärtsbetrieb durch Anlegen einer positiven Gate-Source-Spannung der Kanal des MOSFETs geöffnet werden, wodurch die Durchlassspannung lediglich durch den Spannungsabfall über dem $R_{DS(on)}$ bestimmt wird. Da auf diese Weise die Durchlassverlustleistung im Gegensatz zum Rückwärtsbetrieb über die inverse Diode erheblich reduziert wird,

wird die Diode nur während der sog. Verriegelungszeit („Totzeit“) belastet [1]. Die dort entstehenden Verluste sind jedoch meistens sehr gering, so dass sie bei der Bestimmung der Verlustleistungen in der Regel vernachlässigt werden können.

2.5.1.2 Bestimmung der Schaltverluste

Die Bestimmung der Schaltverluste für einen Ein- und Ausschaltvorgang erfolgt über die Gleichungen (2.11) bzw. (2.12) und (2.13) der Ein- und Ausschaltenergien $E_{s(on)}$ und $E_{s(off)}$ [12] (vgl. Abb. 2.11 in Abschnitt 2.4). Es werden auch die Verluste durch den Reverse-Recovery-Prozess der Body-Diode bzw. die Rückstromspitze I_{RRM} mitberücksichtigt. Dabei wird angenommen, dass die Rückstromspitze I_{RRM} der Body-Diode während der Spannungsfallzeit t_{fu} abklingt. Es sei an dieser Stelle darauf hingewiesen, dass sich bei der Bestimmung der Schaltverluste die benötigten Schaltzeiten t_{ri} , t_{fi} , t_{ru} sowie t_{fu} nicht auf Messungen von 10 % bis 90 % sondern von 0 % bis 100 % der jeweiligen Messgröße beziehen. Die Einschaltenergie ist wie folgt definiert:

$$E_{s(on)} = \frac{1}{2} \cdot (U_{DD} - U_{ind}) \cdot (I_{D,on} + I_{RRM}) \cdot t_{ri} + \frac{1}{2} \cdot (U_{DD} - U_{ind}) \cdot (I_{D,on} + \frac{1}{2} \cdot I_{RRM}) \cdot t_{fu}. \quad (2.11)$$

In der Regel stellen die Hersteller in den MOSFET-Datenblättern nur unzureichend Informationen über die Rückstromspitze I_{RRM} zur Verfügung, da diese abhängig von der Stromsteigerung ist. Desweiteren sind in den Datenblättern die Schaltzeiten für ohmsche Lasten angegeben, was in der Praxis selten vorkommt [12]. Stattdessen wird häufig in den Datenblättern von Leistungs-MOSFETs zusätzlich die Sperrverzögerungsladung Q_{rr} aufgeführt. Es ergibt sich hiermit für die Einschaltverlustenergie $E_{s(on)}$ aus Gleichung (2.11) folgender Ausdruck [12, 36]:

$$E_{s(on)} = \frac{1}{2} \cdot (U_{DD} - U_{ind}) \cdot I_{D,on} \cdot t_{ri} + \frac{1}{2} \cdot (U_{DD} - U_{ind}) \cdot I_{D,on} \cdot t_{fu} + \frac{1}{2} \cdot Q_{rr} \cdot (U_{DD} - U_{ind}). \quad (2.12)$$

Der letzte Term von Gleichung (2.12) ist jedoch bei niedrigen Sperrspannungen sehr gering.

Die Berücksichtigung der Verlustleistung durch den Entladevorgang der Ausgangskapazität C_{oss} des MOSFETs — wie in [38, 39, 40] — ist bei Leistungs-MOSFETs mit niedriger Sperrspannungsfähigkeit unter 100 Volt nicht notwendig, da aufgrund der geringen Ausgangskapazität und niedrigen Sperrspannung diese Verluste vernachlässigbar klein sind.

Bei der Bestimmung der Ausschaltenergie muss im Gegensatz zur Einschaltenergie nicht nur die induzierte Spannung mitberücksichtigt werden, sondern ebenfalls auch die Einschalt-

überspannung U_{FRM} der aufkommütierenden inversen Diode des in einer Halbbrücke gegenüberliegenden MOSFETs. Nach Gleichung (2.6) wird deshalb der Wert U_{pk} für die Überspannung während der Stromfallzeit verwendet.

$$E_{s(off)} = \frac{1}{2} \cdot U_{DD} \cdot I_{D,off} \cdot t_{ru} + \frac{1}{2} \cdot (U_{DD} + U_{pk}) \cdot I_{D,off} \cdot t_{fi} \quad (2.13)$$

Die mittlere Gesamtschaltverlustleistung P_s ergibt sich somit zu:

$$P_s = [E_{s(on)} + E_{s(off)}] \cdot f_s = E_s \cdot f_s. \quad (2.14)$$

Ein wesentlich anderer Ansatz zur Bestimmung der Schaltverluste wird in [41, 42] verfolgt. Dort werden mittels Maschengleichungen analytische Ausdrücke zur Bestimmung der zeitlichen Verläufe der Gate-Source-Spannung, der Drain-Source-Spannung sowie des Drain-Stromes hergeleitet, aus denen sich die Schaltverlustenergien $E_{s(on)}$ und $E_{s(off)}$ des jeweiligen Betriebspunktes berechnen lassen. Dabei wird dem Einfluss der gesamten Streuinduktivität im Kommutierungskreis L_σ sowie dem der Streuinduktivität $L_{S\sigma 2}$ zwischen dem Source des MOSFETs und dem Source-Abgriff des Treibers Rechnung getragen. Dennoch konnten mit dieser Methode und den Parametern der hier verwendeten Leistungs-MOSFETs bei Berechnungen des Verfassers keine zufriedenstellenden Ergebnisse erzielt werden, weshalb diese Methode nicht weiter betrachtet wird.

2.5.1.3 Approximation der Schaltzeiten

Die Approximation der Schaltzeiten der Leistungs-MOSFETs stellt sich in der Praxis als sehr schwierig dar. So werden zwar von den Hersteller in den Datenblättern Schaltzeiten aufgeführt, jedoch sind diese nicht sehr aussagekräftig. Die dort aufgeführten Schaltzeiten sind abhängig von der parasitären Kapazität der MOSFETs, den Gehäuseinduktivitäten und zu einem großen Teil abhängig von den Testschaltungen, die für die Messungen verwendet wurden [43]. Die Schaltzeiten werden in der Regel in den Datenblättern als Maßstab zum Vergleich aufgeführt, obwohl sie ziemlich aussagegelos ohne eine genaue Beschreibung der Testschaltung sind [18, 43]. Weiterhin machen die Hersteller den Vergleich noch schwieriger, da diese sehr viele unterschiedliche Testschaltungen verwenden und sich die Angaben der Schaltzeiten i.a. auf rein ohmsche Lasten beziehen, die in der Praxis jedoch nur selten auftreten [18, 12].

Weiterhin werden in der Literatur häufig analytische Gleichungen zur Bestimmung der Schaltzeiten aufgestellt, die linear vom Gate-Vorwiderstand und der Gate-Source-Kapazität abhängen [15, 17]. Hier werden jedoch ideale Voraussetzungen wie eine lineare Gate-Drain-Kapazität C_{GD} angenommen. Zudem werden die Streuinduktivitäten im Kommutierungszweig vernachlässigt. Bei Leistungs-MOSFETs in Niederspannungsanwendungen haben aber gerade diese Induktivitäten einen entscheidenden Einfluss auf das Schaltverhalten sowie die

Schaltzeiten.

Aus den oben genannten Gründen gibt es daher Ansätze zur genaueren Approximation der Schaltzeiten, auf die im Folgenden kurz eingegangen wird.

Methoden zur Approximation der Spannungsanstiegs- und Spannungsfallzeiten

Aufgrund der spannungsabhängigen, nichtlinearen Gate-Drain-Kapazität C_{GD} ist es schwierig, gute analytische Abschätzungen über die Spannungsanstiegszeiten und -fallzeiten zu tätigen. In diesem Abschnitt werden hierfür zwei Methoden — die Q_{GD} -Approximation und die C_{GD} -Approximation — vorgestellt, die sehr unterschiedlich in ihrem Aufwand und den erzielten Ergebnissen sind. Andere Methoden, wie beispielsweise die C_{GD} -2 Punkt-Approximation nach [44], bei der der spannungsabhängige, nichtlineare Verlauf von C_{GD} über eine 2 Punkt-Approximationskennlinie nachgebildet wird, lieferten hier nur sehr unbefriedigende Ergebnisse.

Q_{GD} -Approximation

Die Q_{GD} -Approximation [44] ist eine einfache und verbreitete Methode zur Bestimmung der Spannungsfallzeiten und -anstiegszeiten. Sie setzt voraus, dass die Gate-Drain-Ladung Q_{GD} der Millerkapazität C_{GD} , welche i.a. in den Datenblättern der Hersteller aufgeführt wird, bekannt ist. Zu Beginn muss der Gate-Strom beim Ein- und Ausschalten während der Plateau-Zeit bestimmt werden.

$$I_{G,on} = \frac{U_{DR} - U_{plateau}}{R_G} \quad (2.15)$$

$$I_{G,off} = -\frac{U_{plateau}}{R_G} \quad (2.16)$$

Nun kann über Gleichungen (2.17) und (2.18) die Spannungsfallzeit t_{fu} und Spannungsanstiegszeit t_{ru} berechnet werden.

$$t_{fu} \approx \frac{Q_{GD}}{I_{G,on}} \quad (2.17)$$

$$t_{ru} \approx \frac{Q_{GD}}{|I_{G,off}|} \quad (2.18)$$

C_{GD} -Approximation

In [44] wird eine Methode vorgestellt, bei der der Verlauf von C_{GD} in Abhängigkeit von U_{DS} über eine Funktion nach Gleichung (2.19) analytisch nachgebildet wird. Sie ist in der Herleitung ein wenig aufwendiger und setzt voraus, dass eine Kennlinie $C_{GD}(U_{DS})$ zur Verfügung steht. Auf die Herleitung der C_{GD} -Funktion wird an dieser Stelle verzichtet und es wird auf [39] verwiesen.

Dabei sind C_{rss}^T und U_{DS}^T die in den Datenblatttabellen aufgeführten typischen Werte der Rückwirkungskapazität und der dazugehörigen Drain-Source-Spannung. Die Parameter k und m dienen zur Näherung der Funktion an die reale Kennlinie. Als Anfangswerte für die Koeffizienten sind beispielsweise $k = 1$ und $m = 0,5$ empfehlenswert. Durch gerichtete Variation der Werte kann jedoch der Funktionsverlauf deutlich dem der Kennlinie angenähert werden.

$$C_{GD}(u_{DS}(t)) = k \cdot C_{rss}^T \cdot \left(\frac{U_{DS}^T}{u_{DS}(t)} \right)^m \quad (2.19)$$

Auf die weitere Herleitung wird an dieser Stelle verzichtet und auf die Herleitung in [44] hingewiesen. Das Ergebnis ist schließlich jeweils ein Ausdruck für die Spannungsanstiegs- und Spannungsfallzeit.

$$t_{fu} \approx \left| \frac{k \cdot C_{rss}^T \cdot (U_{DS}^T)^m}{I_{G,on}} \left(\frac{U_{plateau} - U_{DD}}{(U_{DD})^m} - \frac{U_{plateau} - R_{DS(on)} \cdot I_{D,on}}{(R_{DS(on)} \cdot I_{D,on})^m} \right) \right| \quad (2.20)$$

$$t_{ru} \approx \left| \frac{k \cdot C_{rss}^T \cdot (U_{DS}^T)^m}{I_{G,off}} \left(\frac{U_{plateau} - U_{DD}}{(U_{DD})^m} - \frac{U_{plateau} - R_{DS(on)} \cdot I_{D,off}}{(R_{DS(on)} \cdot I_{D,off})^m} \right) \right| \quad (2.21)$$

Methode zur Approximation der Stromanstiegs- und Stromfallzeiten

Wie bereits erwähnt, führen die analytischen Ausdrücke für die Stromfall- und Stromanstiegszeiten in [15, 17] aufgrund der idealen Annahmen und der Vernachlässigung der Streuinduktivitäten im Kommutierungsweg in der Praxis zu sehr ungenauen Ergebnissen. Unter anderem bei Messungen stellt sich heraus, dass die Stromanstiegs- und Fallgeschwindigkeiten maßgeblich von der Streuinduktivität zwischen dem Source-Anschluss des MOSFETs und dem Hilfssource-Anschluss des Treibers — der sog. Common Source Induktivität — abhängig sind. Unter Vernachlässigung der restlichen Streuinduktivitäten im Kommutierungsweg wird dies bei folgender Approximation mitberücksichtigt [45, 46]:

$$\frac{di_D}{dt} \approx \frac{U_{DR} - U_{GS,th} - \left(\frac{I_D}{2g_m}\right)}{(R_G \cdot C_{iss} \cdot \frac{1}{g_m}) + L_{S\sigma 2}} \quad (2.22)$$

Voraussetzung ist hier die Kenntnis der Common Source Induktivität $L_{S\sigma 2}$. Nähere Erläuterungen zur Steuerbarkeit der Stromflanke mittels der Common Source Induktivität $L_{S\sigma 2}$ befinden sich in Kapitel 6.

2.5.2 Bestimmung der Halbleiterverluste in Pulsstromrichtern mit sinusförmigen Ausgangsströmen

2.5.2.1 Bestimmung der Durchlassverluste bei sinusförmigen Strömen

Die allgemein bekannte Herleitung der Durchlassverluste in [18, 47] für dreiphasige, spannungsgespeiste Umrichter mit sinusförmigen Ausgangsströmen unterscheidet sich bei der Verwendung von Leistungs-MOSFETs im Gegensatz zu IGBTs wie folgt:

Anders als bei der Verwendung von IGBTs fließt der Strom beim aufgesteuerten MOSFET im Rückwärtsbetrieb durch den MOSFET-Kanal, da auf diese Weise die Durchlassverluste reduziert werden können [1]. Dies hat zur Folge, dass die antiparallelen Body-Dioden nur während der gemeinsamen Verriegelungszeit der MOSFETs einer Halbbrücke den Strom führen und damit analytisch vernachlässigbar geringe Durchlassverluste in den Dioden entstehen, die im Folgenden nicht mitberücksichtigt werden.

In Abb. 2.14 sind zur Veranschauung beispielhaft die Strom- und Spannungsverläufe einer Phase bei Sinusmodulation nach dem Unterschwingungsverfahren bei Annahme eines idealisierten Schaltverhaltens dargestellt. Hierbei sind U_{ref} das Trägersignal, U_h das sinusförmige Sollwertsignal und f_N die Grundfrequenz. Wie anhand Abb. 2.14 zu erkennen ist, kann für den Drain-Strom in Gleichung (2.9) bei Vernachlässigung der gemeinsamen Verriegelungszeit und damit der Leitdauer der Body-Dioden der MOSFETs der Laststrom einer Halbperiode angenommen werden. Dadurch resultiert genau die Hälfte der Leistung bei einem sinusförmigen Ausgangsstrom. Es ergibt sich mit den oben genannten Bedingungen somit folgender Ausdruck für die Durchlassverluste in einem MOSFET bei sinusförmigen Ausgangsströmen [1]:

$$P_d = \frac{1}{2} \cdot R_{DS,on}(T_J) \cdot \tilde{I}_L^2. \quad (2.23)$$

Eine andere Methode zur Herleitung der Durchlassverluste ist die analytische Herleitung nach [47] für IGBTs. Durch eine Anpassung der dort verwendeten Integrationen und Gewichtungsfunktionen für den Modulationsgrad an MOSFETs führt diese Berechnungsmethode unter den oben genannten Vernachlässigungen der Schleusenspannung und der gemeinsamen Verriegelungszeit zu demselben Ergebnis wie in Gleichung (2.23).

2.5.2.2 Bestimmung der Schaltverluste bei sinusförmigen Strömen

Da der Strom in einem MOSFET eines Stromrichters mit sinusförmigen Ausgangsströmen nicht über eine gesamte Lastperiodendauer konstant ist, sondern wie in Abb. 2.14 verläuft, muss eine Vereinfachung getroffen werden, bei der der Mittelwert des Ausgangsstromes über eine Halbperiode der Lastfrequenz bestimmt und anschließend dem Einschaltstrom $I_{D,on}$ sowie dem Ausschaltstrom $I_{D,off}$ gleichgesetzt wird. Somit erhält unter Vernachlässigung der

Rückstromspitze eine lineare Abhängigkeit der Schaltverluste vom Strom [36].

$$\bar{I}_D = \frac{1}{2\pi} \int_0^\pi \hat{I}_L \sin(\omega t) d\omega t \quad (2.24)$$

$$\bar{I}_D = \frac{1}{\pi} \hat{I}_L \quad (2.25)$$

$$I_{D,on} = I_{D,off} = \bar{I}_D \quad (2.26)$$

Die Berechnung der Schaltverluste bei sinusförmigen Ausgangsströmen erfolgt unter Verwendung des mittleren Ein- und Ausschaltstromes aus Gleichung (2.26) dann wieder wie in Abschnitt 2.5.1.2.

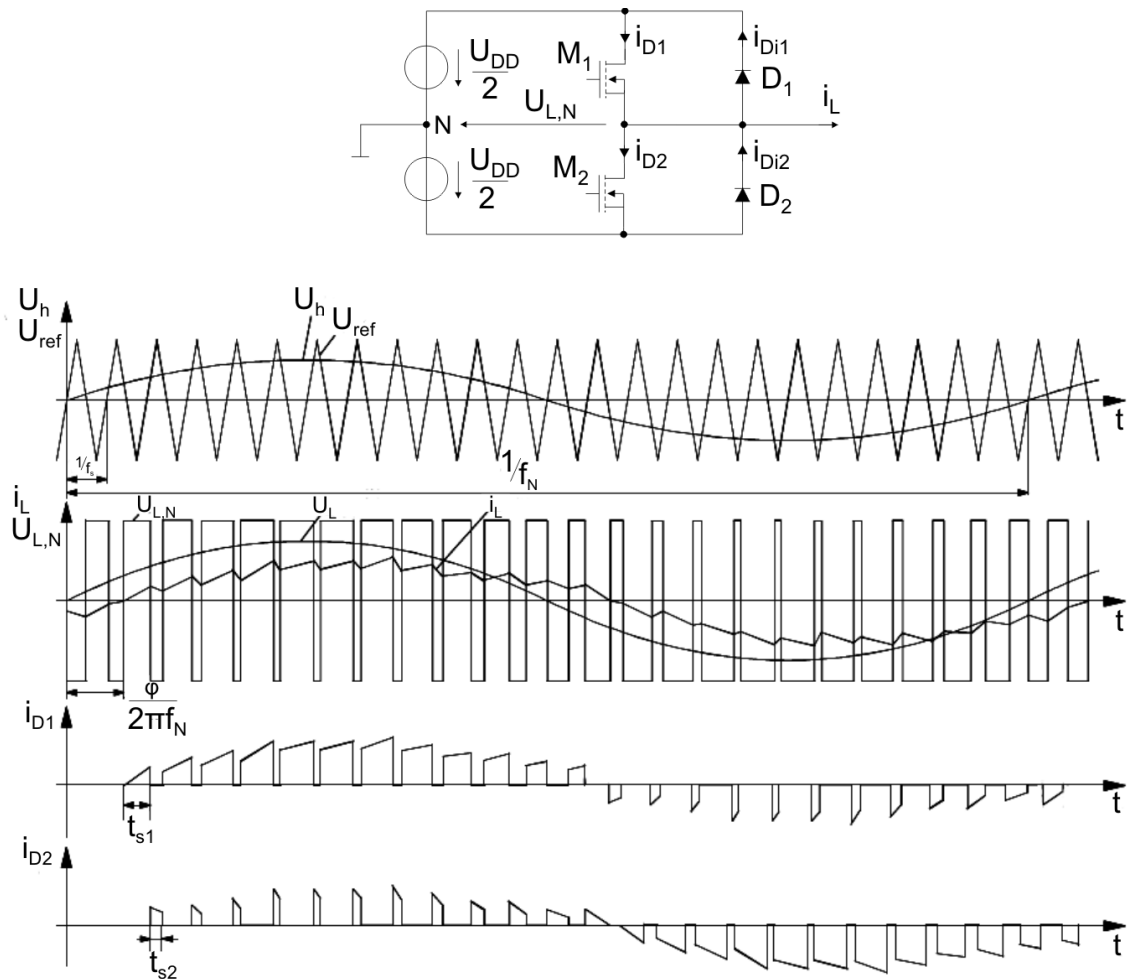


Abb. 2.14: Umrichterphase mit MOSFETs bei Sinusmodulation nach dem Unterschwingungsverfahren

2.6 Diskrete MOSFET-Gehäuse und MOSFET-Module

Leistungs-MOSFETs gibt es in den zwei grundlegenden Gehäuseformen — in diskreten Gehäusen oder in Modulen. Zwischen diesen Bauformen bestehen erhebliche Unterschiede im prinzipiellen Aufbau. Desweiteren zieht bei der Entwicklung leistungselektronischer Schaltungen eine Entscheidung zwischen Modulen oder diskreter Gehäuseform wesentliche Konsequenzen an die Anforderungen des mechanischen Gesamtaufbaus des Leistungsteils nach sich. Der Entwickler hat aus diesem Grund schon im Vorfeld die Aufgabe, sich zwischen diesen grundlegenden Gehäuseformen zu entscheiden. Im Folgenden werden die zwei Grundarten der Gehäuseformen speziell mit Bezug auf Leistungs-MOSFETs näher erläutert.

2.6.1 Diskrete MOSFET-Gehäuse

Diskrete MOSFET-Gehäuse besitzen in der Regel nur einen einzelnen MOSFET-Chip. Die Chip-Fläche kann dabei von Typ zu Typ bei gleicher Gehäuse-Form unterschiedlich sein. Diskrete Gehäuse besitzen, ebenso wie Module, eine Grundplatte, auf der der Chip aufgebracht ist und über die der Großteil der im Chip auftretenden Wärme abgeführt wird [13]. Der Nachteil ist jedoch, dass diese Grundplatte vom Chip üblicherweise nicht elektrisch isoliert ist, d.h. die Grundplatte liegt auf dem gleichem elektrischen Potential wie der Drain-Anschluss des MOSFETs. In Abb. 2.15 (a) ist die prinzipielle Aufbaustruktur eines einzelnen, diskreten MOSFETs dargestellt.

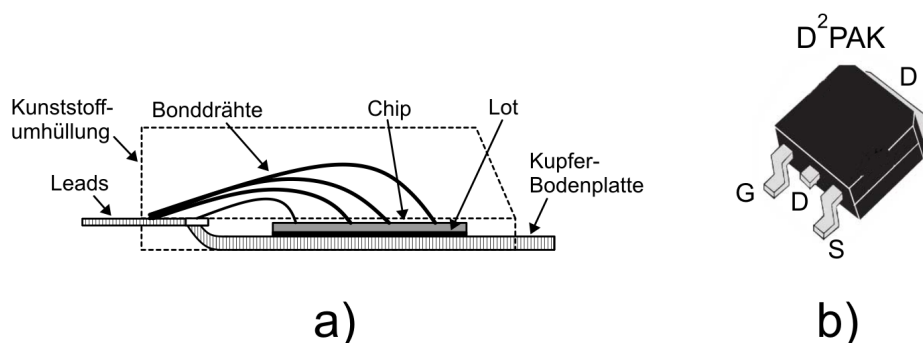


Abb. 2.15: Diskretes MOSFET-Gehäuse: a) prinzipielle Aufbaustruktur b) diskreter MOSFET-Gehäusetyp D²PAK [48]

Die am meisten verbreitete, diskrete Gehäuseform ist die TO-Familie [12, 13]. Vor allem die Bauformen TO-252 und TO-263 (auch DPAK und D²PAK genannt), die sich prinzipiell nur in ihrer Baugröße unterscheiden, gelten als Standard für Anwendungen mit Leistungs-MOSFETs [49]. In Abb. 2.15 (b) ist exemplarisch das Gehäuse der Bauform D²PAK illustriert.

Die geringere Strombelastbarkeit der diskreten Gehäuseform gegenüber den MOSFET-Modulen wird in der Praxis häufig durch eine Parallelschaltung von mehreren diskreten Ge-

häusen wieder ausgeglichen. Nachteilig sind bei diskreten MOSFET-Gehäusen die relativ hohen Bauelement-Streuinduktivitäten durch die Anschlüsse. So besitzen z.B. die D²PAK-Gehäuse eine Drain-Induktivität von ca. 2,5 - 4,5 nH und eine Source-Induktivität von ca. 4,0 - 7,5 nH [50, 51]. Ein weiteres Problem stellen die parasitären, ohmschen Widerstände der Anschluss-Beine (Leads) sowie der Bonddrähte dar. Diese können sich bei hohen Strömen durch die auftretenden ohmschen Verluste bis zum Schmelzpunkt des Lots aufheizen. Durch eine Schädigung der Lötstellen kann die Zuverlässigkeit sinken. Heutzutage befinden sich mittlerweile die parasitären elektrischen Widerstände in der selben Größenordnung wie der Bahnwiderstand eines modernen Leistung-MOSFETs. Dennoch sind diskrete MOSFET-Gehäuse im Gegensatz zu MOSFET-Modulen am weitesten verbreitet [12].

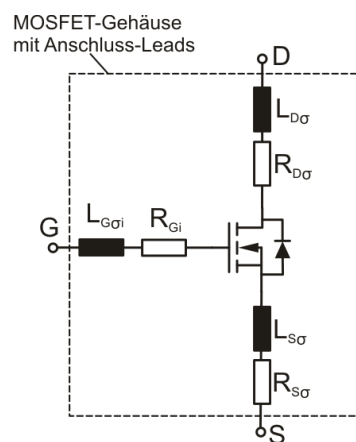


Abb. 2.16: Parasitäre Bauelement-Widerstände und -Induktivitäten eines diskreten MOSFET-Gehäuses

In Abb. 2.16 sind die parasitären Bauelement-Widerstände sowie -Streuinduktivitäten eines diskreten MOSFET-Gehäuses inklusive der Anschluss-Leads definiert. Neben der Erhöhung der Gesamtstreuinduktivität des Kommutierungskreises durch $L_{D\sigma}$ und $L_{S\sigma}$ haben die Bauelement-Streuinduktivitäten ebenfalls einen Einfluss auf die Detektionsschwelle einer Ent sättigungserkennung bei Kurzschlüssen (siehe Kapitel 7.). Weiterhin wird durch die Induktivität $L_{S\sigma}$ maßgeblich die Steuerbarkeit des MOSFETs bestimmt (siehe Kapitel 6.).

Neue Aufbau-Technologien von diskreten Gehäusen bieten in einigen nachteiligen Punkten Abhilfe. So wird beispielsweise in der DirectFET-Technologie von International Rectifier durch lötfähige Metallisierungen auf Bonddrähte verzichtet [13, 52]. Dadurch ist eine Begrenzung der Stromtragfähigkeit durch die Leads und die Bonddrähte beseitigt. Desweiteren werden die Streuinduktivitäten am Drain- und Source-Anschluss verringert. In Abb. 2.17 (a) ist der prinzipielle Aufbau dieser Technologie illustriert.

Bei neuesten MOSFETs mit sehr hoher Stromtragfähigkeit kommen teilweise TO-263 Gehäuse mit 5 Source-Beinen zum Einsatz [53, 54], wie in Abb. 2.17 (b) dargestellt. Durch die Parallelschaltung der 5 Source-Beine wird zum Einen die Stromtragfähigkeit erhöht und zum Anderen die Streuinduktivität reduziert.

Eine Reduzierung der Gehäusegröße wurde dagegen mit dem HSON-8 Gehäuse erreicht.

Dieses SMD-Gehäuse bietet trotz der deutlich geringeren Gehäuseauflagefläche eine vergleichsweise ähnliche Stromtragfähigkeit wie die der TO-252 und TO-263 Gehäuse [49]. In Abb. 2.17 (c) ist ein HSON-8 Gehäuse abgebildet.

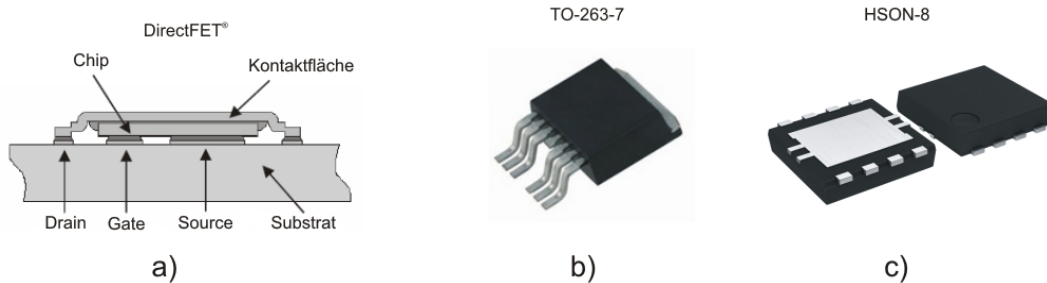


Abb. 2.17: Technologien neuer diskreter Gehäuseformen: a) DirectFET von International Rectifier [48], b) TO-263-7 [48], c) HSON-8 [55]

2.6.2 MOSFET-Module

Leistungsmodule besitzen im Gegensatz zu diskreten Gehäusen in der Regel eine Isolationschicht, die das Potentialniveau des Chips vom Kühlkörper trennt und die es ermöglicht, die internen Bauelemente auf verschiedenen Potentialniveaus zu betreiben [13]. Durch diese Isolationschicht können Leistungsmodule bereits fertige leistungselektronische Schaltungstopologien, wie beispielsweise 3 Halbbrücken-Phasenbausteine (sog. „Sixpack-Modul“), beinhalten. Auf dem Markt sind hierfür eine Vielzahl an unterschiedlichen Modulen verfügbar. In Abb. 2.18 ist exemplarisch ein gemoldetes „Sixpack-Modul“ dargestellt, welches im Rahmen eines Projektes des Kompetenzzentrums Leistungselektronik Schleswig-Holstein entwickelt wurde [56].

Wie schon diskrete Gehäuse besitzen Leistungsmodule parasitäre Bauelement-Widerstände und -Streuinduktivitäten. Aufgrund der in Modulen meist integrierten Schaltungstopologien sind die Ersatzschaltbilder mit Berücksichtigung der Bauelement-Widerstände und Bauelement-Streuinduktivitäten meist aufwendig, ähneln aber prinzipiell denen von diskreten Gehäusen, weshalb an dieser Stelle diesbezüglich nur auf [3, 12, 57, 58] verwiesen wird.

Ein weiterer Nachteil von Leistungsmodulen gegenüber der diskreten Gehäuseform ist die Fertigungsausbeute [13]. Ein Fertigungsfehler bei diskreten Gehäusen führt beim Ausfall eines Bauelementes nur zur Unbrauchbarkeit desselbigen. Bei Modulen mit mehreren Schaltern kann ein Fertigungsfehler zur Unbrauchbarkeit des gesamten Moduls führen.

Wiederum lassen sich Module durch die integrierte Isolierung relativ einfach auf Kühlkörper montieren. Dabei werden die Zwischenkreisverschienen sowie die Phasenleitungen häufig über Schraubanschlüsse oder Lötverbinder (sog. Terminals) des Moduls kontaktiert. Die Steueranschlüsse werden meist steckbar oder lötlbar mit den Treibern verbunden. In der Regel werden bei MOSFET-Modulen für Anwendungen mit niedrigen Spannungen unter 100 V und hohen Strömen neben den Gate-Anschlüssen ebenfalls sog. Hilfssource-Anschlüsse aus dem Modul geführt, die zum Anschluss der Ansteuerung der Leistungs-MOSFETs die-

nen [4, 59, 60]. Diese Hilfssource-Anschlüsse sind meistens direkt auf dem Source des Halbleiter-Chips kontaktiert, wodurch der Vorteil einer Reduzierung der Streuinduktivität im Ansteuerkreis des Leistungshalbleiters entsteht. Dies führt wiederum zu kürzeren Stromfallzeiten beim Ausschalten des MOSFETs. Eine genauere Erläuterung des Einflusses der Common Source Induktivität auf das Schaltverhalten erfolgt in Kapitel 6.

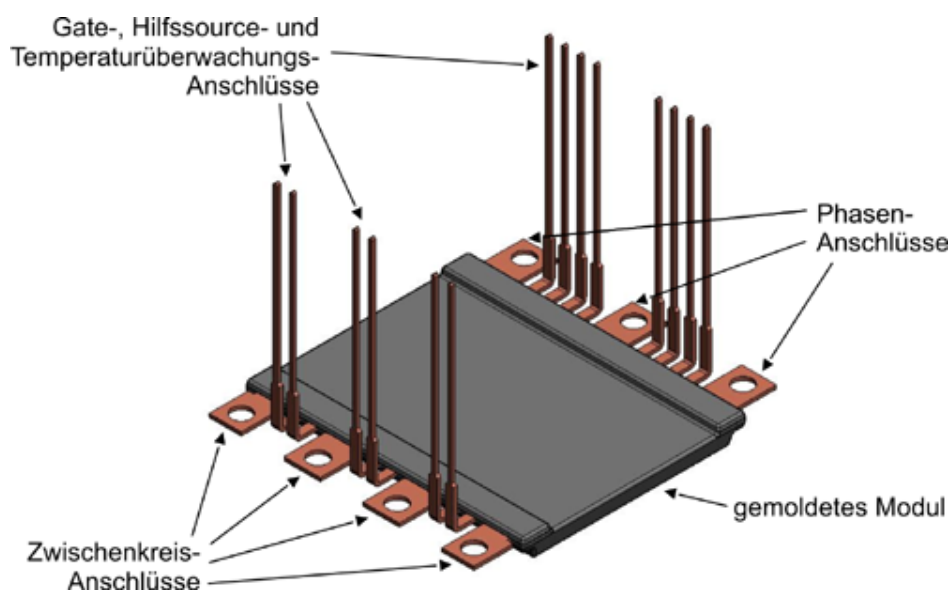


Abb. 2.18: Gehäusestruktur eines gemoldeten „Sixpack-Moduls“ [56]

3. Teststand und Prüflinge zur Untersuchung der Methoden

3.1 Einführung

Als Grundlage zur exemplarischen Untersuchung der Methoden wird in diesem Kapitel zu Beginn das Prüfkonzept sowie eine Beschreibung des Teststandes und der Messtechnik vorgestellt. Für einen späteren Vergleich der betrachteten Verfahren wird das dynamische Betriebsverhalten der MOSFETs anhand der konventionellen Widerstandssteuerung aufgezeigt. Anschließend wird eine Gegenüberstellung zwischen den analytischen, simulativen sowie experimentell erzielten Schaltenergien der Prüflinge sowie den Halbleiterverlusten durchgeführt.

3.2 Teststand zur Untersuchung des dynamischen Verhaltens von Leistungs-MOSFETs

3.2.1 Prüfkonzept

Für die experimentelle Untersuchung der Methoden zur Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs wird das verbreitete Konzept des sog. Doppelpulsversuches angewendet. Die prinzipielle Schaltung zur Charakterisierung des harten Schaltverhaltens in einer Halbbrückenkonfiguration ist in Abb. 2.10 dargestellt. In Abb. 3.1 ist beispielhaft der Verlauf des Drain-Stromes sowie der Gate-Source-Spannung des Prüflings im Doppelpulstest oszillographiert.

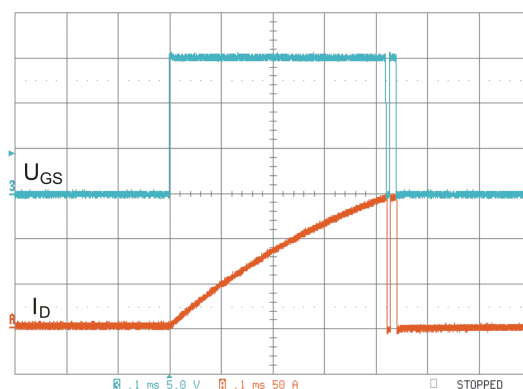


Abb. 3.1: Zeitlicher Verlauf des Drain-Stromes und der Gate-Source-Spannung beim Doppelpulstest, t 100 $\mu\text{s}/\text{div}$, Ch. 3: U_{GS} 5 V/div, Ch. A: I_D 50 A/div

Um das Schaltverhalten zu untersuchen, wird der Prüfling M_2 für eine feste Dauer eingeschaltet, in der der Strom durch die Lastinduktivität linear bis zu der gewünschten Höhe (beispielsweise 150 A) ansteigt. Darauf folgend wird dieser abgeschaltet, was die Untersuchung

des Abschaltens bei gewünschter Spannung und gewünschtem Strom ermöglicht. Nach einer kurzen Pause, in der der Strom aufgrund der hohen Induktivität der Last nur geringfügig sinkt und die eine genügend große Pause zum vollständigen Ausschalten des Prüflings bietet, wird der Prüfling wieder eingeschaltet. Der Einschaltvorgang kann so ebenfalls wie der Ausschaltvorgang bei gewünschter Spannung und gewünschtem Einschaltstrom untersucht werden. Der Prüfling wird abschließend nach einer hinreichenden Dauer von einigen Mikrosekunden wieder endgültig ausgeschaltet.

3.2.2 Aufbau des Teststands

In Abb. 3.2 ist das Prinzipschaltbild des Teststandes illustriert. Als Einspeisequelle wird ein galvanisch getrenntes Labornetzteil verwendet. Die Testschaltung wird über eine Kondensatorbank versorgt, die dazu dient, die Zwischenkreisspannung während des Testvorgangs möglichst konstant zu halten und einen genügend hohen Strom liefern zu können. Diese Kondensatorbank kann mittels des Labornetzteils nachgeladen werden. Auf der Testschaltung befinden sich zusätzliche Entkopplungskondensatoren für einen möglichst kurzen Kommutierungszeitpunkt.

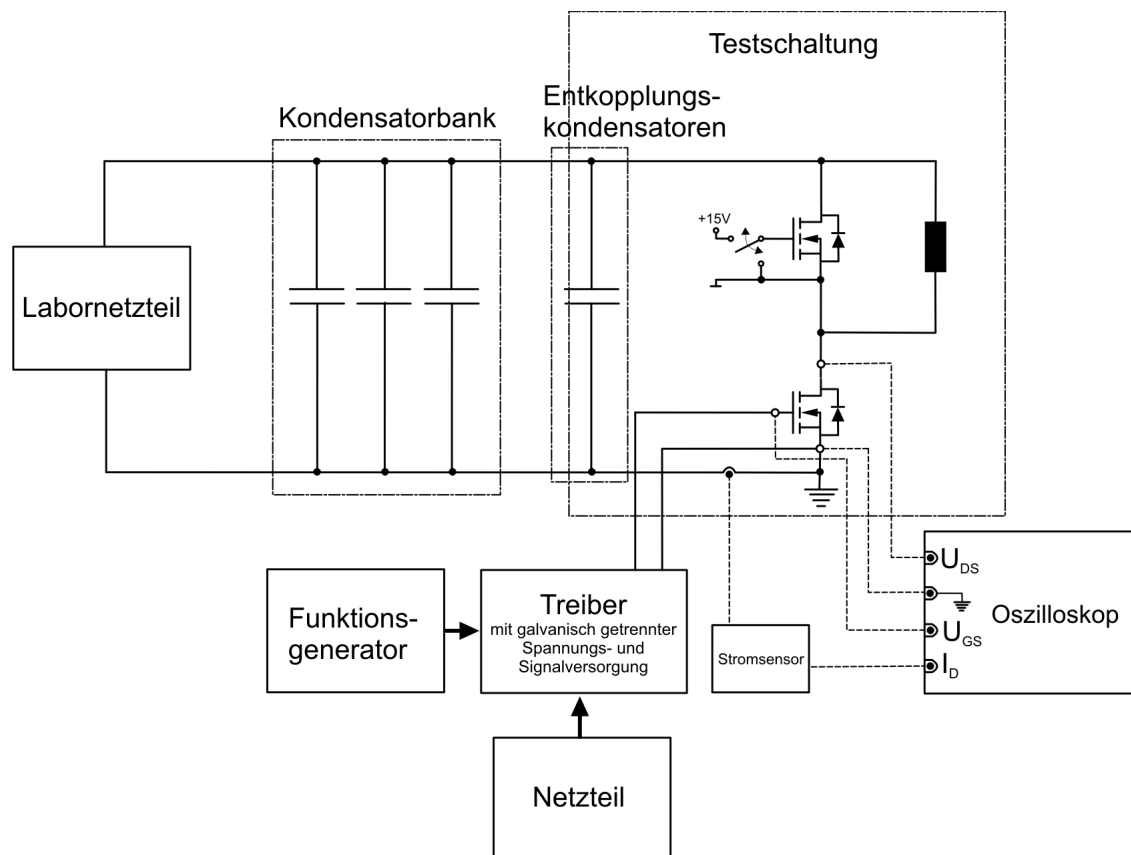


Abb. 3.2: Prinzipschaltbild des Teststandes

Als Testschaltung wird ein Tiefsetzsteller verwendet, was im Allgemeinen zur Untersuchung des Schaltverhaltens von Transistoren üblich ist. Desweiteren bietet der Tiefsetzsteller

den Vorteil, dass die Transistoren in gleicher Weise wie in einer Halbbrücke eines Pulsstromrichters angeordnet sind. Für die Untersuchungen in Kapitel 5 bis 7 wird stets dasselbe Tiefsetzsteller-Layout sowie dieselben Entkopplungskondensatoren gewählt, um einen möglichst guten Vergleich zu gewährleisten. Als Last werden zylindrische Luftspulen verwendet. Je nach Induktivität der Spulen kann so der Prüfstrom variiert werden.

Der zu prüfende MOSFET befindet sich im unteren Low-Side-Zweig, während sich im oberen High-Side-Zweig ein baugleicher Leistungs-MOSFET befindet, dessen Gate-Anschluss mit seinem Source-Anschluss für die sog. Doppelpulsversuche (Erläuterung in Abschnitt 3.2.1) kurzgeschlossen wurde. Dieser MOSFET dient so als Diode während des Freilaufs, wie es beispielsweise in Pulsstromrichtern mit sinusförmigen Ausgangsspannungen üblich ist. Für die Untersuchungen der Kurzschlüsse 2. Art wird der High-Side-MOSFET über eine galvanisch getrennte 15 V-Spannungsversorgung in den dauerhaften Leitendzustand versetzt. Der Low-Side-MOSFET wird über einen Treiber mit galvanischer Trennung der Spannungsversorgung sowie des Schaltsignals angesteuert, um Störungen durch Masseschleifen oder andere Einkopplungen zu verhindern. In Abb. 3.3 ist das prinzipielle Schaltbild der Treiberschaltung des Teststandes dargestellt. Zum Schutz des Gates des MOSFETs vor Überspannungen wird eine Zenerdiode D_{GSZ} und vor einem parasitären Wiedereinschalten ein hochohmiger Widerstand R_{GS} zwischen Gate und Source geschaltet. Aufgrund des hohen Gate-Spitzenstromes beim Ein- und Ausschalten wird ein Treiber-IC mit komplementärer MOSFET-Endstufe verwendet, an den die Entkopplungskapazität C_B zur schnellen Lieferung der benötigten Einschaltenergie dicht angebracht wird. Als Ansteuerungssignalquelle dient ein Funktionsgenerator. Je nach Untersuchung können so Doppelpulse oder Einzelpulse unterschiedlicher Länge als Ansteuersignal eingestellt werden.

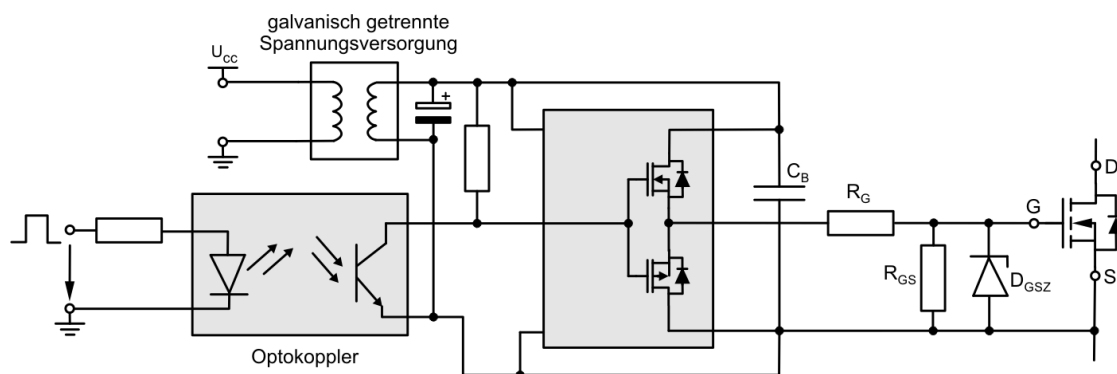


Abb. 3.3: Prinzipielles Schaltbild der Treiberschaltung des Teststandes

Zur Untersuchung der Temperaturabhängigkeit des Schaltverhaltens bei den verschiedenen Ansteuerverfahren wird der Leistungsteil auf eine geregelte Heizplatte befestigt. Aufgrund der sehr kurzen Belastung des Leistungshalbleiters von wenigen Mikrosekunden kann die Temperatur der Heizplatte näherungsweise als Chip-Temperatur angenommen werden.

In Tabelle 3.1 sind die verwendeten Komponenten und Messgeräte des Versuchsaufbaus aufgeführt.

| | |
|---------------------------|---|
| Labornetzteil | TTi EL 302RD Dual Power Supply |
| Kondensatorbank | 40 mF, 63 V |
| Entkopplungskondensatoren | 2x 1000 μ F, 63 V, Aluminium-Elektrolyt-Kondensator; 1x 2,2 μ F, 63 V, Folienkondensator |
| Oszilloskop | LeCroy LT344, 4 Kanal Digital-Oszilloskop, 500 MHz, 500 MS/s, 8 bit vertikale Auflösung |
| Stromsensor | PEM UK Ltd., CWT 1R UM, 20 MHz, Anstiegszeit < 40 ns, Genauigkeit 0,2 - 2,0 % |
| Stromsensor | PEM UK Ltd., CWT 15R, 17 MHz, Genauigkeit 0,2 - 2,0 % (für Kurzschlussuntersuchungen) |
| Funktionsgenerator | TTi 40 MHz Arbitrary Waveform Generator TGA1244 |

Tab. 3.1: Liste der im Teststand verwendeten Komponenten und Messgeräte

3.2.3 Messtechnik des Teststands

An die verwendete Messtechnik müssen hohe Anforderungen bezüglich der Bandbreite gestellt werden. Dies resultiert aus den kurzen Anstiegs- und Fallzeiten der Spannungen und Ströme. Desweiteren sind geringe Amplituden- und Phasenfehler der Messinstrumente notwendig, um einen möglichst geringen Messfehler zu erhalten. Ebenso sollten möglichst kurze und vor allem fest definierte Verzögerungszeiten der Signale durch die Messtechnik verursacht werden, um diese mittels des Speicheroszilloskops wieder kompensieren zu können. Aufgrund der niedrigen Spannung ist keine hohe Isolierung erforderlich. Weiterhin sollte die Messtechnik möglichst unempfindlich gegen Temperatureinflüsse sowie gegen Störeinkopplungen sein. Das im Teststand verwendete Speicheroszilloskop LT344 der Firma LeCroy bietet mit einer Auflösung von 500 MHz eine genügende Bandbreite [61]. Mittels der 8 Bit Amplitudenauflösung kann die Forderung nach einem geringen Amplitudenfehler (hier < 0,3%) eingehalten werden.

Die Spannungsmessungen erfolgen ohne Differenzenverstärker, um keine weiteren Messfehler und Signalverzögerungen durch die Differenzenverstärker zu erhalten. Der Bezugspunkt der Spannungsmessungen ist der Source-Anschluss des Leistungs-MOSFETs im Low-Side-Zweig (vgl. Abb. 3.2).

Für die Strommessung gibt es neben der Forderung einer hohen Bandbreite und Genauigkeit noch eine weitere wesentliche Forderung. Im Gegensatz zu Doppelpulsversuchen mit Leistungshalbleitern bei hohen Spannungen spielen hier die Streuinduktivitäten im Kommutierungskreis eine deutlich höhere Rolle. Dies hat zur Folge, dass durch den Stromsensor der Kommutierungsweg nur möglichst geringfügig verlängert werden darf.

Eine Möglichkeit hierfür ist die Messung des Stromes über einen Präzisionsshunt im Source-Zweig des Leistungs-MOSFETs, was den Vorteil einer sehr hohen Bandbreite des Messsignals hat. Diese Vorgehensweise ist jedoch bei den steilen Stromflanken relativ ungenau, da diese Präzisionsshunts eine Streuinduktivität von ca. 2 bis 3 nH besitzen [62]. Der durch die Stromflanken beim Schalten verursachte Spannungsabfall verfälscht das Ergebnis je nach

Widerstandswert des Präzisionsshunts und Höhe der Eigeninduktivität.

Aus diesem Grund wird für die Messung des Stromes die Stromzange CWT 1R UM der Firma PEM UK Ltd. verwendet [63]. Diese Stromzange misst die an einer Rogowski-Ringspule induzierte Spannung, welche proportional zur Stromänderung des durch die Ringspule fließenden Stromes ist. Die erforderliche Bandbreite sowie Genauigkeit werden von diesem Stromsensor erfüllt. Der Kommutierungsweg muss durch die schmale Messschleife nicht zusätzlich vergrößert werden, wodurch die Streuinduktivität im Kommutierungskreis nicht steigt. Allerdings muss bei der Strommessung sehr auf die Position bzw. Ausrichtung der Messschleife geachtet werden, da sonst die Genauigkeit sinkt [64].

Für die Kurzschlussuntersuchungen wird der Stromsensor CWT 15R der Firma PEM UK Ltd. eingesetzt [65]. Neben der hohen Bandbreite und Genauigkeit kann dieser Stromsensor Spitzenströme bis 3,0 kA messen.

Mit den hier verwendeten Messgeräten ergibt sich unter Berücksichtigung der Messfehler der Strom- und Spannungsmessung sowie des Quantisierungsfehlers bei der Bestimmung der Schaltverlustenergien eine relative Messunsicherheit nach Gleichung (14.5) im Anhang bei maximalen Fehler von ca. 3,9 % und bei stochastisch verteiltem Fehler von 3,2 %.

3.2.4 Layout und Ersatzschaltbild des Leistungsteils des Teststands

Um die Versuchsbedingungen bei den Doppelpulsversuchen besser nachvollziehen zu können, wird in diesem Abschnitt das Leistungsteillayout sowie das Ersatzschaltbild des Kommutierungsweges der verwendeten Testschaltung ausführlich erläutert.

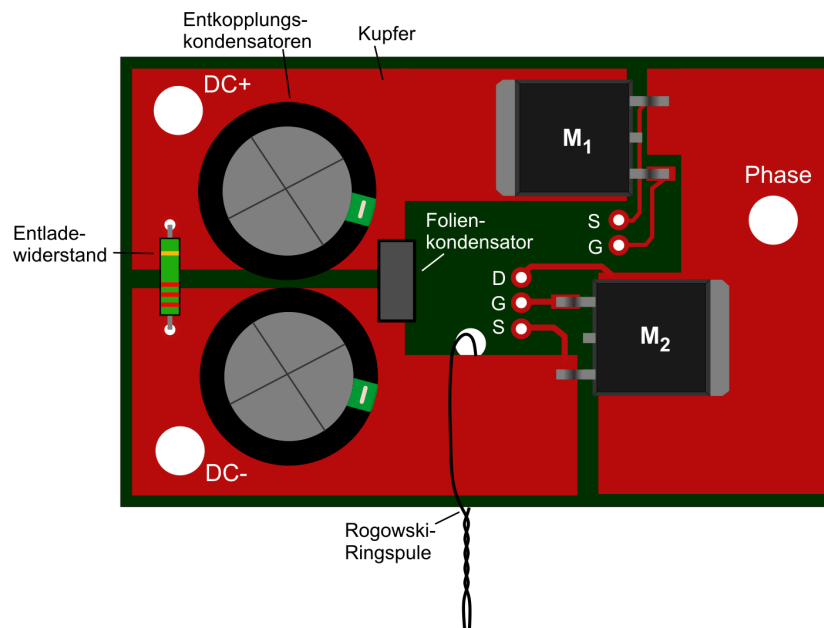


Abb. 3.4: Leistungsteillayout der Testschaltung im Doppelpulsversuch

In Abb. 3.4 ist das Leistungsteillayout der verwendeten Testschaltung für den Doppelpulsversuch illustriert. Die den Hauptstrom führenden Leiterbahnen werden als breite Kupferflächen

ausgeführt, um die Streuinduktivität in den Zuleitungen zu minimieren. Aus diesem Grund werden ebenfalls die beiden MOSFETs der Halbbrücke antiparallel angeordnet. Auf der linken Seite befinden sich die Zwischenkreisanschlüsse zur Verbindung mit der Kondensatorbank (siehe Abb. 3.2). Der Anschluss $DC+$ wird desweiteren als Zwischenkreis-Anschluss für die Lastdrossel verwendet. Um im ausgeschalteten Zustand den Zwischenkreis verhältnismäßig schnell wieder zu entladen, wird zwischen $DC-$ und $DC+$ ein hochohmiger Entladewiderstand geschaltet. Für eine induktivitätsarme Stromspeisung wird der Folienkondensator möglichst dicht an die Leistungs-MOSFETs positioniert. Der Hilfssource des Treibers wird bei den Untersuchungen zur gateseitigen Steuerung des Ausschaltverhaltens sowie der Kurzschlusserkennung direkt an der Kontaktstelle des Source-Anschlusses des MOSFETs mit der Leiterplatte abgegriffen. Auf der rechten Seite befindet sich der Phasenabgriff für den Anschluss der Lastdrossel. Für die Drain-Strommessung des Prüflings M_2 wird die Schlaufe der Rogoswki-Ringspule um die Kupferleiterbahn im zugehörigen Source-Zweig gelegt.

In Abb. 3.5 ist das elektrische Ersatzschaltbild des Kommutierungsweges der hier verwendeten Testschaltung dargestellt. Die Streuinduktivitäten in den Ansteuerzuleitungen sowie die parasitären Leitungswiderstände im Kommutierungskreis wurden vernachlässigt.

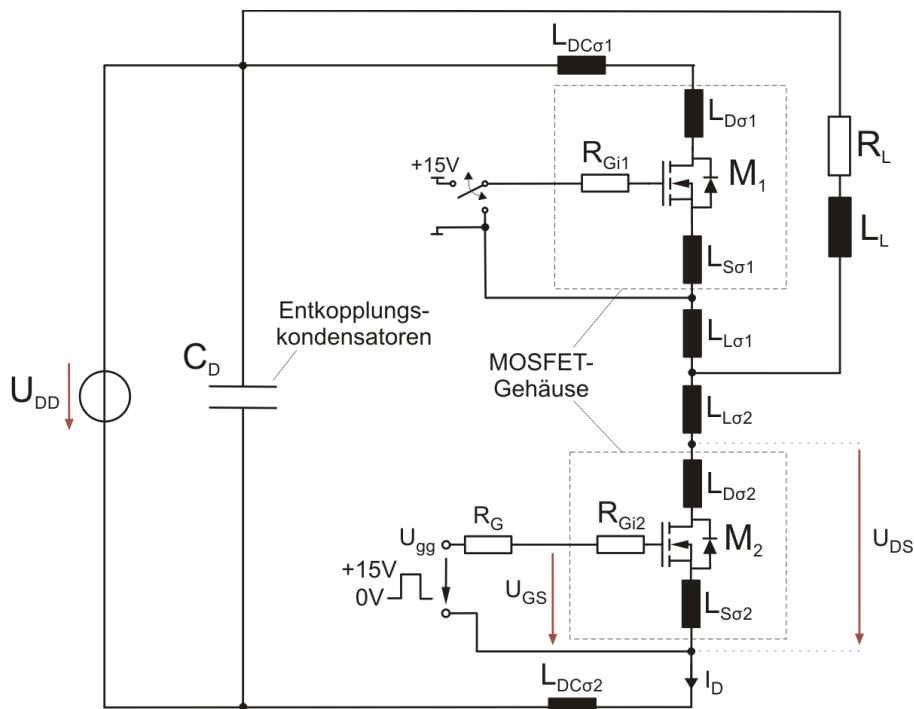


Abb. 3.5: Elektrisches Ersatzschaltbild des Leistungsteils im Doppelpulsversuch

Für ein genaueres Verständnis der Aufteilung der Streuinduktivitäten im Kommutierungskreis wurden die einzelnen Induktivitätswerte messtechnisch per Einzelpuls-Verfahren ermittelt [30, 66, 67]. Dabei wurde auf verschiedenen Teilstücken der Leiterbahn die induzierte Spannung bei einem konstanten Stromanstieg durch die Prüflingsschaltung mit aufgesteuerten Halbleitern gemessen. Bei bekannter Stromsteilheit wird somit die Streuinduktivität für das jeweilige Leiterbahnstück ermittelt. Mittels Gleichung (3.1) kann ebenfalls per

Doppelpulsverfahren die Summe der Streuinduktivitäten im Kommutierungsweg überprüft werden. Es müssen hier in der Praxis jedoch aus messtechnischen Gründen die Bauelement-Streuinduktivitäten $L_{D\sigma 2}$ und $L_{S\sigma 2}$ des Prüflings M_2 addiert werden, da eine Messung über Abgriffe direkt auf dem Halbleiter-Chip vor allem bei diskreten Gehäuseformen in der Regel nicht möglich ist, was in Abb. 3.5 mit der Kennzeichnung der Drain-Source-Spannungsmessung dargestellt ist.

$$L_{\sigma} = (U_{DS,max} - U_{DD}) / \left. \frac{di_D}{dt} \right|_{off} + (L_{D\sigma 2} + L_{S\sigma 2}) = U_{pk} / \left. \frac{di_D}{dt} \right|_{off} + (L_{D\sigma 2} + L_{S\sigma 2}) \quad (3.1)$$

In Tabelle 3.2 sind die messtechnisch ermittelten Werte der jeweiligen Streuinduktivitäten aufgeführt. Diese wurden zudem durch eine Simulation mittels der Software Inca3D der Firma Credat [68], die die Partial Element Equivalent Circuit (PEEC) Methode verwendet, validiert. Die Bauelement-Streuinduktivitäten basieren auf Angaben der Hersteller der in Abschnitt 3.3 vorgestellten Prüflinge. Die Gesamtstreuinduktivität L_{σ} im Kommutierungsweg beläuft sich auf 34,5 nH.

| | |
|---------------------------------|---------------------|
| $L_{DC\sigma 1}$ | 8,5 nH |
| $L_{D\sigma 1} + L_{S\sigma 1}$ | 2,0 nH + 4,5 nH (*) |
| $L_{L\sigma 1}$ | 2,4 nH |
| $L_{L\sigma 2}$ | 1,9 nH |
| $L_{D\sigma 2} + L_{S\sigma 2}$ | 2,0 nH + 4,5 nH (*) |
| $L_{DC\sigma 2}$ | 8,7 nH |
| L_{σ} | 34,5 nH |

(*) Angaben der Hersteller der beiden verwendeten Prüflinge

Tab. 3.2: Messtechnisch ermittelte Werte der Streuinduktivitäten des Kommutierungsweges der Testschaltung

3.3 Exemplarisches Verhalten der Prüflinge im Teststand beim harten Schalten mit Widerstandssteuerung

Für die exemplarischen Untersuchungen zur Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs in hart schaltenden Applikationen werden zwei Prüflinge ausgewählt — der Typ NP110N055PUG von NEC Electronics Corporation (NEC) sowie der Typ IRFS3306PbF von International Rectifier (IRF) — deren Spannungsfestigkeit von ca. 55 - 60 V typisch für Applikationen mit 24 V Batterieerlaufspannung auf dem Markt ist [1, 2, 3]. Die wichtigsten elektrischen Daten der Prüflinge sind in Tab. 3.3 aufgeführt. Die Ansteuermethoden werden mit beiden Prüflingen durchgeführt, da diese sehr unterschiedliche Eingangs- und Rückwirkungskapazitäten besitzen. Auf diese Weise kann eine bessere Aussage über die Anwendbarkeit bzw. Einschränkung der später untersuchten treiberseitigen Active Gate Control Verfahren in Kapitel 5 getätigt werden.

| | NP110N055PUG | IRFS3306PbF |
|--|--|---|
| Drain-Source-Durchbruchspannung U_{DSS} | 55 V | 60 V |
| kontinuierlicher Drain-Strom $I_{D,cont.}$ | ± 110 A | ± 120 A |
| gepulster Drain-Strom $I_{D,puls}$ | ± 440 A | ± 620 A |
| typ. Drain-Source-Widerstand $R_{DS(on)}$ | 1,9 m Ω | 3,3 m Ω |
| min. Übertragungsteilheit g_m | 42 S @ $U_{DS} = 10$ V, $I_D = 55$ A | 230 S @ $U_{DS} = 50$ V, $I_D = 75$ A |
| Eingangskapazität C_{iss} | 17100 pF @ $U_{DS} = 25$ V, $U_{GS} = 0$ V, $f = 1$ MHz | 4520 pF @ $U_{DS} = 50$ V, $U_{GS} = 0$ V, $f = 1$ MHz |
| Rückwirkungskapazität C_{rss} | 725 pF @ $U_{DS} = 25$ V, $U_{GS} = 0$ V, $f = 1$ MHz | 250 pF @ $U_{DS} = 50$ V, $U_{GS} = 0$ V, $f = 1$ MHz |
| Ausgangskapazität C_{oss} | 1120 pF @ $U_{DS} = 25$ V, $U_{GS} = 0$ V, $f = 1$ MHz | 500 pF @ $U_{DS} = 50$ V, $U_{GS} = 0$ V, $f = 1$ MHz |
| Sperrverzögerungsladung Q_{rr} | 87 nC @ $I_F = 110$ A, $U_{GS} = 0$ V, $di/dt = 100$ A/ μ s | 34 nC @ $I_F = 75$ A, $U_{GS} = 0$ V, $di/dt = 100$ A/ μ s |

Tab. 3.3: Übersicht über charakteristische Eigenschaften der verwendeten Leistungs-MOSFETs, $T_A = 25^\circ\text{C}$ [69, 70]

Prinzipiell sind beide MOSFETs bzgl. ihrer Stromtragfähigkeit und Spannungsfestigkeit sehr ähnlich. Lediglich der IRFS3306PbF besitzt eine etwas höhere Strombelastbarkeit bei gepulsten Strömen. Beide liegen in der Gehäuseform D²PAK für die Laboruntersuchungen vor. Bezüglich des Bahnwiderstandes besitzen sie jedoch sehr unterschiedliche Werte. Während der NP110N055PUG mit nur typischen 1,9 m Ω einen relativ niedrigen $R_{DS(on)}$ besitzt, weist der IRFS3306PbF mit 3,3 m Ω einen recht hohen Widerstand auf. Auf die Untersuchungen des dynamischen Verhaltens hat der Bahnwiderstand jedoch keinen Einfluss. Viel wesentlicher ist in diesem Fall die Übertragungsteilheit. Diese ist beim NEC-MOSFET sehr gering und unterscheidet sich damit erheblich vom IRFS3306PbF.

Bedeutender Unterschied besteht jedoch vor allem in den Eingangs-, Ausgangs- sowie Rückwirkungskapazitäten. Diese fallen beim MOSFET von NEC im Gegensatz zu dem von IRF wesentlich größer aus. Durch die geringere Eingangs- und Rückwirkungskapazität des IRF-MOSFETs sind hier folglich schnellere Spannungsanstiegs- und Fallzeiten zu erwarten. Weiterhin ist mit wesentlich kürzeren Ein- und Ausschaltverzögerungszeiten zu rechnen. Bedingt durch die höhere Sperrverzögerungsladung Q_{rr} des NP110N055PUG ist hier gegenüber dem MOSFET von IRF mit einer etwas höheren Rückstromspitze zu rechnen.

In den nun folgenden Abschnitten werden das exemplarische, harte Ein- und Ausschaltverhalten beider Prüflinge bei einer Widerstandssteuerung im Teststand aufgezeigt und näher erläutert.

3.3.1 Einschaltverhalten

In den Abb. 3.6 und 3.7 ist jeweils das Einschaltverhalten beider Prüflinge bei einem Gate-Widerstand von $R_G = 5,1 \Omega$ dargestellt. Wie dort zu entnehmen ist, steigt nach einer sehr kurzen Einschaltverzögerungszeit zu Beginn des Einschaltvorgangs der Drain-Strom mit einer

relativ konstanten Steigung an. Bedingt durch das hohe di/dt entsteht am MOSFET eine deutliche Spannungsentlastung, wodurch die Drain-Source-Spannung auf wenige Volt absinkt. Bei Erreichen des Einschaltstromes $I_{D,on}$ schaltet die in der Halbbrücke gegenüberliegende, stromführende Diode ab und es entsteht durch den Reverse-Recovery-Prozess eine kleine Stromspitze auf dem Drain-Strom. Wie erwartet, fällt diese aufgrund der höheren Speicherrladung Q_{rr} beim NEC-MOSFET etwas höher als beim IRF-MOSFET aus. Dies hat ebenfalls zur Folge, dass die Oszillationen am Ende des Einschaltvorganges beim NP110N055PUG größer sind.

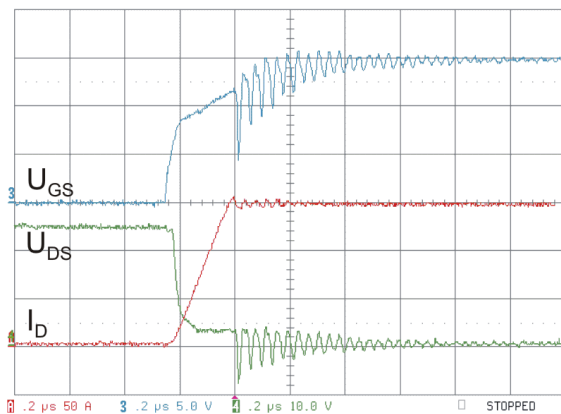


Abb. 3.6: Einschaltvorgang des NP110N055PUG bei induktiver Last; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_G = 5,1\ \Omega$, $T_J = 25\text{ }^\circ\text{C}$, t 200 ns/div, Ch. 3: U_{GS} 5 V/div, Ch. 4: U_{DS} 10 V/div, Ch. A: I_D 50 A/div

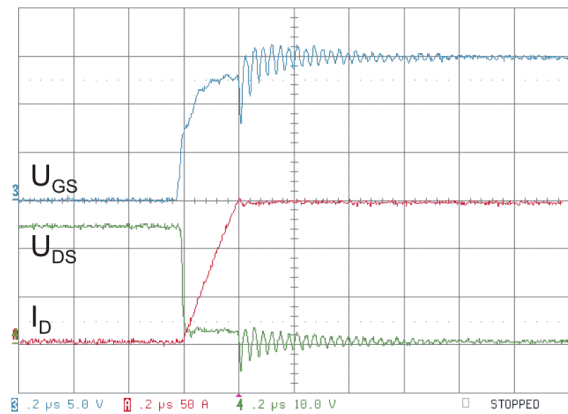


Abb. 3.7: Einschaltvorgang des IRFS3306PbF bei induktiver Last; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_G = 5,1\ \Omega$, $T_J = 25\text{ }^\circ\text{C}$, t 200 ns/div, Ch. 3: U_{GS} 5 V/div, Ch. 4: U_{DS} 10 V/div, Ch. A: I_D 50 A/div

Wie beim Vergleich der MOSFETs beim Einschalten zu erkennen ist, liegen beim IRFS3306-PbF bedingt durch die kleineren Kapazitäten etwas steilere Spannungsflanken vor. Die Stromsteilheit ist bei beiden jedoch sehr ähnlich.

Der Verlauf der Stromanstiegszeiten in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur ist in Abb. 3.8 zu sehen. Wie dort zu erkennen ist, besitzen beide MOSFETs bei niedrigen Gate-Widerständen relativ ähnliche Stromanstiegszeiten. Erst bei höheren Widerständen nehmen diese beim NEC-MOSFET stärker als beim Chip von IRF zu. Dennoch ist der Einfluss des Gate-Widerstandes relativ gering. Dies wird durch folgenden Effekt verursacht:

Während des Stromanstieges durch den einschaltenden MOSFET M_2 fällt der Strom in der Body-Diode des in der Halbbrücke gegenüberliegenden MOSFETs M_1 ab. Die Diode ist somit durchgeschaltet und nimmt daher keine Spannung auf. Die Eingangsspannung U_{DD} liegt nun aufgeteilt über dem MOSFET M_2 sowie den Streuinduktivitäten im Kommutierungskreis an. Für den hier betrachteten Gate-Widerstandsbereich werden die Prüflinge jedoch so schnell eingeschaltet, dass nahezu die gesamte Eingangsspannung U_{DD} über den Streuinduktivitäten und nur geringfügig über dem MOSFET anfällt. Dadurch sind für diesen Fall die Streuinduktivitäten und nicht die Halbleitereigenschaften der wesentliche begrenzendende Faktor des Stromanstieges [13, 24, 43]. Erst ab höheren Anstiegszeiten, wie in Abb. 3.8 beim

NP110N055PUG ab ca. $R_G = 15 \Omega$, zeigt sich eine merkbare Steuerbarkeit der Stromflanke durch den Gate-Widerstand.

Weiterhin kann eine leichte Temperaturabhängigkeit festgestellt werden, wodurch sich die Stromanstiegszeiten mit zunehmender Sperrschichttemperatur vergrößern. Da durch die hohe Stromsteilheit eine erhebliche Spannungsentlastung beim Einschalten stattfindet und die Drain-Source-Spannung sofort bei Steigungsbeginn des Stromes auf ein sehr niedriges Niveau sinkt, kann eine Messung der Spannungsfallzeit nach der Definition in Abb. 2.11 nicht stattfinden, bzw. wäre aussageelos. Es wird daher auf eine Angabe der Spannungsfallzeit im Folgenden verzichtet.

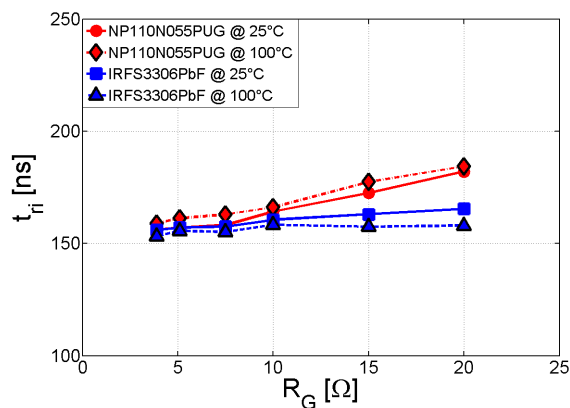


Abb. 3.8: Stromanstiegszeit t_{ri} der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen; Bed.: $U_{DD} = 24 \text{ V}$, $I_L = 150 \text{ A}$

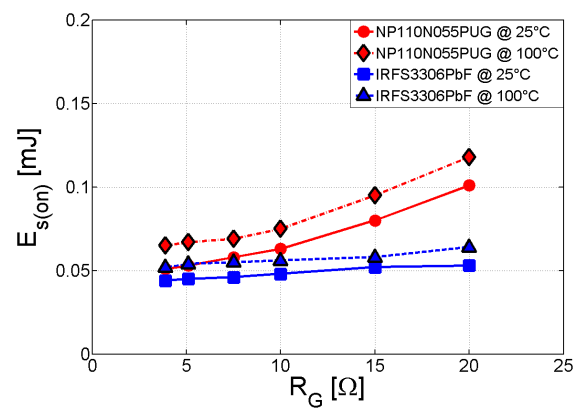


Abb. 3.9: Einschaltenergie $E_{s(on)}$ der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen; Bed.: $U_{DD} = 24 \text{ V}$, $I_L = 150 \text{ A}$

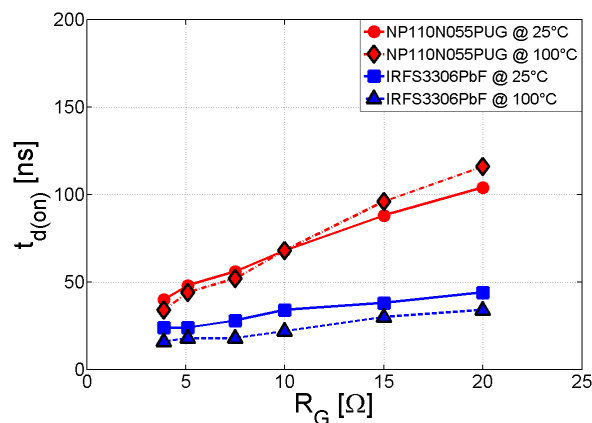


Abb. 3.10: Einschaltverzögerungszeit $t_{d(on)}$ der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen; Bed.: $U_{DD} = 24 \text{ V}$, $I_L = 150 \text{ A}$

Eine weitere Folge der Spannungsentlastung beim Einschalten ist in Abb. 3.9 dargestellt. Die hier aufgetragene Einschaltenergie $E_{s(on)}$ fällt bei beiden Prüflingen aufgrund der niedrigen, anliegenden Drain-Source-Spannungen prinzipiell sehr gering aus. Bedingt durch den stärkeren Zuwachs der Stromanstiegszeit beim NP110N055PUG als beim IRF-MOSFET steigt hier ebenfalls die Einschaltenergie mit wachsendem Gate-Widerstand schneller. Die Temperaturabhängigkeit der Stromanstiegszeit spiegelt sich ebenfalls in der Einschaltenergie wieder.

Die Einschaltverzögerungszeit des NEC-MOSFETs ist aufgrund der hohen Eingangskapazität gegenüber dem IRF-MOSFET deutlich länger, was in Abb. 3.10 ersichtlich ist. Es besteht hier ebenfalls eine leichte Temperaturabhängigkeit der Einschaltverzögerungszeit.

3.3.2 Ausschaltverhalten

Das experimentell ermittelte Ausschaltverhalten beider Prüflinge im Falle einer Widerstandssteuerung mit einem Gate-Widerstand von $R_G = 5,1 \Omega$ ist in den Abb. 3.11 und 3.12 abgebildet.

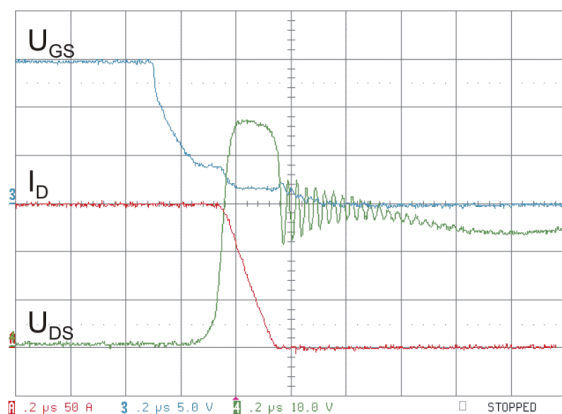


Abb. 3.11: Ausschaltvorgang des NP110N055PUG bei induktiver Last; Bed.: $U_{DD} = 24 \text{ V}$, $I_L = 150 \text{ A}$, $R_G = 5,1 \Omega$, $T_J = 25^\circ \text{ C}$, t 200 ns/div, Ch. 3: U_{GS} 5 V/div, Ch. 4: U_{DS} 10 V/div, Ch. A: I_D 50 A/div

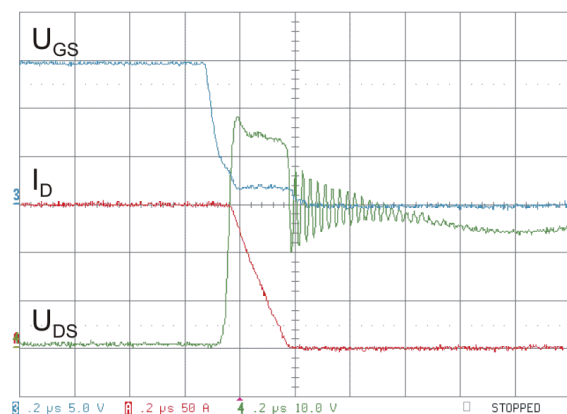


Abb. 3.12: Ausschaltvorgang des IRFS3306PbF bei induktiver Last; Bed.: $U_{DD} = 24 \text{ V}$, $I_L = 150 \text{ A}$, $R_G = 5,1 \Omega$, $T_J = 25^\circ \text{ C}$, t 200 ns/div, Ch. 3: U_{GS} 5 V/div, Ch. 4: U_{DS} 10 V/div, Ch. A: I_D 50 A/div

Zu Beginn des Ausschaltvorgangs wird die Eingangskapazität C_{iss} über den Gate-Widerstand entladen und die Gate-Source-Spannung sinkt. Durch die wesentlich höhere Eingangskapazität des NEC-MOSFETs ist hier die Ausschaltverzögerungszeit gegenüber dem IRF-MOSFET deutlich länger. Auf der Höhe des Miller-Plateaus steigt die Drain-Source-Spannung bis zur Zwischenkreisspannung U_{DD} an. Aufgrund der niedrigeren Rückwirkungskapazität des IRF-MOSFETs fällt die Spannungssteilheit gegenüber dem NEC-MOSFET größer aus. Am Ende des Miller-Plateaus beginnt der Drain-Strom abzufallen, wodurch die hohe Überspannung beim Abschalten entsteht. Die Stromsteilheit ist beim NEC-MOSFET etwas geringer als beim IRFS3306PbF. Beim IRF-MOSFET ist zudem noch eine weitere zusätzliche Spannungsspitze auf der Drain-Source-Spannung zu Beginn des Stromabfalls zu erkennen. Diese Spannungsspitze wird durch eine Einschaltüberspannung der aufkommutierenden Diode verursacht, die bei sehr hohen Stromsteilheiten entstehen kann [12]. Nach Abklingen des Drain-Stromes am Ende des Schaltvorgangs entstehen Oszillationen auf der Drain-Source-Spannung bedingt durch die parasitären Induktivitäten und Kapazitäten im Ansteuerkreis, die jedoch nach kurzer Zeit wieder abklingen. Beide MOSFETs befinden sich nun im Sperrzustand.

Bedingt durch die unterschiedlichen Rückwirkungskapazitäten beider Prüflinge fällt auch der Verlauf der Spannungsanstiegszeit in Abhängigkeit vom Gate-Widerstand unterschiedlich aus. Wie Abb. 3.13 zu entnehmen ist, besitzt der NEC-MOSFET deutlich längere Spannungsanstiegszeiten als der IRF-MOSFET. Zudem ist hier eine Temperaturabhängigkeit feststellbar, so dass beim NEC-MOSFET die Spannungsanstiegszeiten mit zunehmender Sperrschichttemperatur steigen. Dieses Verhalten ist ebenfalls bei der Stromfallzeit auszumachen. Während die Stromfallzeiten in Abb. 3.14 beim IRF-MOSFET mit zunehmender Temperatur relativ konstant bleiben, steigen diese beim NP110N055PUG mit höherer Temperatur etwas an.

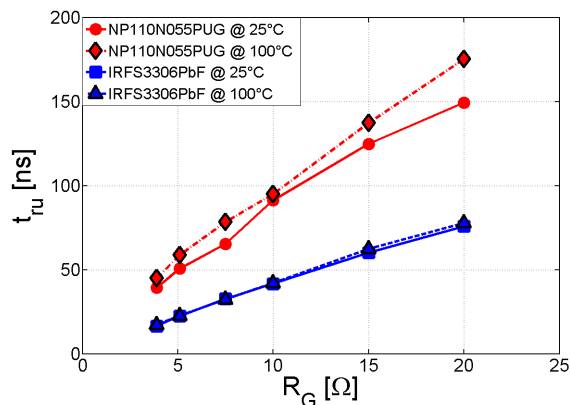


Abb. 3.13: Spannungsanstiegszeit t_{ru} der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$

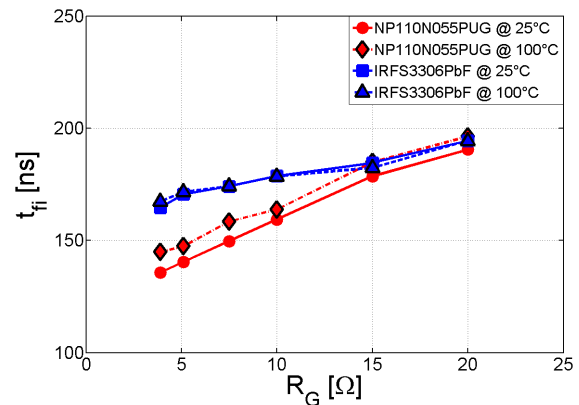


Abb. 3.14: Stromfallzeit t_{fi} der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$

Desweiteren ist beim MOSFET von NEC ein stärkerer Zuwachs der Stromfallzeit mit wachsendem Gate-Widerstand erkennbar, was auf eine bessere Steuerbarkeit der Stromsteilheit beim NP110N055PUG gegenüber dem IRF-MOSFET schließen lässt. Im Gegensatz zur Stromanstiegszeit lässt sich die Stromfallzeit jedoch über den gesamten hier betrachteten Gate-Widerstandsbereich beeinflussen.

Während beim NEC-MOSFET die Überspannung relativ linear mit steigendem Gate-Widerstand sinkt, fällt diese beim IRF-MOSFET bei niedrigen Gate-Widerständen deutlich steiler als bei hohen Gate-Widerständen ab. Dies wird vor allem durch die Überspannungsspitze zu Beginn des Drain-Stromabfalls bedingt durch die Einschaltüberspannung der aufkommenden Diode verursacht. Mit geringerer Stromsteilheit sinkt die Einschaltüberspannung der Diode ebenfalls. Die resultierenden Ausschaltenergien sind in Abb. 3.16 illustriert. Wie zu erkennen ist, steigen diese mit zunehmendem Gate-Widerstand stark an.

Die Auswirkung des erheblichen Unterschieds der Eingangskapazität der Prüflinge ist ebenfalls in Abb. 3.17 zu sehen. Die Ausschaltverzögerungszeiten des IRFS3306PbF sind um ein Vielfaches geringer als die des NP110N055PUG. Eine Temperaturabhängigkeit konnte dabei nicht festgestellt werden.

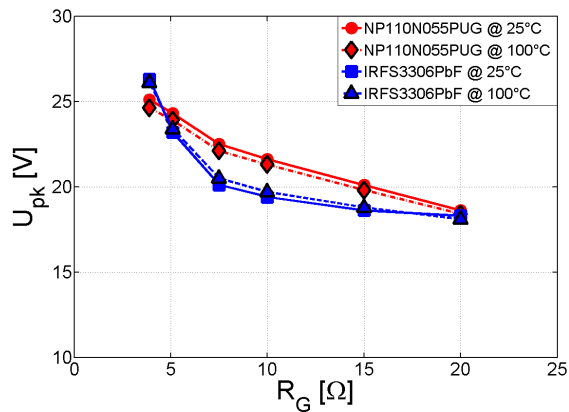


Abb. 3.15: Überspannung U_{pk} beim Abschalten der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$

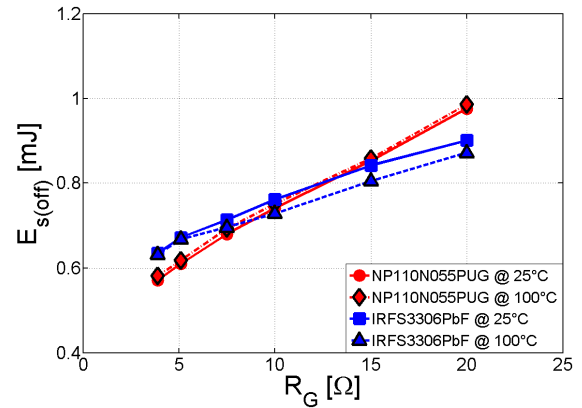


Abb. 3.16: Ausschaltenergie $E_{s(off)}$ der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$

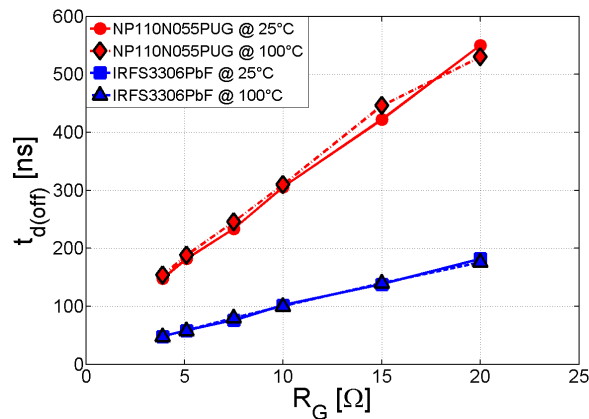


Abb. 3.17: Ausschaltverzögerungszeit $t_{d(off)}$ der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$

3.3.3 Ausschaltverhalten der antiparallelen Body-Diode

Das Ausschaltverhalten der antiparallelen Body-Diode beider Prüflinge ist in den Abbildungen 3.18 und 3.19 dargestellt. Zusätzlich wurde hier die Gate-Source-Spannung des in der Halbbrücke gegenüberliegenden MOSFETs mit dargestellt. Zu Beginn des Ausschaltvorganges ist die Diode leitend und besitzt eine positive Durchlassspannung. Sobald der Diodenstrom zu fallen beginnt, wird an den Streuinduktivitäten des Bauelementes im Kommutierungskreis eine Spannung induziert, die der Vorwärtsspannung entgegengerichtet ist. Am Ende des Stromabfalls ist bei beiden Prüflingen die Rückstromspitze gut zu erkennen. Sobald der Strom abgeklungen ist, kann die Diode die zu sperrende Spannung aufnehmen. Das Reverse-Recovery-Verhalten der Dioden beider Prüflinge kann hier eher als „soft“ anstatt als „snappig“ bezeichnet werden. Es treten lediglich Oszillationen des Drain-Stromes

am Ende des Reverse-Recovery-Prozesses auf, die sich ebenfalls sehr stark auf dem Signalverlauf der Sperrspannungen widerspiegeln.

Es ist ebenfalls ersichtlich, dass der MOSFET von NEC aufgrund der höheren Sperrverzögerungsladung Q_{rr} bei gleicher Sperrspannung und Stromsteilheit di_F/dt eine höhere Rückstromspitze als der IRF-MOSFET aufweist. Desweiteren sind die Oszillationen beim NP110N055PUG stärker ausgeprägt. Generell kann aber das Ausschaltverhalten beider Dioden als unkritisch betrachtet werden, da die Höhe der Rückstromspitze im Vergleich zu den Lastströmen sehr niedrig ist.

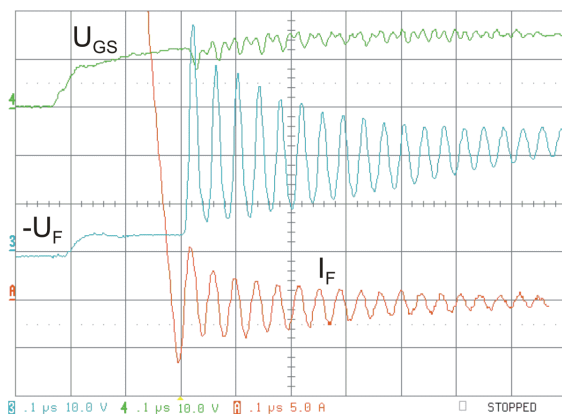


Abb. 3.18: Ausschaltverhalten der Diode des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $di_F/dt = 957\text{ A}/\mu\text{s}$, $T_J = 25^\circ\text{C}$, $t = 100\text{ ns/div}$, Ch. 3: $-U_F$ 10 V/div, Ch. 4: U_{GS} 10 V/div, Ch. A: I_F 5 A/div

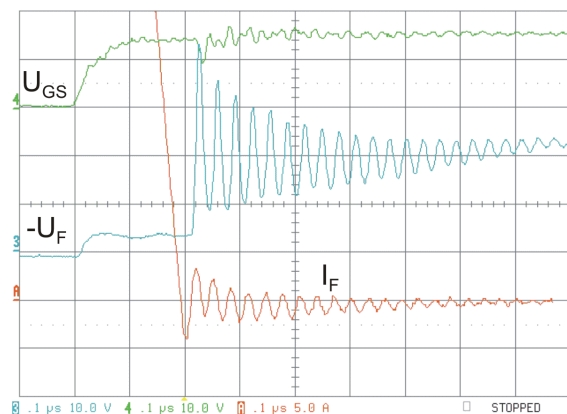


Abb. 3.19: Ausschaltverhalten der Diode des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $di_F/dt = 963\text{ A}/\mu\text{s}$, $T_J = 25^\circ\text{C}$, $t = 100\text{ ns/div}$, Ch. 3: $-U_F$ 10 V/div, Ch. 4: U_{GS} 10 V/div, Ch. A: I_F 5 A/div

3.4 Ergebnisse der Verlustleistungsberechnung der Prüflinge

3.4.1 Ergebnisse der Approximation der Schaltzeiten

Mittels der in Abschnitt 2.5.1.3 aufgeführten Methoden zur Approximation der Schaltzeiten wurden die Spannungsanstiegs- und Fallzeiten sowie die Stromanstiegs- und Fallzeiten bestimmt. Es zeigt sich dabei, dass die approximierten Schaltzeiten nach den oben aufgeführten Methoden nur bedingt den experimentell erzielten Ergebnissen entsprechen.

In Abb. 3.20 und 3.21 sind vollständigshalber die Spannungsfallzeiten dargestellt. Es ist für beide Prüflinge erkennbar, dass die experimentell erzielten Spannungsfallzeiten wesentlich größer als die approximierten Fallzeiten ausfallen. Dies liegt in erster Linie daran, dass durch die Spannungsentlastung beim Einschalten eine Messung der Spannungsfallzeit nach Abb. 2.11 nur bedingt möglich ist. Häufig sinkt die Drain-Source-Spannung schon zu Beginn des Stromanstiegs aufgrund der induzierten Spannung weit unter die 90 % Marke. Das heißt, dass vor allem bei niedrigen Gate-Widerständen bei der Messung der Spannungsfallzeit die

Stromanstiegszeit teilweise mit enthalten und unbedingt zu beachten ist. Dies kann vor allem beim NP110N055PUG in Abb. 3.20 beobachtet werden.

Bei der Spannungsanstiegszeit liefert die Q_{GD} -Approximation eine sehr gute Näherung. Lediglich beim NP110N055PUG und bei hohen Gate-Widerständen liefert diese Methode zu hohe Werte. Die C_{GD} -Approximation führt nur zu unzufriedenstellenden Näherungen, da sie bei beiden Prüflingen stets zu geringen Spannungsanstiegszeiten führt.

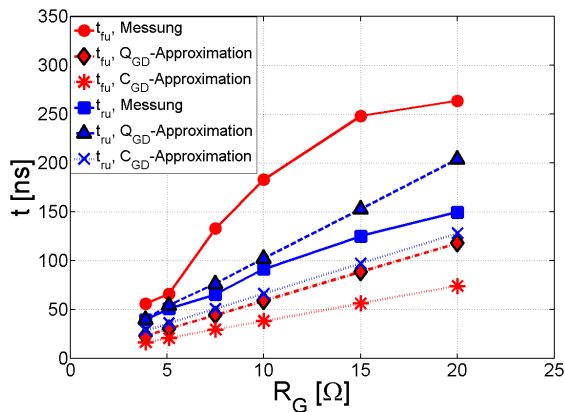


Abb. 3.20: Vergleich der messtechnisch ermittelten Spannungsanstiegs- und Fallzeiten des NP110N055PUG mit den Ergebnissen der Q_{GD} -Approximation und C_{GD} -Approximation; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,on} = I_{D,off} = 150\text{ A}$, $T_J = 25^\circ\text{ C}$

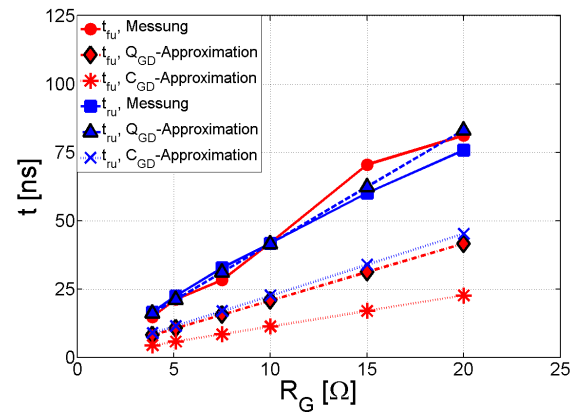


Abb. 3.21: Vergleich der messtechnisch ermittelten Spannungsanstiegs- und Fallzeiten des IRFS3306PbF mit den Ergebnissen der Q_{GD} -Approximation und C_{GD} -Approximation; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,on} = I_{D,off} = 150\text{ A}$, $T_J = 25^\circ\text{ C}$

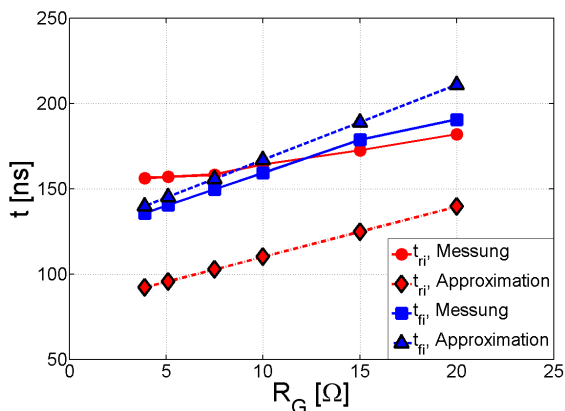


Abb. 3.22: Vergleich der messtechnisch ermittelten Stromanstiegs- und Fallzeiten des NP110N055PUG mit den Ergebnissen der Approximation; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,on} = I_{D,off} = 150\text{ A}$, $T_J = 25^\circ\text{ C}$

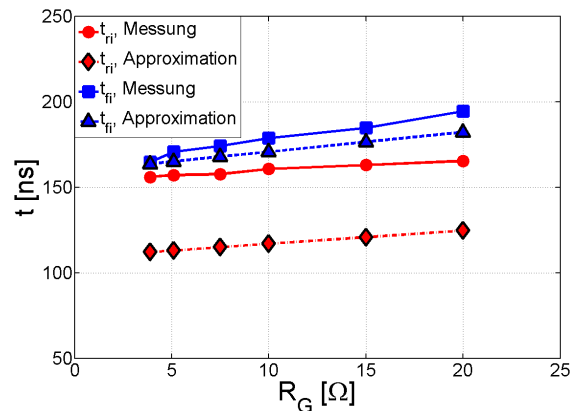


Abb. 3.23: Vergleich der messtechnisch ermittelten Stromanstiegs- und Fallzeiten des IRFS3306PbF mit den Ergebnissen der Approximation; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,on} = I_{D,off} = 150\text{ A}$, $T_J = 25^\circ\text{ C}$

Die Ergebnisse der experimentell erzielten sowie der approximierten Stromanstiegs- und Fallzeiten sind für beide Prüflinge in den Abbildungen 3.22 und 3.23 für einen exemplarischen Betriebspunkt dargestellt. Es zeigt sich, dass die Abschätzung der Stromanstiegszeiten zu wesentlich geringeren als den experimentell erzielten Werten führt. Grund hierfür ist der

in Abschnitt 3.3.1 beschriebene Effekt, wodurch beim schnellen Einschalten die Stromanstiegszeit wesentlich durch die Streuinduktivitäten im Kommutierungszweig mitbestimmt wird. Durch die Approximation von t_{ri} wird diesem Effekt keine Rechnung getragen. Bei der Stromfallzeit konnte dagegen eine verhältnismäßig gute Übereinstimmung der geschätzten Werte mit den experimentell ermittelten Werten erzielt werden.

Zusammenfassend kann festgestellt werden, dass die Approximationsmethoden der Schaltzeiten nur bedingt zu zufriedenstellenden Ergebnissen führen, was durch folgende Faktoren bestimmt wird:

- unzureichende Parameterangaben in den MOSFET-Datenblättern der Hersteller wie z.B. zu Bauelement-Streuinduktivitäten und zur Übertragungsteilheit,
- fehlende Mitberücksichtigung der Spannungsentlastung beim Einschalten bei der Bestimmung der Spannungsfallzeiten,
- Annahme linearer Verläufe der Drain-Source-Spannung während des Schaltens,
- Annahme einer konstanten Übertragungsteilheit g_m bei der Approximation der Stromfall- und Stromanstiegszeiten,
- fehlende Mitberücksichtigung des Einflusses der Gesamtstreuinduktivität im Kommutierungskreis auf die Stromfall- und Stromanstiegszeiten,
- Parameterstreuung der Bauteile.

3.4.2 Ergebnisse der Verlustleistungsberechnung

Die Ungenauigkeit der approximierten Schaltzeiten führt unweigerlich zu Abweichungen zwischen kalkulierten und messtechnisch erzielten Schaltverlustenergien. In den Abbildungen 3.24 und 3.25 sind die messtechnisch ermittelten sowie kalkulierten Schaltenergien der beiden Prüflinge für einen ausgewählten Betriebspunkt in Abhängigkeit vom Gate-Widerstand dargestellt. Zusätzlich werden noch simulativ ermittelte Ergebnisse der Schaltenergien mit aufgeführt. Letztere wurden mittels der Schaltungssimulationssoftware PSpice unter der Verwendung von Level 3 Spice-MOSFET-Modellen der Hersteller erzielt. Vorteil der Simulationssoftware PSpice ist die Beschreibung der Halbleitersimulationsmodelle durch eine Netzliste an Bauelementen, anhand derer durch algorithmische Näherungen die systembeschreibenden Differentialgleichungen gelöst werden. Das Schaltverhalten wurde anhand einer Testschaltung nach Abb. 2.10 simuliert. Für die Streuinduktivitäten wurden die realen Schaltungsparameter nach Tab. 3.2 verwendet. Um einen besseren Vergleich mit den erzielten Messergebnissen für die Schaltenergien zu ermöglichen, wurde die Drain-Source-Spannung in der Simulation an denselben Positionen wie in den Laborversuchen gemessen, d.h. über dem MOSFET und seinen Bauelement-Streuinduktivitäten.

Wie in Abb. 3.24 ersichtlich ist, stimmen die in der Simulation erzielten mit den experi-

mentell ermittelten Schaltenergien bei beiden Prüflingen relativ gut überein. Lediglich eine kleine, mit steigendem Gate-Widerstand nahezu konstant bleibende Abweichung zwischen Simulation und Messung kann festgestellt werden. Für die berechneten Schaltenergien liegen hier bei niedrigen Gate-Widerständen ähnliche Ergebnisse wie in der Simulation vor. Mit steigendem Gate-Widerstand wächst jedoch beim IRFS3306PbF die kalkulierte Schaltverlustenergie nicht so stark an.

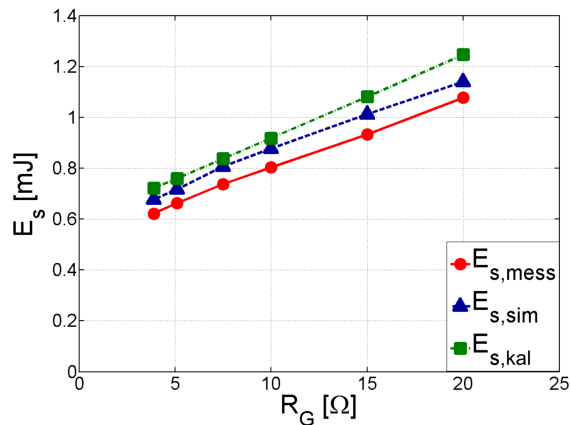


Abb. 3.24: Vergleich kalkulierter ($E_{s,kal}$), simulativ ($E_{s,sim}$) und experimentell ($E_{s,mess}$) erzielter Schaltenergien des NP110N055PUG in Abhängigkeit vom Gate-Vorwiderstand bei der Widerstandssteuerung; Bed.: $U_{DD} = 24$ V, $I_{D,on} = I_{D,off} = 150$ A, $T_J = 25^\circ$ C

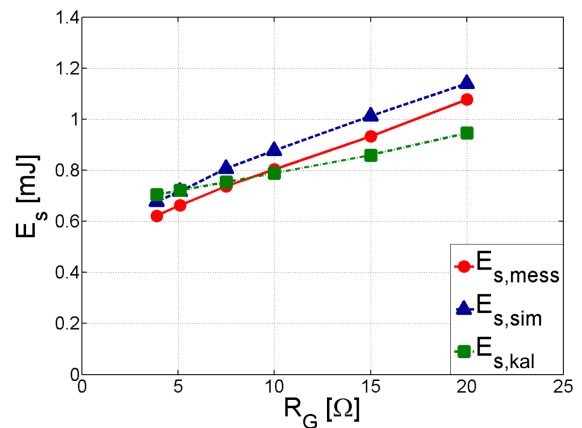


Abb. 3.25: Vergleich kalkulierter ($E_{s,kal}$), simulativ ($E_{s,sim}$) und experimentell ($E_{s,mess}$) erzielter Schaltenergien des IRFS3306PbF in Abhängigkeit vom Gate-Vorwiderstand bei der Widerstandssteuerung; Bed.: $U_{DD} = 24$ V, $I_{D,on} = I_{D,off} = 150$ A, $T_J = 25^\circ$ C

Zusammenfassend kann festgestellt werden, dass die analytische Bestimmung der Schaltverlustenergien zu ähnlichen Ergebnissen wie im Experiment führt. Die Qualität der Berechnung kann dabei zwischen den Halbleiter-Typen etwas schwanken. Eine weitere gute Möglichkeit zur Bestimmung der Schaltverlustenergien liefert die Simulation mittels PSpice. Voraussetzung ist hier jedoch eine genaue Kenntnis der Streuinduktivitäten des gesamten Kommutierungsweges.

Aufgrund der Abweichungen der analytisch bestimmten und simulierten von den experimentell erzielten Schaltverlustenergien wurden für eine qualitative Darstellung der Aufteilung der Halbleiterverluste die Schaltverluste im Folgenden über eine Polynomgleichung bestimmt. Diese Polynomgleichung wurde mittels einer Kennlinienermittlung am Testaufbau aufgestellt, was eine verbreitete Methode zur relativ genauen Bestimmung der Einzelverluste eines Umrichters in der Praxis darstellt. Auf diese Weise können die Schaltverluste in Abhängigkeit von der Höhe des Laststromes bzw. des Drain-Stromes gut approximiert werden. Das Polynom besitzt dabei jeweils für die Ein- und Ausschaltenergien folgende Form:

$$E_{s,(on)/(off)}(I_D) = a_1 + a_2 \cdot I_D + a_3 \cdot I_D^2. \quad (3.2)$$

In den Abbildungen 3.26 und 3.27 sind für beide Prüflinge die Aufteilungen der rechnerisch

ermittelten Halbleiterverluste exemplarisch für einen Betriebspunkt im Falle eines sinusförmigen Laststromes bei einer Sinus-Dreieck-Pulsweitenmodulation und in Abhängigkeit von der Schaltfrequenz illustriert. Zusätzlich wurden die Durchlassverluste eines Brückenweiges im Falle eines einzelnen MOSFETs sowie von zwei bzw. vier parallelgeschalteten MOSFETs für eine Sperrschichttemperatur von $T_J = 25^\circ\text{C}$ mit dargestellt. Zu beachten ist, dass die Durchlassverluste bei höheren Sperrschichttemperaturen steigen (für bspw. $T_J = 100^\circ\text{C}$ ungefähr um den Faktor 1,5). Die Gesamtsumme der Schaltverluste eines Brückenweiges bleibt, unabhängig von der Anzahl an parallelen MOSFETs, im Idealfall gleich.

Wie in den Abbildungen 3.26 und 3.27 ersichtlich ist, steigen die Schaltverluste mit steigender Schaltfrequenz linear an. Desweiteren vergrößert sich der Anteil der Schaltverluste an den gesamten Halbleiterverlusten bei höheren Schaltfrequenzen beträchtlich. Dieser Effekt wird bei der Parallelschaltung von mehreren Leistungs-MOSFETs verstärkt. So liegen die Schaltverluste des NP110N055PUG bei einer Schaltfrequenz von 16 kHz über den Durchlassverlusten von vier parallelgeschalteten MOSFETs. Ebenfalls ist erkennbar, dass der IRFS3306PbF aufgrund des höheren Bahnwiderstandes mehr Durchlassverluste als der NP110N055PUG aufweist. Dagegen sind die Schaltverluste bei beiden Prüflingen für den ausgewählten Betriebspunkt beinahe identisch.

Die Aufteilungen der Halbleiterverluste bei einem konstantem Tastverhältnis von exemplarisch $a = 0,5$ und in Abhängigkeit vom effektiven Drain-Strom während der Leitendphase sind für beide Prüflinge in Abb. 3.28 und 3.29 aufgeführt. Wie zu entnehmen ist, fallen die Einschaltverluste gegenüber den Ausschaltverlusten erheblich niedriger aus. Desweiteren dominiert bei hohen Drain-Strömen der Anteil der Durchlassverluste die gesamten Halbleiterverluste. Die Durchlassverluste fallen jedoch ab Strömen von über 100 A bei beiden Prüflingen so hoch aus, dass hier ein Betrieb nur mit mehreren parallelen MOSFETs empfehlenswert ist.

Wie anhand der Aufteilung der Verluste ersichtlich ist, tragen die Schaltverluste einen erheblichen Anteil zu den gesamten Halbleiterverlusten bei. Bei verhältnismäßig niedrigen Strömen bzw. bei hohen Schaltfrequenzen übertreffen die Schaltverluste teilweise sogar die Durchlassverluste. Da in der Praxis häufig mehrere MOSFETs zur Reduzierung der ohmschen Verluste parallelgeschaltet werden, wird dieser Effekt verstärkt, wodurch die Schaltverluste schnell den dominierenden Anteil an den gesamten Halbleiterverlusten einnehmen können. Hieraus resultiert die Motivation, die Schaltverluste, die indirekt mit der Überspannung beim Abschalten verknüpft sind, zum Beispiel mittels einer treiberseitigen Ansteuerung bei gleichbleibender Ausschaltüberspannung zu reduzieren. Eine Diskussion der Lösungsansätze und eine Erläuterung der Bewertungskriterien der untersuchten Methoden zur Verbesserung des Ausschaltverhaltens von Leistungs-MOSFETs findet nun im folgenden Kapitel statt.

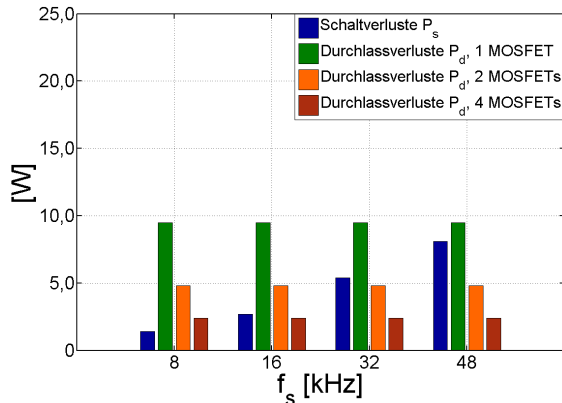


Abb. 3.26: Aufteilung der Halbleiterverluste des NP110N055PUG bei sinusförmigem Laststrom und Sinus-Dreieck-Pulsweitenmodulation sowie bei unterschiedlicher Anzahl an parallelen MOSFETs in Abhängigkeit von der Schaltfrequenz; Bed.: $U_{DD} = 24\text{ V}$, $\tilde{I}_L = 100\text{ A}$, $T_J = 25^\circ\text{C}$, $R_G = 7,5\ \Omega$

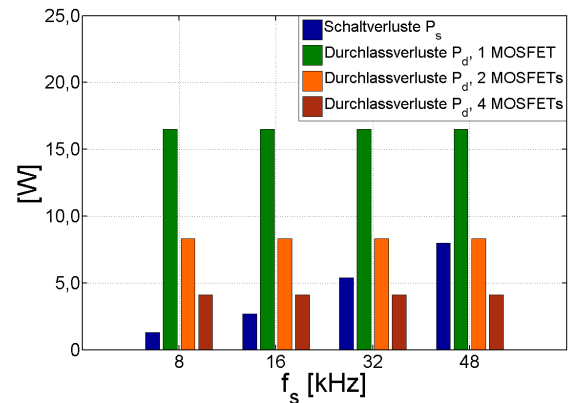


Abb. 3.27: Aufteilung der Halbleiterverluste des IRFS3306PbF bei sinusförmigem Laststrom und Sinus-Dreieck-Pulsweitenmodulation sowie bei unterschiedlicher Anzahl an parallelen MOSFETs in Abhängigkeit von der Schaltfrequenz; Bed.: $U_{DD} = 24\text{ V}$, $\tilde{I}_L = 100\text{ A}$, $T_J = 25^\circ\text{C}$, $R_G = 7,5\ \Omega$

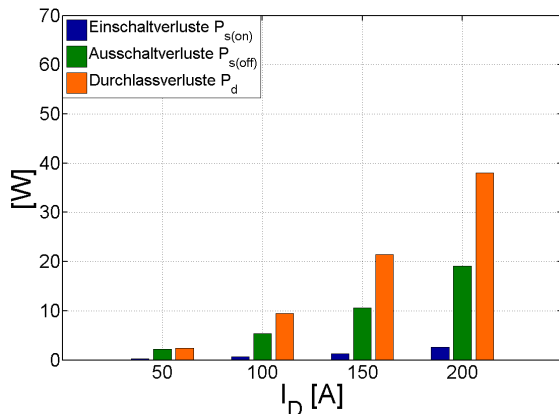


Abb. 3.28: Aufteilung der Halbleiterverluste des NP110N055PUG in Abhängigkeit vom Effektivwert des Drainstromes während der Leitendphase und bei konstantem Tastverhältnis; Bed.: $U_{DD} = 24\text{ V}$, $a = 0,5$, $f_s = 16\text{ kHz}$, $T_J = 25^\circ\text{C}$, $R_G = 7,5\ \Omega$

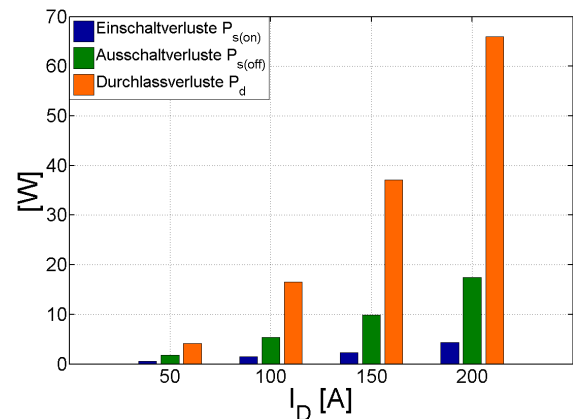


Abb. 3.29: Aufteilung der Halbleiterverluste des IRFS3306PbF in Abhängigkeit vom Effektivwert des Drainstromes während der Leitendphase und bei konstantem Tastverhältnis; Bed.: $U_{DD} = 24\text{ V}$, $a = 0,5$, $f_s = 16\text{ kHz}$, $T_J = 25^\circ\text{C}$, $R_G = 7,5\ \Omega$

4. Diskussion zur Optimierung des harten Schaltverhaltens und Bewertungskriterien

4.1 Diskussion zur Optimierung des harten Schaltverhaltens von Leistungs-MOSFETs

Wie insgesamt festzustellen ist, sind für Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit im Vergleich zu den Einschaltenergien in Abb. 3.9 die Ausschaltenergien in Abb. 3.16 beträchtlich größer — und zwar um den Faktor 6 bis 10. Desweiteren ist die Überstromspitze beim Einschalten verhältnismäßig gering und damit aufgrund der hohen Strombelastbarkeit des Halbleiters unproblematisch. Dies hat zur Folge, dass eine Veränderung des Einschaltverhaltens keine wesentliche Reduzierung der Schaltverluste nach sich ziehen würde. Aufgrund der hauptsächlich beim Ausschalten auftretenden Schaltverluste werden daher ausschließlich Verfahren zur Beeinflussung des Ausschaltverhaltens von Leistungs-MOSFETs in Kapitel 5 und 6 betrachtet. Prinzipiell gibt es in der Literatur verschiedene Herangehensweisen zur Verbesserung des Ausschaltverhaltens von Leistungshalbleitern, die folgend in Abb. 4.1 aufgeführt sind.

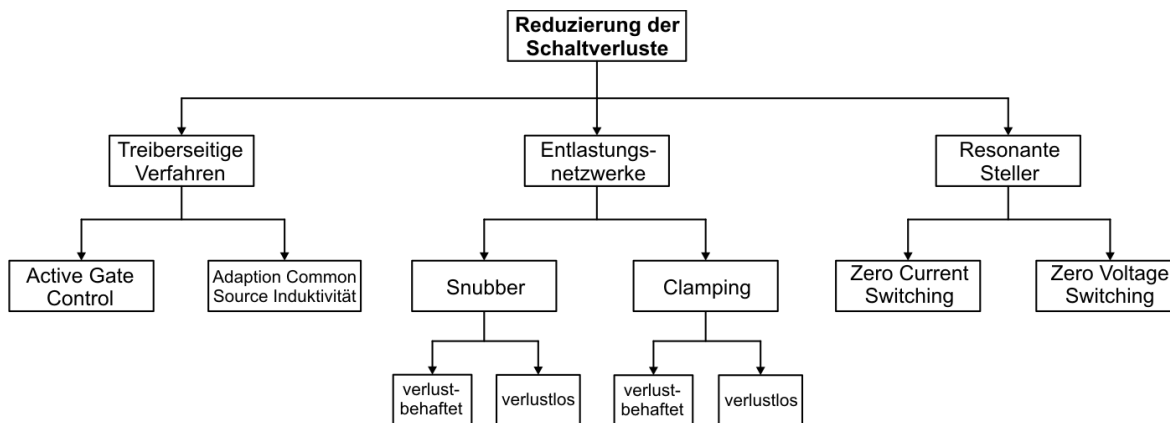


Abb. 4.1: Übersicht über Lösungsansätze zur Verbesserung des Ausschaltverhaltens von Leistungs-MOSFETs

Zur Erzielung eines weichen Schaltverhaltens werden häufig resonant schaltende Umrichtertopologien verwendet. In der Literatur wird dabei zwischen spannungslosem Schalten (zero voltage switching: ZVS) und stromlosem Schalten (zero current switching: ZCS) klassifiziert [18, 33, 71, 72, 73]. Durch die ZVS-Methode lassen sich so vorrangig die Einschaltverluste verringern, was bei den hier betrachteten Leistungs-MOSFETs jedoch nicht erforderlich ist. Beim ZCS können in erster Linie dagegen die Ausschaltverluste reduziert werden. Die Schaltfrequenzen liegen bei beiden Varianten meist weit über denen in hart schaltenden Applikationen, um kleinere Induktivitäten und Transformatoren einsetzen zu

können. Die resonanten Schaltungstopologien lassen sich zusätzlich in viele weitere Unterformen wie konventionelle resonante, quasi-resonante und multi-resonante Umrichter klassifizieren [14]. Prinzipiell sind jedoch die verschiedenen Arten an resonanten Schaltungen relativ komplex und benötigen in der Regel teure Zusatzdrosseln und Kondensatoren. Zudem weicht häufig das Schaltverhalten bei verschiedenen Bauelementstrukturen unter den Bedingungen des weichen Schaltens deutlich voneinander ab, was eine Implementierung in bestehende Umrichterkonzepte erschwert [18].

Weit verbreitet ist ebenfalls die Verwendung von Entlastungsnetzwerken, wie Snubber- und Clamping-Netzwerken, die zu einer Spannungsentlastung oder -begrenzung eingesetzt werden [18, 74]. Verlustbehaftete Snubber-Netzwerke, wie beispielsweise die vielseitig angewendeten RC- und RCD-Snubber, führen zwar zu einer Reduzierung der Überspannung U_{pk} , zu geringeren Spannungssteilheiten sowie zu geringeren Verlusten im Leistungshalbleiter, dennoch lässt sich mit diesen Entlastungsnetzwerken keine Verbesserung des Gesamtwirkungsgrades erzielen [18, 75]. Die verlustlosen Snubber dagegen bieten hier Abhilfe, indem die im Snubber aufgenommene Energie während der Einschaltphase des Halbleiters wieder in den Leistungsteil zurückgeführt wird [74]. Da bei diesen Methoden die Snubber-Dioden und Kondensatoren kurzzeitig den vollen Laststrom führen müssen, sind diese Methoden bei Anwendungen mit mehreren hundert Ampere Ausgangsstrom aus praktischer Sicht nicht empfehlenswert und kostenintensiv. Clamping-Netzwerke werden dagegen ausschließlich eingesetzt, um die Spannungsspitzen zu reduzieren, wobei ebenfalls der Gesamtwirkungsgrad nicht verbessert wird.

Mit dem Hintergrund einer verhältnismäßig kostengünstigen Lösung rücken daher treiberseitige Verfahren zur Verbesserung des Ausschaltverhaltens von Leistungs-MOSFETs in den Fokus. Vorteil ist neben den niedrigen Kosten für zusätzliche Bauteile, die nur gegenüber dem Laststrom sehr geringe Ströme führen können müssen, die hohe Breite der Anwendbarkeit bei unterschiedlichen Applikationen sowie die geringe Komplexität der treiberseitigen Verfahren. Aus diesem Grund beschränken sich die hier durchgeführten Untersuchungen speziell auf diese.

4.2 Kriterien zur Bewertung der Verfahren zur Verbesserung des Ausschaltverhaltens von Leistungs-MOSFETs

Bei der Entwicklung von Treiberschaltungen muss in der Regel ein Optimum zwischen einer möglichst steilen Stromflanke zur Reduzierung der Schaltverluste und der maximal erlaubten Überspannung U_{pk} beim Ausschalten gefunden werden. Generell darf in allen Betriebsfällen die maximal erlaubte Drain-Source-Spannung einschließlich einer einzuhaltenden Sicherheit nicht überschritten werden [12, 18, 76, 77]. Es müssen die Durchbruchspannung U_{DSS} , die maximal auftretenden Zwischenkreisspannung $U_{DD,max}$ als auch eine Überspannungsreserve $k_r \cdot U_{DSS}$ für z.B. eventuelle Kurzschlüsse mitberücksichtigt werden. Typische Werte liegen

dabei zwischen $k_r = 0,1 \dots 0,3$. Für die maximal erlaubte, induzierte Spannung $U_{pk,max}$ gilt daher:

$$U_{pk,max} = U_{DSS} - k_r \cdot U_{DSS} - U_{DD,max} \quad (4.1)$$

Bei diesem Kriterium nach Gleichung (4.1) wird angenommen, dass bei der maximalen Zwischenkreisspannung $U_{DD,max}$ auch der maximale Laststrom $I_{L,max}$ der Applikation auftreten kann. In Applikationen bzw. Fällen, in denen bei hohen Zwischenkreisspannungen eine Leistungsbegrenzung stattfindet, ist daher anwendungsabhängig zu prüfen, ob für die Bestimmung von $U_{pk,max}$ niedrigere Spannungen als $U_{DD,max}$ herangezogen werden müssen. Weiterhin ist anzumerken, dass häufig von den Herstellern in den Datenblatt-Tabellen die Durchbruchspannung U_{DSS} des MOSFETs bei $T_A = 25^\circ\text{C}$ angegeben wird. Da diese jedoch mit abnehmender Sperrschichttemperatur sinkt, muss hier U_{DSS} bei der jeweils niedrigsten Applikationstemperatur verwendet werden.

Ein anderer wichtiger und zu beachtender Aspekt entsteht messtechnisch in der Praxis. Da meistens keine direkten Drain- und Source-Abgriffe auf dem Leistungshalbleiter zur Verfügung stehen — was vor allem bei diskreten Gehäusen aber auch bei vielen Leistungshalbleitermodulen der Fall ist — wird die Drain-Source-Spannung über dem Chip sowie weiteren Bauelement-Streuinduktivitäten gemessen. Dieser Sachverhalt ist in Abb. 3.5 dargestellt. Hieraus folgt, dass messtechnisch so beim Ausschalten stets geringere Spannungsbelastungen gemessen werden, als wirklich am Chip anliegen. Daher wird als weiteres Bewertungskriterium der maximal erlaubte Betrag der Stromsteilheit $|di_D/dt|_{max}$ beim Abschalten nach Gleichung (4.2) mit herangezogen.

$$|di_D/dt|_{max} = \frac{U_{pk,max}}{L_\sigma} \quad (4.2)$$

Der Vorteil bei diesem Kriterium ist die verhältnismäßig einfache Messung der Stromsteilheit beim Schalten, durch die mittels der Kenntnis von L_σ auf die Überspannung zurückgerechnet werden kann.

Das oben beschriebene Kriterium des maximal erlaubten Betrages der Stromsteilheit beim Abschalten wird in dieser Arbeit neben der Überspannung in Abhängigkeit von der Ausschaltverlustenergie mit zur Bewertung und Auslegung der untersuchten Verfahren zur Verbesserung des Ausschaltverhaltens herangezogen.

5. Methoden zur aktiven gateseitigen Steuerung des harten Ausschaltverhaltens von Leistungs-MOSFETs

5.1 Einführung

In der Regel werden heutzutage Leistungs-MOSFETs mit einer konventionellen Widerstandssteuerung über einen Gate-Vorwiderstand R_G angesteuert. Dies birgt neben der Einfachheit der Ansteuerung und einer hohen Zuverlässigkeit ebenfalls Kostenvorteile. Desweiteren lässt sich damit indirekt auch das Verhalten des Dioden-Rückstromes beim Reverse-Recovery-Prozess beeinflussen. Nachteilig ist bei dieser Beschaltung jedoch, dass keine getrennte und keine zeitabhängige Beeinflussung der Strom- und Spannungsgradienten beim Ein- und Ausschalten möglich ist. Dies führt bei einer Erhöhung des Gate-Vorwiderstandes R_G dazu, dass die Schaltenergien und die Schaltverzögerungszeiten sehr stark ansteigen.

Wie in Kapitel 3.3 gezeigt wurde, sind die Schaltverlustenergien beim Einschalten von Leistungs-MOSFETs in Niederspannungsanwendungen unter 100 V in der Regel sehr gering gegenüber den Ausschaltverlustenergien, da durch die induzierte Spannung beim Einschalten eine hohe Spannungsentlastung stattfindet. Beim Ausschalten sind die Schaltverlustenergien aufgrund der Überspannung dagegen sehr hoch.

In erster Linie ist es also erstrebenswert, die Überspannung beim Ausschalten zu minimieren, ohne dabei die Ein- und Ausschaltverlustenergien beträchtlich zu vergrößern. Dabei ist ein besonderes Augenmerk auf jene Beschaltungsmethoden zu lenken, die nicht das Einschaltverhalten sonderlich verändern, sondern vor allem nur das Ausschalten beeinflussen. Die Reduzierung der Überspannung beim Ausschalten kann wiederum in erster Linie nur durch eine direkte Beeinflussung der Stromfallzeit t_{ri} erreicht werden, da die Überspannung unmittelbar mit der Stromsteilheit und der Streuinduktivität im Kommutierungskreis verknüpft ist. Folglich ist durch Ansteuerungsmethoden, bei denen die Spannungsanstiegszeit im Gegensatz zur konventionellen Widerstandssteuerung verringert oder zumindest nicht vergrößert wird, eine Verringerung der Ausschaltverlustenergie bei gleicher induzierter Spannung bzw. gleicher Stromsteilheit zu erwarten.

Eine weitere Forderung an die gateseitigen Ansteuermethoden betrifft das Verhalten im Fehlerfall bzw. bei Kurzschlüssen. Während des Stromanstiegs im Kurzschlussfall darf der Strom durch die zusätzliche Ansteuerung nicht zu schnell für die Kurzschlusserkennung ansteigen, da diese immer ein Minimum an Reaktionszeit benötigt. Steigt der Strom innerhalb dieser Reaktionszeit bereits auf einen kritischen Wert, kann eine thermische Zerstörung des MOSFETs auftreten. Die zusätzliche Erweiterung des Ansteuerkreises darf ebenfalls beim Abschalten eines Kurzschlusses kein zu hohes di/dt verursachen, was zu einer zu hohen Überspannung und damit zu einem Durchbruch und möglicherweise einer Zerstörung des Leistungs-MOSFETs führt. Alle in dieser Arbeit untersuchten Ansteuermethoden ha-

ben keinen nennenswerten Einfluss auf das Einschaltverhalten und verringern allenfalls die Stromsteilheit während des Abschaltens, weshalb die hier betrachteten Ansteuermethoden dieser Forderung gerecht werden. Auf eine Untersuchung des Ausschaltverhaltens im Kurzschlussfall bei Anwendung der jeweiligen Verfahren wird deshalb verzichtet.

Um eine allgemeine Aussage über die Anwendbarkeit bzw. Einschränkung der untersuchten gateseitigen Ansteuerverfahren machen zu können, werden die Methoden mit den beiden, sich in ihrer Eingangskapazität und Übertragungssteilheit stark unterscheidenden Prüflingen aus Abschnitt 3.3 durchgeführt.

Ein Teil der erzielten Ergebnisse wurde bereits in [78, 79, 80, 81] veröffentlicht.

5.2 Konzepte zur gateseitigen Verbesserung des harten Ausschaltverhaltens von Leistungs-MOSFETs

In der Literatur gibt es für die Anwendung mit Leistungs-MOSFETs in Applikationen unter 100 V nur wenige Veröffentlichungen. Unter dem Thema der Beeinflussung des Schaltverhaltens von Transistoren (auch Active Gate Control genannt) werden in erster Linie Applikationen mit IGBTs für den hohen Leistungsbereich betrachtet. Diese haben jedoch ein etwas anderes Schaltverhalten als Leistungs-MOSFETs. In der Regel liegen hier relativ lange Schaltzeiten, vor allem lange Spannungsanstiegs- und Spannungsfallzeiten, gegenüber MOSFETs vor. Außerdem spielt vor allem die Begrenzung bzw. Beeinflussung des Überstromes beim Einschalten von IGBTs eine wichtige Rolle. Letzteres ist bei Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit ein eher nebensächlicher Punkt aufgrund der verhältnismäßig niedrigen Rückstromspitze der integrierten Body-Diode. Dennoch können einige Ansteuermethoden für IGBTs aufgrund des prinzipiell sehr ähnlichen Schaltverhaltens auf MOSFETs übertragen werden.

Im Folgenden werden nun Konzepte zur gateseitigen Optimierung des Schaltverhaltens von sowohl MOSFETs als auch IGBTs vorgestellt.

Eine Möglichkeit zur Beeinflussung des Schaltverhaltens ist die Steuerung der Stromsteilheit di_D/dt während des Schaltens durch Ausnutzung einer zusätzlichen oder der vorhandenen Streuinduktivität im Source-Zweig des MOSFETs [33, 82, 83, 84]. Die in Abhängigkeit von der Stromsteilheit an der Induktivität entstehende induzierte Spannung kann in den Treiberkreis rückgekoppelt eine begrenzende Wirkung auf die Stromanstiegs- oder Fallgeschwindigkeiten im Fehlerfall oder auch im normalen Betrieb haben. In der Literatur wird dieses Konzept auch di/dt -control genannt. Abbildung 5.1 (a) illustriert das Prinzipschaltbild der di/dt -control.

Desweiteren wird in [33, 82, 83, 84, 85, 86, 87, 88] die sogenannte du/dt -control angewendet, bei der beispielsweise durch einen Gate-Drain-Kondensator beim Schalten die Spannungsanstiegs- und Spannungsfallgeschwindigkeit erfasst und auf die Gate-Steuerung rückgekopp-

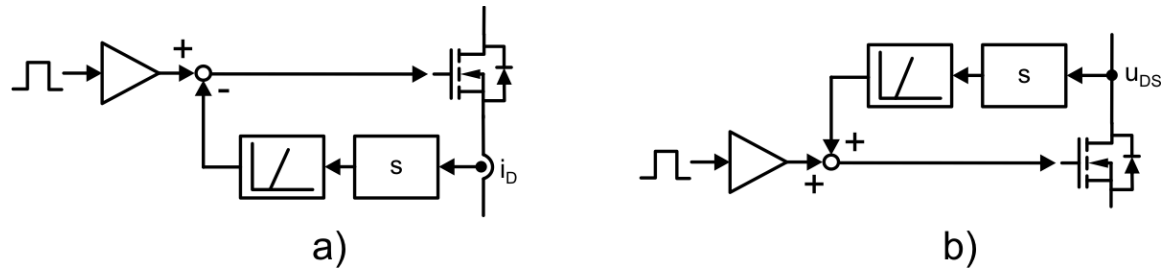


Abb. 5.1: Prinzipielle Funktion der di/dt -control und der du/dt -control (Funktionsblock „s“ := Differentiation): a) di/dt -control; b) du/dt -control

pelt wird. In Abb. 5.1 (b) ist das Prinzipschaltbild der du/dt -control dargestellt. Dadurch ist eine Beeinflussung der Spannungsanstiegs- und Spannungsfallgeschwindigkeiten möglich. Zusätzlich werden so ebenfalls die Stromanstiegs- und Stromfallzeiten in einem gewissen Rahmen verändert. In [86] wird dieses Konzept durch eine Zenerdiode in Reihe zum Gate-Drain-Kondensator erweitert, wodurch die Beeinflussung der Spannungsfallgeschwindigkeit erst ab der Überschreitung der Durchbruchspannung der Zenerdiode wirksam wird. Mittels einer Parallelschaltung einer zusätzlichen Kapazität zur Zenerdiode können hier auch Durchbruchspannungen der Zenerdiode unterhalb der maximalen Zwischenkreisspannung gewählt werden.

In [89] wird dagegen ein kleiner Transformator eingesetzt, um das Schaltverhalten von IGBTs als auch MOSFETs zu beeinflussen. Mittels dieses Transformators kann beim Einschalten ein zusätzlicher Strom aus dem Leistungszweig in den Ansteuerzweig für ein schnelleres Einschalten eingepreßt werden. Das Ausschalten wird durch eine sogenannte ZVS-Snubber-Beschaltung (ZVS: Zero Voltage Switching) verbessert.

Ein anderer Ansatz ist die Steuerung der Übergangsgeschwindigkeit der Gate-Spannung im Bereich der Schwellenspannung $U_{GS,th}$ [90]. Dabei wird über einen Kondensator die Spannungsfallgeschwindigkeit über dem MOSFET beim Ausschalten gemessen. Durch eine darauffolgende Logik-Beschaltung wird die Gate-Spannungs-Übergangsgeschwindigkeit im Bereich der Schwellenspannung $U_{GS,th}$ nachgestellt. Ähnliche Überlegungen werden ebenfalls für IGBTs in [91, 92] umgesetzt.

Eine ebenso verbreitete Methode zur Steuerung des Schaltverhaltens ist die zusätzliche Einprägung eines positiven Gate-Stromes in den Transistor beim Ein- bzw. Ausschalten [46, 93, 94, 95]. Bei dieser Methode kann beispielsweise in Abhängigkeit von der Höhe des Ausgangsstromes eines Umrichters ein Gate-Strom eingepreßt werden, um die Schaltgeschwindigkeiten zu erhöhen oder zu verringern. In [46] kann durch die gateseitige Beschaltung zusätzlich eine Stromsenke realisiert werden, was den Freiheitsgrad der Beeinflussung des Schaltverhaltens erhöht. Abbildung 5.2 illustriert die prinzipielle Funktion dieser Ansteuer-methode.

In [96] wird mittels einer Stromquelle als Treiber der Leistungs-MOSFET mit einem optimierten Gate-Stromprofil ein- und ausgeschaltet. Die Steuerung der Stromquellen erfolgt

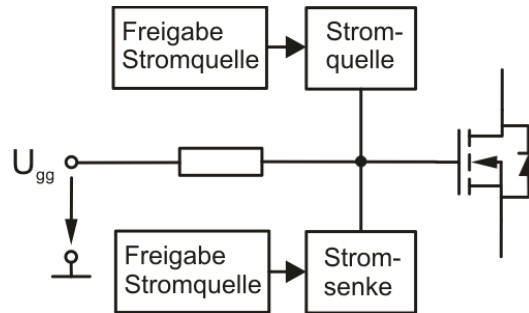


Abb. 5.2: Prinzipielle Funktion der Ansteuerung mit zusätzlicher Stromquelle und -senke

mittels eines FPGAs. Dabei steht vor allem die Reduzierung der elektromagnetischen Emission im Vordergrund. Die Idee des optimierten Stromprofils wurde ebenfalls in [97] aufgegriffen.

Das Wegschalten oder Hinzuschalten eines zusätzlichen Gate-Widerstandes während des Schaltvorganges wurde in [33, 98, 99] untersucht. Im Folgenden wird diese Ansteuerungsmethode auch zweistufige Ansteuerung genannt. In [33, 98] wird durch unterschiedliche Weise die Drain-Source-Spannung erfasst und bei Überschreitung eines Referenzwertes ein niederohmiger Gate-Vorwiderstand weggeschaltet. Dies hat zur Folge, dass die Spannungsanstiegszeit gegenüber der einfachen Widerstandsbeschaltung verkürzt werden kann. Nachdem der niederohmige Gate-Vorwiderstand weggeschaltet wurde, fließt der Strom nun durch einen hochohmigeren Gate-Vorwiderstand, wodurch das Schalten bzw. die Stromfallzeit verlängert wird.

Eine etwas andere Herangehensweise wird in [99] realisiert. Voraussetzung ist hier die Verwendung eines Current-Sense-IGBTs sowie von zwei in Reihe geschalteten Gate-Vorwiderständen, von denen einer über einen Transistor im Normalbetrieb überbrückt ist. Über eine externe Beschaltung durch einen Kondensator und einen Widerstand wird am Current-Sense-Pin des IGBTs die Stromsteilheit erfasst. Bei Überschreitung einer zu hohen Stromsteilheit wird über ein Transistornetzwerk der überbrückte Gate-Vorwiderstand hinzugeschaltet, wodurch nun zwei in Reihe geschaltete Gate-Vorwiderstände wirksam sind. Die Stromfallgeschwindigkeit kann so verringert werden.

In [100] wird dagegen der Schaltvorgang nicht in zwei sondern in drei Stufen aufgeteilt, in denen jeweils über unterschiedliche Gate-Vorwiderstände die Schaltgeschwindigkeiten reduziert bzw. erhöht werden. In Abb. 5.3 (a) und (b) sind zwei prinzipielle Realisierungsmöglichkeiten der zweistufigen Ansteuerung abgebildet.

Im Gegensatz zum Weg- oder Hinzuschalten eines zweiten Gate-Widerstandes wird in [101] der Ansatz verfolgt, die Höhe des Gate-Widerstandes über einen Optokoppler zu steuern. Dabei wird die Höhe des Gate-Widerstandes über die Amplitude des PWM-Signales bestimmt, wodurch der Lade- und Entladevorgang der Eingangskapazität des Leistungshalbleiters beeinflusst wird.

Mit Hilfe eines angepassten, optimierten Gate-Signals wird in [102, 103] versucht, die Gate-

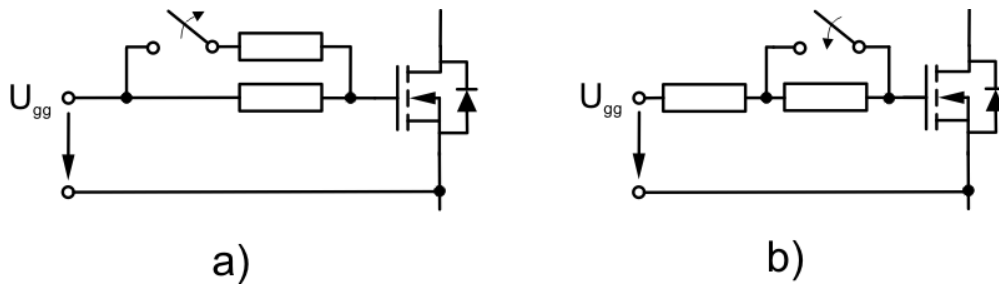


Abb. 5.3: Prinzipielle Realisierungsmöglichkeiten der zweistufigen Ansteuerung: a) Wegschalten eines niederohmigen Strompfades; b) Wegschalten eines hochohmigen Strompfades

Spannung und damit das Schaltverhalten zu beeinflussen. Beim Einschalten wird eine Gate-Spannung in Form einer zweistufigen Treppe an den Transistor gelegt. Durch die erste Stufe mit niedriger Spannung wird Einfluss auf die Spannungsanstiegsgeschwindigkeit genommen. Mit niedriger werdendem Spannungsniveau der ersten Stufe kann die Stromanstiegsgeschwindigkeit sowie der Einschaltüberstrom verringert werden. Darauf folgend wird auf die zweite Stufe gewechselt, welche das eigentliche Gate-Spannungsniveau darstellt. Beim Ausschalten wird zuerst die Gate-Spannung auf Null geschaltet. Nach einer kurzen Pause wird dann wiederum eine Gate-Spannung, welche ein geringeres Spannungsniveau als im eingeschalteten Zustand aufweist, für einige Nanosekunden an den Transistor gelegt, um die Spannungsanstiegsgeschwindigkeit zu verringern. In Abb. 5.4 ist die prinzipielle Funktion der Ansteuerung mittels eines optimierten Gate-Signals illustriert.

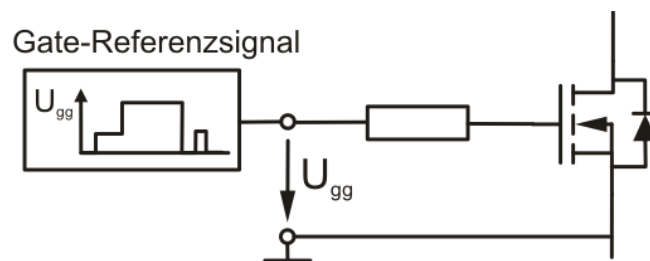


Abb. 5.4: Prinzipielle Funktion der Ansteuerung mittels eines optimierten Gate-Signals

In Tab. 5.1 ist eine Übersicht der hier vorgestellten Literatur zu Active Gate Control Verfahren sortiert nach prinzipieller Methodik und nach Anwendung auf MOSFETs oder IGBTs gegeben. Wie zu erkennen ist, überwiegt die Anzahl der Veröffentlichungen mit Anwendung auf IGBTs. Bei den in den recherchierten Veröffentlichungen untersuchten Verfahren mit MOSFETs handelt es sich wiederum fast ausschließlich um High Voltage MOSFETs mit mehreren hundert Volt Sperrspannung.

Grundsätzlich unterscheiden sich die oben aufgeführten Ansteuerverfahren in Aufwand und Zielsetzung der Ansteuerung. Die im Folgenden untersuchten Ansteuerverfahren bieten eine einfache und verhältnismäßig kostengünstige Lösung zur Verbesserung des Schaltverhaltens. Aus bereits erwähnten Gründen beschränkt sich die Untersuchung nur auf Methoden zur Beeinflussung des Ausschaltverhaltens. Die wesentliche Zielsetzung ist dabei eine möglichst hohe Reduzierung der Ausschaltverluste bei gleicher induzierter Spannung im Vergleich zur

konventionellen Widerstandssteuerung.

| Prinzipielle Methodik | Anwendung auf MOSFET | Anwendung auf IGBT |
|---|----------------------|------------------------------------|
| du/dt-control | [82] | [33],[83],[84],[85],[86],[87],[88] |
| di/dt-control | [82] | [33],[83],[84] |
| Anpassung der Übergangsgeschwindigkeit der Gate-Source-Spannung | [90] | [91],[92] |
| Stromeinprägung | [46],[93] | [46],[94],[95] |
| Optimiertes Stromprofil / Treiber mit Stromquelle | [96] | [97] |
| Zweistufige bzw. dreistufige Ansteuerung | – | [33],[98],[99],[100] |
| Optimiertes Gate-Signal | [102] | [103] |
| Sonstige | [89],[101] | – |

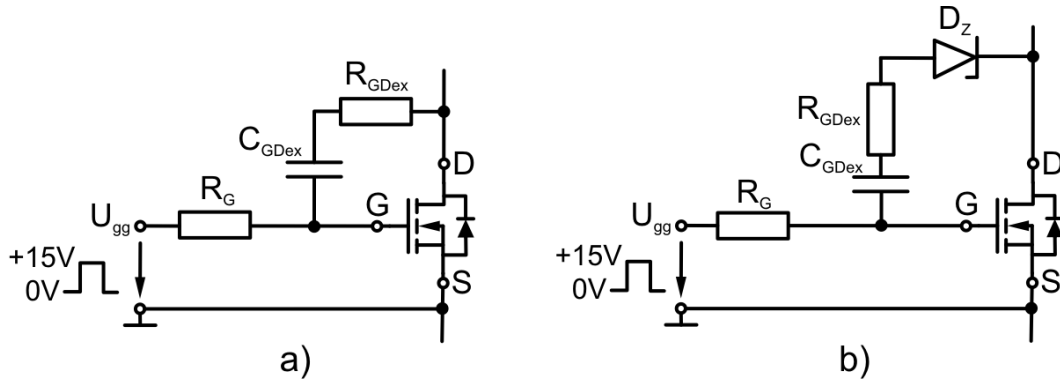
Tab. 5.1: Übersicht über die Literatur zu Active Gate Control Verfahren sortiert nach prinzipieller Methodik und nach Anwendung auf MOSFETs oder IGBTs

5.3 Untersuchung verschiedener Ansteuermethoden zur Beeinflussung des Ausschaltverhaltens von Leistungs-MOSFETs

5.3.1 Beeinflussung des Ausschaltverhaltens durch eine du/dt-control

Die sogenannte du/dt-control ist eine in der Literatur sehr verbreitete Methode zur Beeinflussung des Schaltverhaltens von Leistungshalbleitern (vgl. Abschnitt 5.2). In Abb. 5.5 (a) ist die schaltungstechnisch einfachste Form der du/dt-control dargestellt. Mittels des zusätzlichen externen Kondensators C_{GDex} wird der Spannungsanstieg am Leistungs-MOSFET beim Ausschalten differenziert und der dadurch auftretende Stromfluss im externen Kondensator C_{GDex} direkt auf den Treiberansteuerkreis eingekoppelt. Der Widerstand R_{GDex} dient zum Einen der Dämpfung von unerwünschten Schwingungen, zum Anderen kann mittels dieses Widerstandes die Stärke des einzukoppelnden Stromes eingestellt werden.

Unter Vernachlässigung des externen Widerstandes R_{GDex} , der internen Widerstände R_{Gint} und R_{Gi} des MOSFETs und des Gehäuses (siehe Abb. 2.9 und 2.16) sowie der Änderungsgeschwindigkeit der Spannung u_{GS} kann mittels der Knotengleichung an Knoten G Gleichung (5.1) für die Spannungsänderung du_{DS}/dt hergeleitet werden [33]:


 Abb. 5.5: Prinzipielle Schaltungen der du/dt -control: a) ohne Zenerdiode, b) mit Zenerdiode

$$\frac{du_{DS}}{dt} = -\frac{U_{gg} - u_{GS}}{R_G \cdot (C_{GD} + C_{GDex})} \quad (5.1)$$

Um eine gute Auswirkung dieser Ansteuerungsmethode auf die Spannungsanstiegs- und Stromfallzeiten zu erhalten, sollte nach Gleichung (5.1) die externe Gate-Drain-Kapazität C_{GDex} um ein Vielfaches höher als die interne Gate-Drain-Kapazität des Leistungs-MOSFETs sein. In Abb. 5.5 (b) ist eine einfache Erweiterung dieser Ansteuerungsmethode dargestellt. Hier wird zusätzlich zur externen Kapazität C_{GDex} eine Zenerdiode D_z in Reihe geschaltet. Durch die Wahl der Zenerdiodendurchbruchspannung U_z oberhalb der Zwischenkreisspannung kann erreicht werden, dass dieser Einkopplungspfad erst bei Überschreitung von U_z aktiv wird.

Der experimentelle Verlauf der du/dt -control im Vergleich zur konventionellen Widerstandssteuerung ist in Abb. 5.6 für den NP110N055PUG beispielhaft illustriert. Es kann festgestellt werden, dass während des Einschaltens die du/dt -control keinen Einfluss auf das Schaltverhalten hat. Dies wird in erster Linie durch die hohe Spannungsentlastung beim Einschalten aufgrund der induzierten Spannungen an den Streuinduktivitäten im Kommutierungskreis verursacht, wodurch die Drain-Source-Spannung bereits auf ein sehr niedriges Spannungsniveau abgesunken ist.

Beim Abschalten kann nur eine sehr geringe Erhöhung der Spannungsanstiegszeit erreicht werden. Viel wesentlicher ist jedoch bei dieser Ansteuerungsmethode der Einfluss auf die Stromfallzeit t_{fi} , der mit sinkendem Widerstand R_{GDex} vergrößert werden kann und damit durch eine Verringerung der Stromsteilheit die Überspannung beim Abschalten reduziert. In Folge dessen steigt die Ausschaltenergie $E_{s(off)}$ bei der du/dt -control im Vergleich zur Widerstandssteuerung an.

In Tabelle 5.2 sind die Ergebnisse der Widerstandssteuerung und der du/dt -control ohne Zenerdiode für den NP110N055PUG sowie den IRFS3306PbF für einen Vergleich aufgeführt. Wie hier zu entnehmen ist, kann bei der einfachen du/dt -control nach Abb. 5.5 (a) relativ gut auf die Stromsteilheit und somit auf die Überspannung beim Abschalten Einfluss genommen werden. Bei Verwendung einer zusätzlichen externen Zenerdiode ist dieser Einfluss

zwar ebenfalls noch vorhanden, jedoch ist dieser erwartungsgemäß wesentlich schwächer ausgeprägt. Hierfür kann die Vergleichstabelle 14.1 im Anhang herangezogen werden.

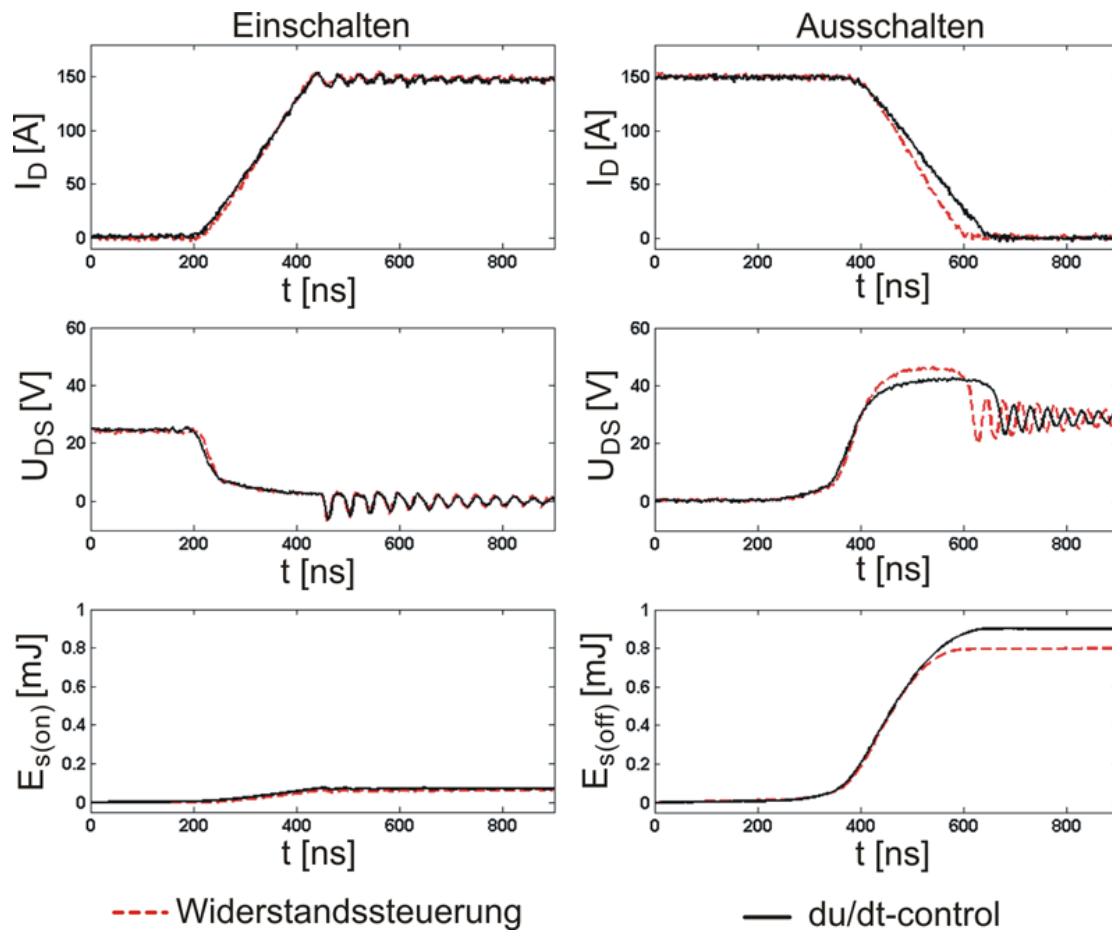


Abb. 5.6: Ein- und Ausschaltverhalten des NP110N055PUG bei der du/dt-control ohne Zenerdiode im Vergleich zur Widerstandssteuerung; Bed.: $I_L = 150 \text{ A}$, $U_{DD} = 24 \text{ V}$, $T_J = 25^\circ \text{C}$, $R_G = 10 \Omega$, $C_{GDex} = 2,2 \text{ nF}$, $R_{GDex} = 300 \Omega$

| | NP110N055PUG | | IRFS3306PbF | |
|-----------------------------------|----------------------|--|----------------------|--|
| | Widerstandsst. | du/dt-control | Widerstandsst. | du/dt-control |
| Beschaltung | $R_G = 10 \Omega$ | $R_G = 10 \Omega$, $C_{GDex} = 2,2 \text{ nF}$, $R_{GDex} = 300 \Omega$ | $R_G = 10 \Omega$ | $R_G = 10 \Omega$, $C_{GDex} = 2,2 \text{ nF}$, $R_{GDex} = 300 \Omega$ |
| Überspannung U_{pk} | 21,6 V | 17,4 V | 19,4 V | 15,2 V |
| Stromsteilheit di_D/dt | 753 A/ μs | 588 A/ μs | 671 A/ μs | 565 A/ μs |
| Spannungsanstiegszeit t_{ru} | 91,3 ns | 92,1 ns | 41,7 ns | 43,9 ns |
| Stromfallzeit t_{fi} | 159,3 ns | 203,8 ns | 178,7 ns | 212,2 ns |
| Ausschaltverzögerung $t_{d(off)}$ | 306,2 ns | 301,3 ns | 101,7 ns | 100,4 ns |
| Ausschaltenergie $E_{s(off)}$ | 741 μJ | 878 μJ | 762 μJ | 814 μJ |

Tab. 5.2: Ausschaltverhalten bei der du/dt-control und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150 \text{ A}$, $U_{DD} = 24 \text{ V}$, $T_J = 25^\circ \text{C}$

In den Abb. 5.7 und 5.8 sind die Spannungsanstiegszeiten sowie Stromfallzeiten für den NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur des Halbleiter-Chips aufgeführt. Wie zu entnehmen ist, steigt die Spannungsanstiegszeit bei der du/dt-control erst ab relativ hohen Gate-Widerständen größer als ca. 15Ω stärker als bei der

Widerstandssteuerung an. Weiterhin ist eine leichte Temperaturabhängigkeit der Spannungsanstiegszeit bei höheren Gate-Vorwiderständen zu erkennen. In Abb. 5.8 ist ersichtlich, dass die du/dt-control vor allem einen erheblichen Einfluss auf die Stromfallzeit des MOSFETs besitzt, da diese mit höheren Gate-Widerständen deutlicher als bei der Widerstandssteuerung steigt. Wie erwartet, kann dieser Effekt bei der du/dt-control mit Zenerdiode nach Abb. 5.8 abgeschwächt werden, da die Schaltung erst nach Überschreiten der Zenerdiodendurchbruchsspannung U_z mit einer Verzögerung aktiv wird.

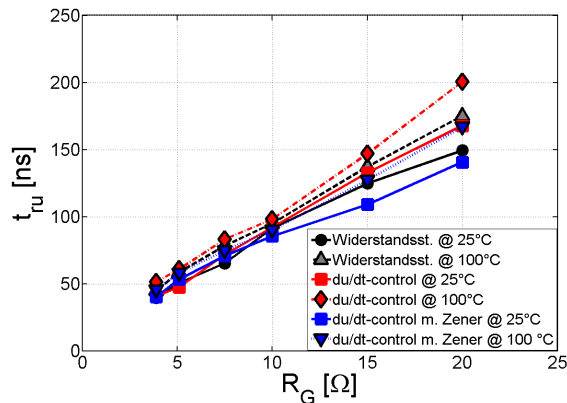


Abb. 5.7: Spannungsanstiegszeit t_{ru} bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\ \Omega$, $U_z = 39\text{ V}$

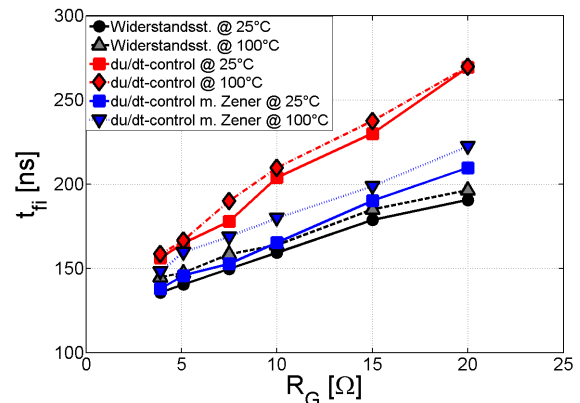


Abb. 5.8: Stromfallzeit t_{fi} bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\ \Omega$, $U_z = 39\text{ V}$

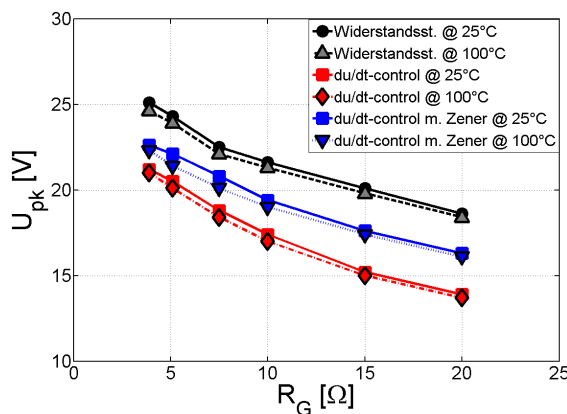


Abb. 5.9: Überspannung U_{pk} beim Abschalten bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\ \Omega$, $U_z = 39\text{ V}$

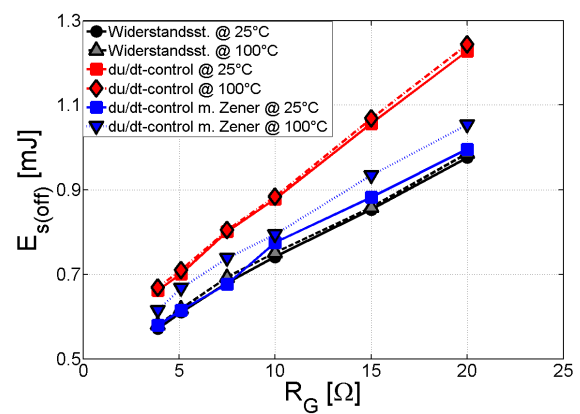


Abb. 5.10: Ausschaltenergie $E_{s(off)}$ bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\ \Omega$, $U_z = 39\text{ V}$

Die Überspannung U_{pk} beim Abschalten sowie die Ausschaltenergie $E_{s(off)}$ sind in Abhängigkeit vom Gate-Widerstand sowie der Sperrschichttemperatur für den NP110N055PUG in Abb. 5.9 und Abb. 5.10 aufgeführt. Mit zunehmender Stromfallzeit bzw. abnehmender

Stromsteilheit sinkt die Überspannung U_{pk} . Durch die größeren Stromfallzeiten bei der du/dt-control kann folglich mit dieser Ansteuerung eine geringere Überspannung verursacht werden als bei der Widerstandssteuerung, was jedoch wiederum mehr Verluste nach sich zieht (siehe Abb. 5.10).

Eine nennenswerte Erhöhung der Ausschaltverzögerungszeit $t_{d(off)}$ durch die du/dt-control konnte bei der Untersuchung nicht festgestellt werden. Diese blieb bei gleichbleibenden Gate-Widerstand konstant, was Abb. 5.11 entnommen werden kann.

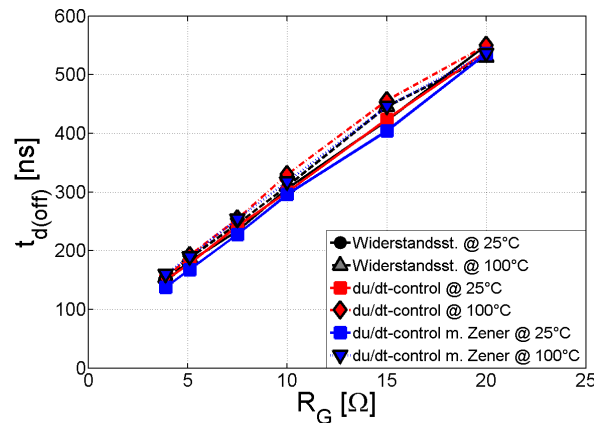


Abb. 5.11: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\text{ Ω}$, $U_z = 39\text{ V}$

Bei Verwendung des MOSFETs IRFS3306PbF können trotz der geringeren Eingangs- und Rückwirkungskapazitäten dieselben Effekte und Tendenzen wie beim NP110N055PUG festgestellt werden, weshalb hier an dieser Stelle auf eine zusätzliche Erläuterung der Ergebnisse verzichtet wird. Lediglich die Überspannung in Abhängigkeit vom Gate-Widerstand fällt bei geringen Widerstandswerten schneller als beim NP110N055PUG ab. Dies liegt an der Abnahme der zusätzlichen Überspannung beim Abschalten durch die Einschaltüberspannung der aufkommutierenden Diode. Die erzielten experimentellen Ergebnisse können im Anhang in den Abb. 14.2 bis 14.6 nachgelesen werden.

Zusammenfassend ist die du/dt-control zur Beeinflussung des Ausschaltverhaltens bzw. des Gradienten des Drain-Stromes des hier betrachteten Typs an Leistungs-MOSFET gut geeignet. Bei höheren Gate-Widerständen steigt jedoch die Spannungsanstiegszeit im Vergleich zur Widerstandssteuerung stärker an, was wiederum höhere Ausschaltverluste verursacht. Die Erhöhung der Ausschaltverzögerungszeit konnte bei dem hier betrachteten, üblichen Bereich an Gate-Widerstandswerten nicht festgestellt werden.

5.3.2 Beeinflussung des Ausschaltverhaltens durch eine di/dt-control

Die sog. di/dt-control bildet das Gegenstück zur du/dt-control (siehe Abschnitt 5.3.1). Bei dieser Ansteuerungsmethode wird nicht die Drain-Source-Spannung sondern der Drain-Strom

differenziert und rückgekoppelt. In Abb. 5.12 sind zwei Realisierungsmöglichkeiten der di/dt-control illustriert.

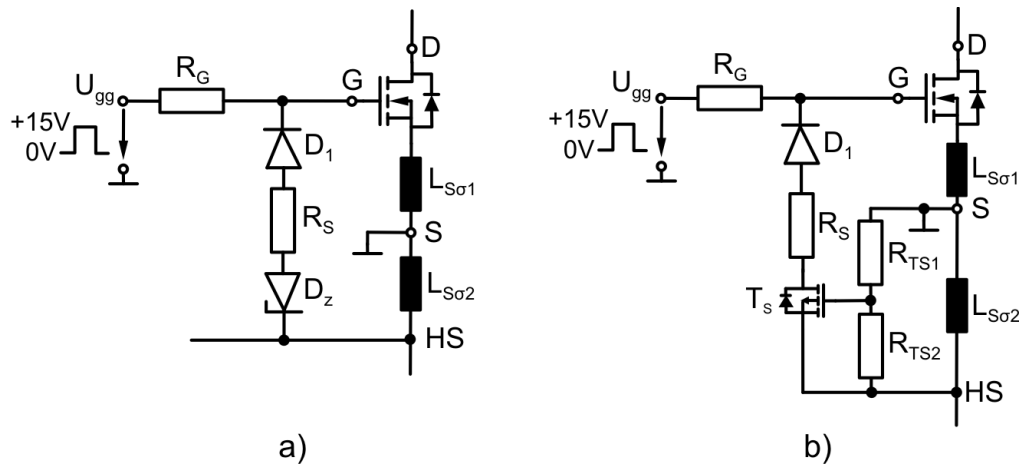


Abb. 5.12: Prinzipielle Schaltungen der di/dt-control: a) mittels Zenerdiode, b) mittels Signal-MOSFET

Die an einer Induktivität induzierte Spannung wird bei der di/dt-control direkt als Differentiation des Drain-Stromes auf den Treiberkreis zurückgekoppelt. Über den Rückkopplungspfad entsteht ein Stromfluss, der in den Treiberkreis eingepreßt wird und somit wiederum den Schaltvorgang verlangsamt.

Als Induktivität kann hier eine Streuinduktivität der Kupferleitung des Kommutierungsweges ausgenutzt werden. Eine zusätzlich eingebrachte Induktivität von mehreren Nanohenry ist bei Anwendungen mit Leistungs-MOSFETs mit hoher Stromtragfähigkeit nicht empfehlenswert, da dadurch die Gesamtstreuinduktivität des Kommutierungsweges zusätzlich vergrößert wird und wiederum zu höheren Überspannungen beim Abschalten führt.

Aufgrund der hohen Stromsteilheit der Leistungs-MOSFETs und der kurzen Schaltzeiten, muss der Rückführungspfad möglichst verzögerungsfrei auf ein Abfallen des Drain-Stromes reagieren. Die Realisierungsvariante in Abb. 5.12 (a) lieferte dabei bei der Anwendung mit Leistungs-MOSFETs keine zufriedenstellenden Ergebnisse bzw. keinen nennenswerten Effekt auf das Ausschaltverhalten, was durch ein schlechtes dynamisches Verhalten der Zenerdiode verursacht wurde. Die Realisierungsvariante in Abb. 5.12 (b) dagegen lieferte zufriedenstellende Ergebnisse. Voraussetzung hierfür ist ein schneller P-Kanal-MOSFET, der einen niedrigen Bahnwiderstand besitzt und den benötigten niederohmigen Strompfad in wenigen Nanosekunden freischaltet. Für die weitere Betrachtung wurde deshalb nur die Variante in Abb. 5.12 (b) näher untersucht und im Folgenden als di/dt-control bezeichnet.

Exemplarisch ist in Abb. 5.13 der Ein- und Ausschaltvorgang des NP110N055PUG bei Verwendung der di/dt-control im Vergleich zur Widerstandssteuerung aufgeführt. Wie zu erkennen ist, hat die di/dt-control keinen Einfluss auf den Einschaltvorgang, da die Diode D₁ einen Stromfluss durch den Rückkopplungszweig verhindert. Während des Ausschaltens reagiert der Rückkopplungspfad erst bei Eintreten einer negativen, induzierten Spannung an der Induktivität L_{Sσ2} bedingt durch die negative Steigung des Drain-Stromes. Wie anhand Abb.

5.13 zu erkennen ist, wird durch die di/dt -control der Betrag der Steigung des Drain-Stromes im Vergleich zur Widerstandssteuerung verringert. Das Resultat sind eine niedrigere Überspannung sowie eine höhere Ausschaltverlustenergie der di/dt -control.

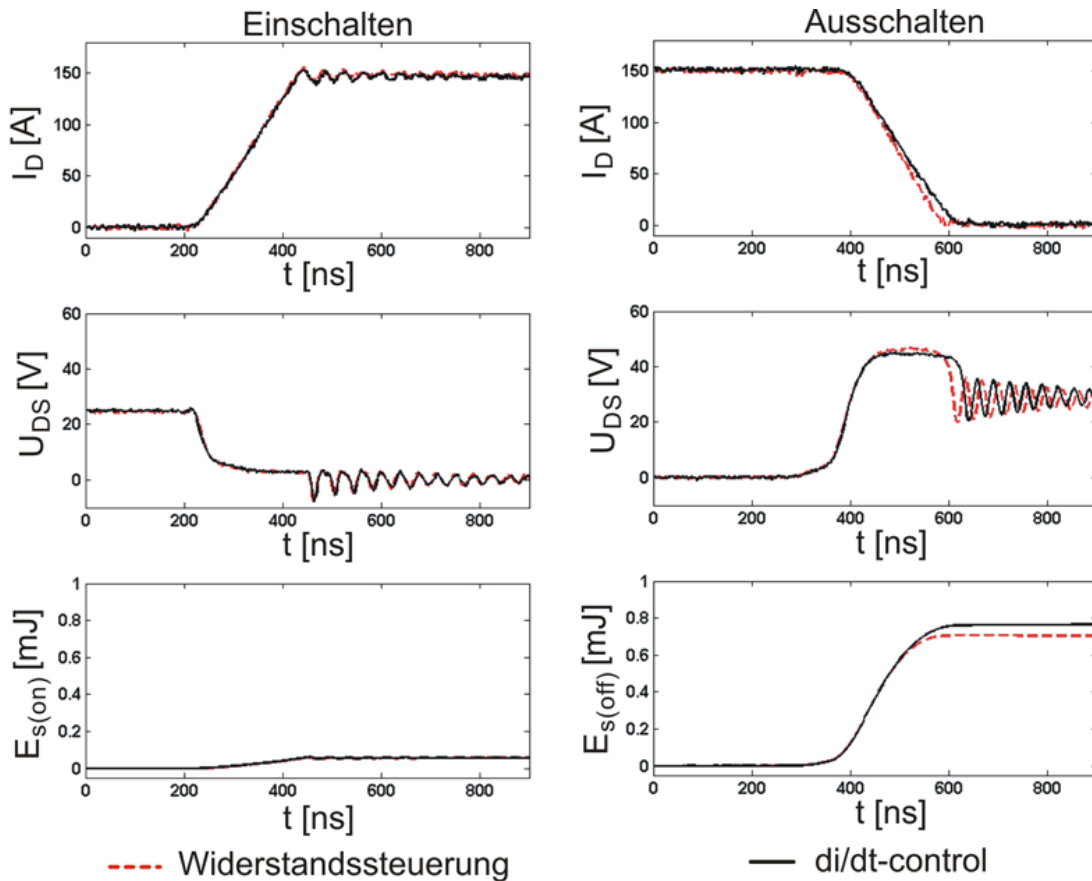


Abb. 5.13: Ein- und Ausschaltverhalten des NP110N055PUG bei der di/dt -control im Vergleich zur Widerstandssteuerung; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$, $R_G = 10\ \Omega$, $R_S = 0,3\ \Omega$

In Tab. 5.3 sind die Ergebnisse für einen Vergleich zwischen der di/dt -control und der Widerstandssteuerung für einen Betriebspunkt aufgelistet. Durch die di/dt -control kann bei beiden Prüflingen die Stromsteilheit di_D/dt nur relativ gering reduziert werden, wodurch die Reduzierung der Überspannung sich ebenfalls in Grenzen hält. Beim IRFS33067PbF ist dieser Effekt etwas schwächer als beim NP110N055PUG ausgeprägt.

Die folgenden Diagramme mit Ergebnissen des NP110N055PUG dienen zum Vergleich der wichtigsten Parameter mit der Widerstandssteuerung. Die Ergebnisse des IRFS3306PbF können im Anhang in den Abbildungen 14.7 bis 14.11 eingesehen werden.

In Abb. 5.14 ist zu erkennen, dass bei höheren Chiptemperaturen und relativ hohen Gate-Widerstandswerten die Spannungsanstiegszeit t_{ru} eine leichte Temperaturabhängigkeit bei beiden Ansteuermethoden aufweist. Weiterhin kann in Abb. 5.15 festgestellt werden, dass sich mit größer werdendem Gate-Widerstand die Stromfallzeiten bei der di/dt -control den Werten der Widerstandssteuerung angleichen. Dies wird durch eine Abnahme der Strom-

| | NP110N055PUG | | IRFS3306PbF | |
|-----------------------------------|--------------------|--------------------------------------|--------------------|--------------------------------------|
| | Widerstandsst. | di/dt-control | Widerstandsst. | di/dt-control |
| Beschaltung | $R_G = 7,5 \Omega$ | $R_G = 7,5 \Omega, R_s = 0,3 \Omega$ | $R_G = 7,5 \Omega$ | $R_G = 7,5 \Omega, R_s = 0,3 \Omega$ |
| Überspannung U_{pk} | 22,5 V | 19,7 V | 20,1 V | 18,8 V |
| Stromsteilheit di_D/dt | 802 A/ μ s | 730 A/ μ s | 689 A/ μ s | 632 A/ μ s |
| Spannungsanstiegszeit t_{ru} | 65,3 ns | 71,0 ns | 32,7 ns | 33,3 ns |
| Stromfallzeit t_{fi} | 149,7 ns | 164,2 ns | 174,1 ns | 189,7 ns |
| Ausschaltverzögerung $t_{d(off)}$ | 234,8 ns | 234,3 ns | 76,3 ns | 74,9 ns |
| Ausschaltenergie $E_{s(off)}$ | 680 μ J | 735 μ J | 714 μ J | 726 μ J |

Tab. 5.3: Ausschaltverhalten bei der di/dt-control und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150$ A, $U_{DD} = 24$ V, $T_J = 25^\circ$ C

steilheit mit wachsendem Gate-Widerstand verursacht, was wiederum eine Reduzierung der induzierten Spannung an $L_S\sigma_2$ zur Folge hat. Dadurch sinkt die Höhe des rückgekoppelten Stromes und damit die Effektivität der zusätzlichen Ansteuerschaltung. Die Stromfallzeiten gleichen sich nun den Werten der Widerstandssteuerung an.

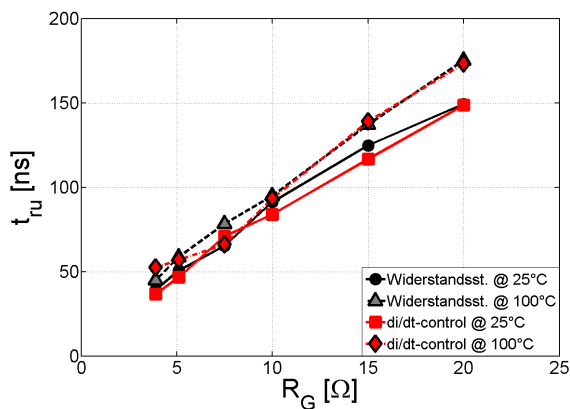


Abb. 5.14: Spannungsanstiegszeit t_{ru} bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24$ V, $I_L = 150$ A, $R_s = 0,3 \Omega$

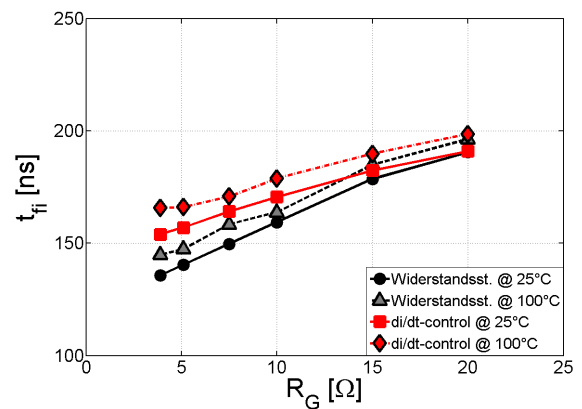


Abb. 5.15: Stromfallzeit t_{fi} bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24$ V, $I_L = 150$ A, $R_s = 0,3 \Omega$

Selbiger Effekt kann ebenfalls in den Abbildungen 5.16 und 5.17 ausgemacht werden, da bei der di/dt-control sich hier mit wachsendem Gate-Widerstand ebenfalls die Höhe der Überspannung beim Abschalten U_{pk} sowie geringfügig die Ausschaltenergie $E_{s(off)}$ den Werten der Widerstandssteuerung angleichen. Das heißt, bei der di/dt-control kann nur bei niedrigen Gate-Widerständen eine zufriedenstellende Steuerbarkeit der Stromsteilheit di_D/dt erreicht werden. Eine Beeinflussung der Ausschaltverzögerungszeit konnte bei der di/dt-control nach Abb. 5.18 nicht festgestellt werden.

Die di/dt-control bietet demnach eine sehr kostengünstige Lösung mit geringem Bauteilaufwand. Weiterhin wird ohne Auswirkung auf die Spannungsanstiegszeit bei dieser Methode nur Einfluss auf die Stromsteilheit genommen. Eine wesentliche Temperaturabhängigkeit besteht bei dieser Ansteuerungsmethode nicht. Allerdings ist die Steuerbarkeit der Stromsteilheit nur bei geringen Gate-Widerstandswerten zufriedenstellend, was den Anwendungsbereich der di/dt-control einschränkt.

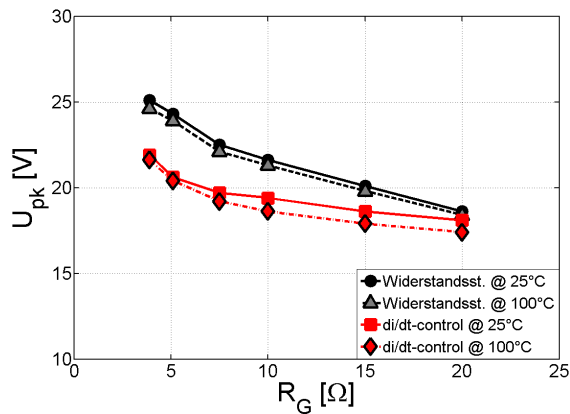


Abb. 5.16: Überspannung U_{pk} beim Abschalten bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 0,3\ \Omega$

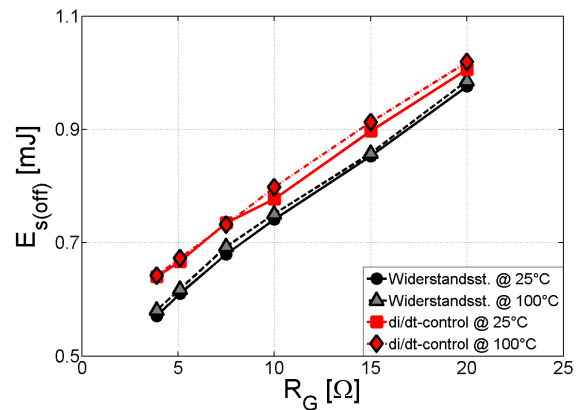


Abb. 5.17: Ausschaltenergie $E_{s(off)}$ bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 0,3\ \Omega$

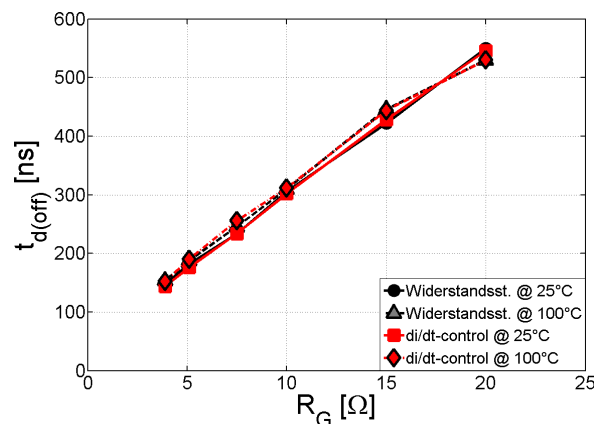


Abb. 5.18: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 0,3\ \Omega$

5.3.3 Beeinflussung des Ausschaltverhaltens durch ein zweistufiges Ansteuerungsverfahren

Die zweistufige Ansteuerung ist eine bezüglich der Anzahl der Bauteile aufwendigere Ansteuerung als die di/dt- oder du/dt-control. In Abb. 5.19 ist die prinzipielle Realisierung der hier betrachteten zweistufigen Ansteuerung abgebildet.

Das Funktionsprinzip der hier realisierten zweistufigen Ansteuerung ist dabei wie folgt: Zu Beginn ist der Leistungs-MOSFET eingeschaltet und befindet sich im Ohmschen Bereich, in dem am MOSFET während dieses Zustandes nur wenige hundert Millivolt anliegen. Über den Widerstand R_1 und die Diode D_1 wird der Leistungs-MOSFET auf eine Entsättigung hin überwacht.

Der Ausschaltvorgang ist im Folgenden in zwei Phasen unterteilt. Während der ersten Phase

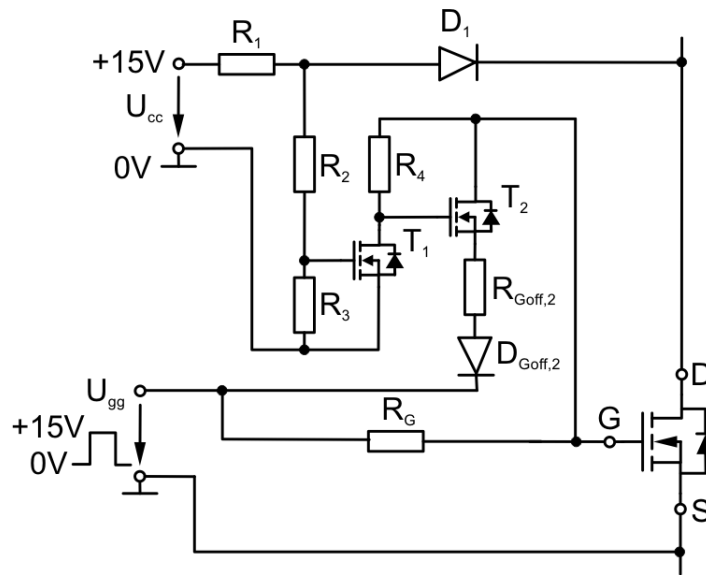


Abb. 5.19: Prinzipielle Schaltung der zweistufigen Ansteuerung

des Ausschaltens des Leistungs-MOSFETs wird zum eigentlichen Gate-Widerstand R_G ein zusätzlicher, niederohmiger Strompfad mittels $R_{Goff,2}$ parallel geschaltet. Dadurch kann in der ersten Phase des Ausschaltens die Eingangskapazität C_{iss} des Leistungs-MOSFETs sehr schnell entladen und damit die Ausschaltverzögerungszeit deutlich reduziert werden. Desweiteren wird vor allem die Spannungsanstiegszeit verringert. Bei einem Anstieg der Drain-Source-Spannung auf einen zuvor festgelegten Referenzwert bzw. Schwellenwert wird der niederohmige Strompfad über die Transistoren T_1 und T_2 weggeschaltet und der negative Gate-Strom muss nun über den Gate-Widerstand R_G fließen. Der Ausschaltvorgang folgt nun in der zweiten Phase dem Verlauf der Widerstandssteuerung. Mittels dieser Ansteuerung wird die Stromsteilheit im Idealfall nicht weiter beeinflusst.

Bei der Realisierung dieser Ansteuerung sind, neben den internen Gate-Widerständen R_{Gint} und R_{Gi} des Leistungs-MOSFETs und des Gehäuses, ebenfalls der Bahnwiderstand des Transistors T_2 , der Diode $D_{Goff,2}$ sowie der Innenwiderstand des Treiberlogik-ICs bzw. der Spannungsquelle U_{gg} mitzubedenken. Aufgrund des sehr niedrigen Widerstandes $R_{Goff,2}$ stellen Letztere schnell den maßgeblichen Ausschaltwiderstand während der ersten Ausschaltphase dar.

Das experimentelle Ein- und Ausschaltverhalten dieser Ansteuerung ist zum Vergleich mit der Widerstandssteuerung in Abb. 5.20 illustriert. Wie dort ersichtlich ist, hat die zweistufige Ansteuerung keinen Einfluss auf das Einschaltverhalten, was durch die Entsättigungserkennung (R_1, D_1) sowie die Diode $D_{Goff,2}$ verhindert wird. Während des Ausschaltens ist erkennbar, dass der Spannungsanstieg bei der zweistufigen Ansteuerung, bedingt durch den niederohmigen Strompfad, erheblich steiler verläuft. Während der zweiten Phase des Ausschaltens liegt bei dieser Ansteuerung dieselbe Stromsteilheit wie bei der Widerstandssteuerung vor.

Exemplarisch sind für diesen Betriebspunkt in Tab. 5.4 die Ergebnisse der zweistufigen Ansteuerung für beide Prüflinge im Vergleich zur Widerstandssteuerung aufgeführt. Es ist dort

ersichtlich, dass die Stromsteilheit durch die zweistufige Ansteuerung kaum beeinflusst wird und damit zur selben Überspannung U_{pk} führt. Die Spannungsanstiegszeit dagegen wird in diesem Betriebspunkt um mehr als die Hälfte reduziert, wodurch folglich die Ausschaltenergien deutlich sinken.

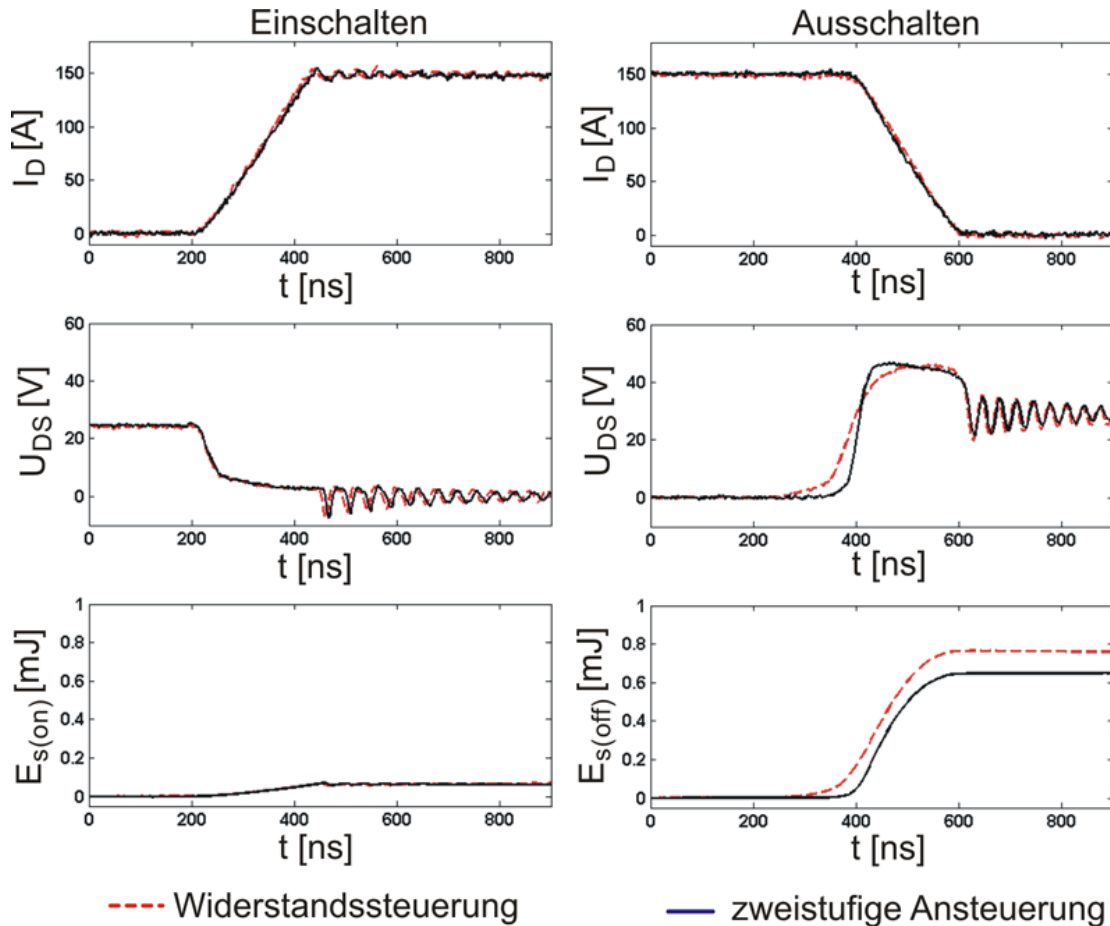


Abb. 5.20: Ein- und Ausschaltverhalten des NP110N055PUG bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung; Bed.: $I_L = 150 \text{ A}$, $U_{DD} = 24 \text{ V}$, $T_J = 25^\circ \text{ C}$, $R_G = 10 \Omega$, $R_{Goff,2} = 0,47 \Omega$

| | NP110N055PUG | | IRFS3306PbF | |
|-----------------------------------|-------------------|---|-------------------|---|
| | Widerstandsst. | zweistuf. Anst. | Widerstandsst. | zweistuf. Anst. |
| Beschaltung | $R_G = 10 \Omega$ | $R_G = 10 \Omega, R_{Goff,2} = 0,47 \Omega$ | $R_G = 10 \Omega$ | $R_G = 10 \Omega, R_{Goff,2} = 0,47 \Omega$ |
| Überspannung U_{pk} | 21,6V | 21,4V | 19,4V | 21,2V |
| Stromsteilheit di_D/dt | 753 A/ μ s | 751 A/ μ s | 671 A/ μ s | 664 A/ μ s |
| Spannungsanstiegszeit t_{ru} | 91,3 ns | 33,4 ns | 41,7 ns | 18,1 ns |
| Stromfallzeit t_{fi} | 159,3 ns | 160,1 ns | 178,7 ns | 180,7 ns |
| Ausschaltverzögerung $t_{d(off)}$ | 306,2 ns | 122,3 ns | 101,7 ns | 48,4 ns |
| Ausschaltenergie $E_{s(off)}$ | 741 μ J | 632 μ J | 762 μ J | 645 μ J |

Tab. 5.4: Ausschaltverhalten bei der zweistufigen Ansteuerung und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150 \text{ A}$, $U_{DD} = 24 \text{ V}$, $T_J = 25^\circ \text{ C}$

Dieser Effekt kann auch in den folgenden Diagrammen beobachtet werden. Während bei der Widerstandssteuerung die Spannungsanstiegszeit in Abb. 5.21 mit steigendem Gate-Widerstand ebenfalls steigt, steigt diese bei der zweistufigen Ansteuerung nur geringfügig an. Die Stromfallzeiten in Abb. 5.22 gleichen nahezu den Stromfallzeiten bei der Widerstandssteuerung.

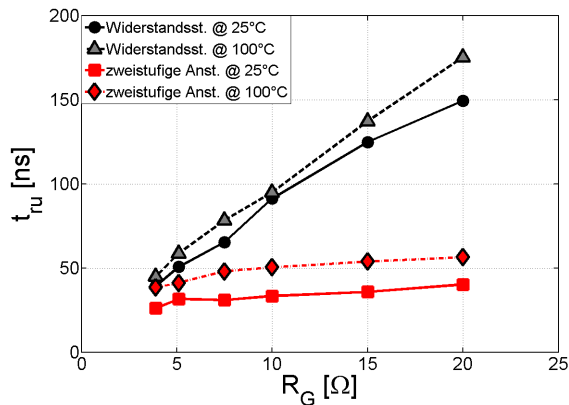


Abb. 5.21: Spannungsanstiegszeit t_{ru} bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

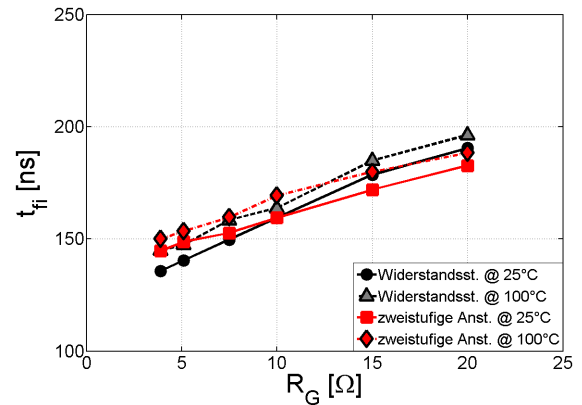


Abb. 5.22: Stromfallzeit t_{fi} bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

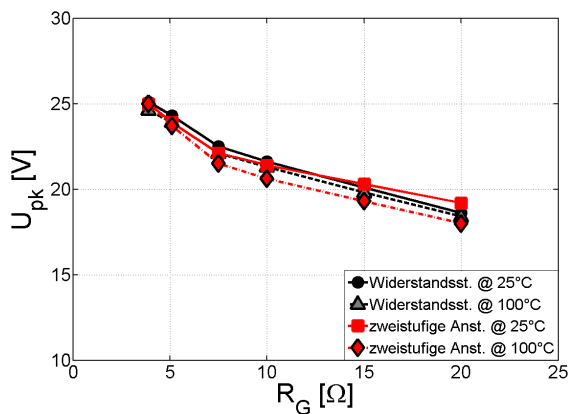


Abb. 5.23: Überspannung U_{pk} beim Abschalten bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

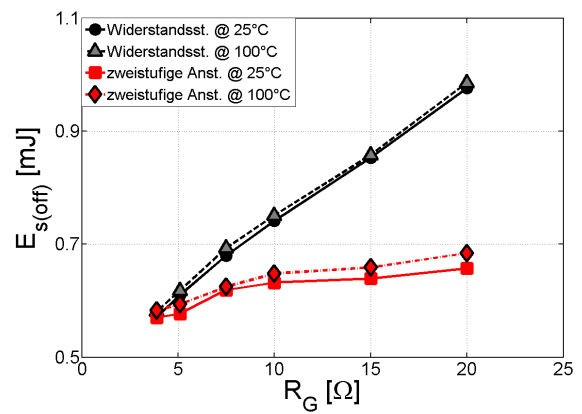


Abb. 5.24: Ausschaltenergie $E_{s(off)}$ bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

Das Resultat des zweistufigen Ansteuerverfahrens ist in Abb. 5.23 und Abb. 5.24 ersichtlich. Während sich die Überspannung beim Abschalten aufgrund der nahezu gleichbleibenden Stromsteilheit nicht wesentlich von der Überspannung mit Widerstandssteuerung unterscheidet, so ist der Anstieg der Ausschaltenergien mit wachsendem Gate-Widerstand erheblich reduziert. Vor allem bei größeren Gate-Widerständen wird dieser Effekt deutlich.

Ein weiterer Vorteil der zweistufigen Ansteuerung ist der Einfluss auf die Ausschaltverzögerungszeit $t_{d(off)}$, deren Abhängigkeit vom Gate-Widerstand in Abb. 5.25 dargestellt ist. Wegen des niederohmigen Strompfades bleibt die Ausschaltverzögerungszeit $t_{d(off)}$ für alle Gate-Widerstände R_G nahezu konstant auf einem sehr niedrigen Wert. Mittels der zweistufig-

gen Ansteuerung kann somit eine Reduzierung der gemeinsamen Verriegelungszeit („Totzeit“) zwischen den Leitendphasen der Low- und High-Side-Leistungshalbleiter erreicht werden. Wird jedoch die Verriegelungszeit bei Verwendung der zweistufigen Ansteuerung im Vergleich zur Widerstandsbeschaltung nicht angepasst bzw. verkürzt, kann die Verlustleistungsreduzierung nicht voll ausgeschöpft werden. Durch die in diesem Fall nun längere Leitdauer der antiparallelen Body-Dioden entstehen aufgrund der Schleusenspannung höhere Verluste im Halbleiter. Weiterhin führt der längere Spannungsabfall über den Dioden während der gemeinsamen Verriegelungszeit dazu, dass weniger Spannung am Motor anliegt, d.h. dass bei gleicher Ausgangsleistung mehr Phasenstrom fließt und somit die Halbleiter- und Kupferverluste zusätzlich leicht ansteigen (siehe Abschnitt 8.3.2.2).

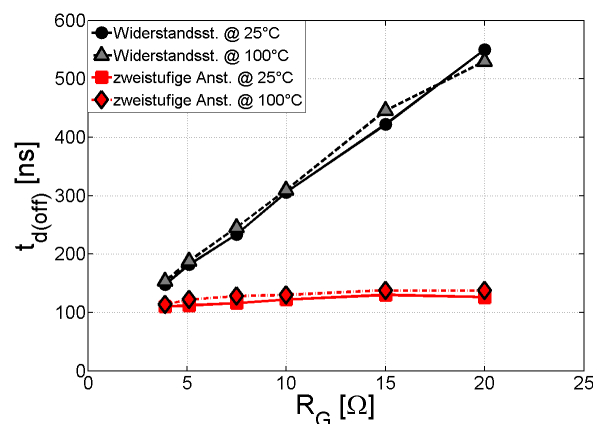


Abb. 5.25: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der zweistufigen Ansteuerung im Vergleich zur konventionellen Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

Beim IRFS3306PbF ergeben sich im Gegensatz zum NEC-MOSFET bei niedrigen Gate-Widerständen im Falle der zweistufigen Ansteuerung ein bis zwei Volt höhere Überspannungen als im Fall der Widerstandssteuerung. Die Ergebnisse des Prüflings IRFS3306PbF befinden sich im Anhang.

Die zweistufige Ansteuerung bietet eine gute Möglichkeit zur Reduzierung der Ausschaltverluste im Vergleich zur Widerstandssteuerung. Durch die Verringerung der Spannungsanstiegszeit wird die Ausschaltverlustenergie erheblich verringert. Eine Beeinflussung der Stromsteilheit findet nicht statt. Weiterhin kann mittels dieses Ansteuerungsverfahrens die Ausschaltverzögerungszeit klein und nahezu konstant gehalten werden, wodurch indirekt eine weitere Reduzierung der Halbleiterverluste über eine Verringerung der gemeinsamen Verriegelungszeit in Umrichtern mit Halbbrückenkonfiguration möglich ist. Nachteilig ist der relativ hohe Bauteilaufwand im Vergleich zur di/dt- und du/dt-control.

5.3.4 Beeinflussung des Ausschaltverhaltens durch Einprägung eines positiven Gate-Stromes

Ähnlich wie schon bei der di/dt -control wird bei der folgend vorgestellten Ansteuermethode versucht, durch eine Einprägung eines positiven Stromes in den Gate-Ansteuerkreis die Stromsteilheit beim Abschalten zu beeinflussen. Anders jedoch als bei der di/dt -control hängt der einzuprägende Strom nicht direkt von der Stromsteilheit sondern von einer einstellbaren Steuerspannung U_d ab. Im Folgenden wird diese Ansteuermethode zur Abkürzung „Stromeinprägung“ genannt. In Abb. 5.26 ist die prinzipielle Schaltung der in dieser Arbeit realisierten Stromeinprägung dargestellt.

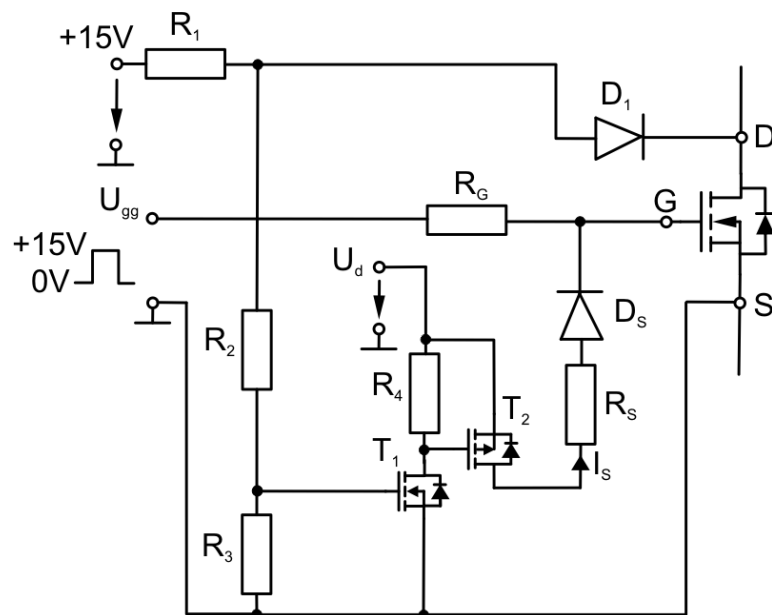


Abb. 5.26: Prinzipielle Schaltung der Stromeinprägung

Wie schon bei der zweistufigen Ansteuerung wird bei der Stromeinprägung die Drain-Source-Spannung des Leistungs-MOSFETs mittels einer Entsättigungserkennung (R_1 , D_1) überwacht. Steigt die Drain-Source-Spannung über einen Referenzwert, steuert der NMOS T_1 und darauffolgend der PMOS T_2 auf. Auf diese Weise entsteht ein Strompfad zwischen der Steuerspannungsquelle U_d und dem Gate des Leistungs-MOSFETs. Dadurch ist es möglich, die Stromsteilheit zu verringern ohne die Spannungsanstiegszeit zu vergrößern. Mittels des Widerstandes R_s kann der Stromfluss begrenzt werden. Der Spannungsteiler bestehend aus R_2 und R_3 wurde so gewählt, dass während der Stromanstiegszeit der Stromeinprägungspfad nicht aufgeschaltet wird.

Wie bereits erwähnt, bietet die Stromeinprägung den Vorteil gegenüber der di/dt -control, dass die Beeinflussung nicht von der Stromsteilheit selbst, sondern von der Steuerspannung U_d abhängt. Dies hat wiederum zur Folge, dass eine vom Betriebspunkt abhängige Ansteuerung möglich ist, was vor allem bei Batterien gespeisten Umrichtern von Vorteil sein kann. Aufgrund der Eigenschaft typischer Fahrzeug-Batterien, wie sie beispielsweise in Flurförderfahrzeugen und Kommissionierern verwendet werden, können während des Fahrbetriebs

beim Laden/Bremsen und Entladen/Fahren sehr hohe Batteriespannungsschwankungen entstehen.

In vielen Umrichter-Applikationen bedeutet dies, dass es zu einer sehr hohen Schwankung der von den Leistungs-MOSFETs zu sperrenden Spannung kommt. Beispielsweise kann während des Entladens der Batterie bzw. des Fahrens bei einer typischen Bleibatterie eines Flurförderfahrzeugs mit einer Leerlaufspannung von 24 V die Batteriespannung in Abhängigkeit vom Ladezustand auf nur 66 % der Leerlaufspannung sinken. Während des Ladens der Batterie bzw. des Bremsens des Fahrzeugs kann die Batteriespannung wiederum im äußersten Fällen auf 133 % der Leerlaufspannung steigen. Für die Auslegung des batteriegepeisten Umrichters muss jedoch die höchst mögliche Eingangsspannung des Umrichters, hier beispielsweise 133 % der Batterie-Leerlaufspannung, bei der Abschätzung der benötigten Sperrspannungsfestigkeit der Leistungs-MOSFETs sowie bei den Anforderungen an die Treiberschaltungen berücksichtigt werden. Das heißt, die Auslegung wird maßgeblich durch die höchstmögliche Batteriespannung bestimmt, obwohl diese Betriebspunkte der Batterie nur in seltenen Fällen und in der Regel nur für kurze Augenblicke erreicht werden.

So ist es bei der Ansteuerungsmethode der Stromeinprägung möglich, bei niedrigen Batteriespannungen und damit niedrigen Eingangsspannungen des Umrichters, den Leistungs-MOSFET schneller ausschalten zu lassen, indem die Steuerspannung U_d gleich Null Volt gewählt wird. Bei hohen Batteriespannungen kann durch die Stromeinprägung die Stromsteilheit gezielt verringert werden, um die maximale Sperrspannungsfähigkeit des Leistungs-MOSFETs nicht zu überschreiten.

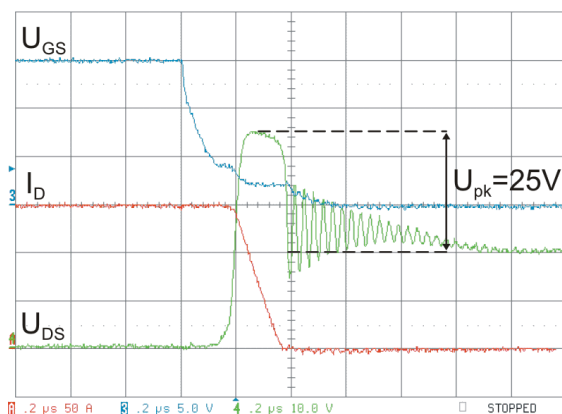


Abb. 5.27: Ausschaltvorgang des NP110N055PUG bei niedriger Zwischenkreisspannung und ausgeschalteter Stromeinprägung; Bed.: $U_{DD} = 20\text{ V}$, $I_L = 150\text{ A}$, $R_G = 3,9\ \Omega$, $R_S = 3,9\ \Omega$, $U_d = 0\text{ V}$, $T_J = 25^\circ\text{C}$, t 200 ns/div, Ch. 3: U_{GS} 5 V/div, Ch. 4: U_{DS} 10 V/div, Ch. A: I_D 50 A/div

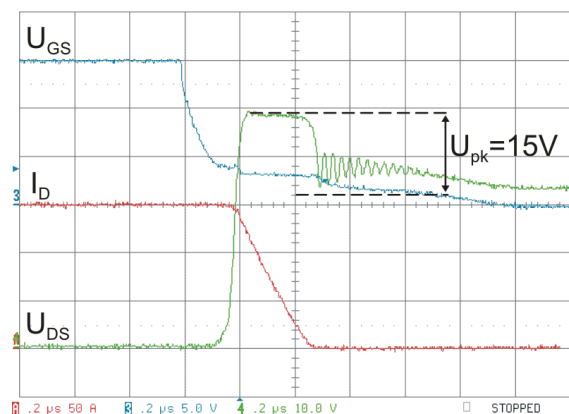


Abb. 5.28: Ausschaltvorgang des NP110N055PUG bei hoher Zwischenkreisspannung und eingeschalteter Stromeinprägung; Bed.: $U_{DD} = 32\text{ V}$, $I_L = 150\text{ A}$, $R_G = 3,9\ \Omega$, $R_S = 3,9\ \Omega$, $U_d = 6,8\text{ V}$, $T_J = 25^\circ\text{C}$, t 200 ns/div, Ch. 3: U_{GS} 5 V/div, Ch. 4: U_{DS} 10 V/div, Ch. A: I_D 50 A/div

In den Abbildungen 5.27 und 5.28 ist exemplarisch für zwei unterschiedliche Betriebspunkte dieser Sachverhalt beim Ausschalten dargestellt. Im Falle einer niedrigen Zwischenkreisspannung und deaktivierter Stromeinprägung ist in Abb. 5.27 erkennbar, dass durch die negative Steigung des Stromes die Überspannung $U_{pk} = 25\text{ V}$ beträgt.

Bei einer Zwischenkreisspannung von 32 V, wie in Abb. 5.28, würde dies bedeuten, dass die Summe aus Zwischenkreisspannung und Überspannungsspitze 57 V betrage und es zu einem Avalanche-Durchbruch käme (z.B. NP110N055PUG: $U_{DSS}(T_J = 25^\circ\text{C}) = 55\text{ V}$). Mit aktivierter Stromeinprägung jedoch kann, wie in Abb. 5.28 zu sehen, die Stromsteilheit so reduziert werden, dass die Überspannung U_{pk} nur noch 15 V beträgt und somit die maximale Spannungsfestigkeit des Leistungs-MOSFETs nicht überschritten wird.

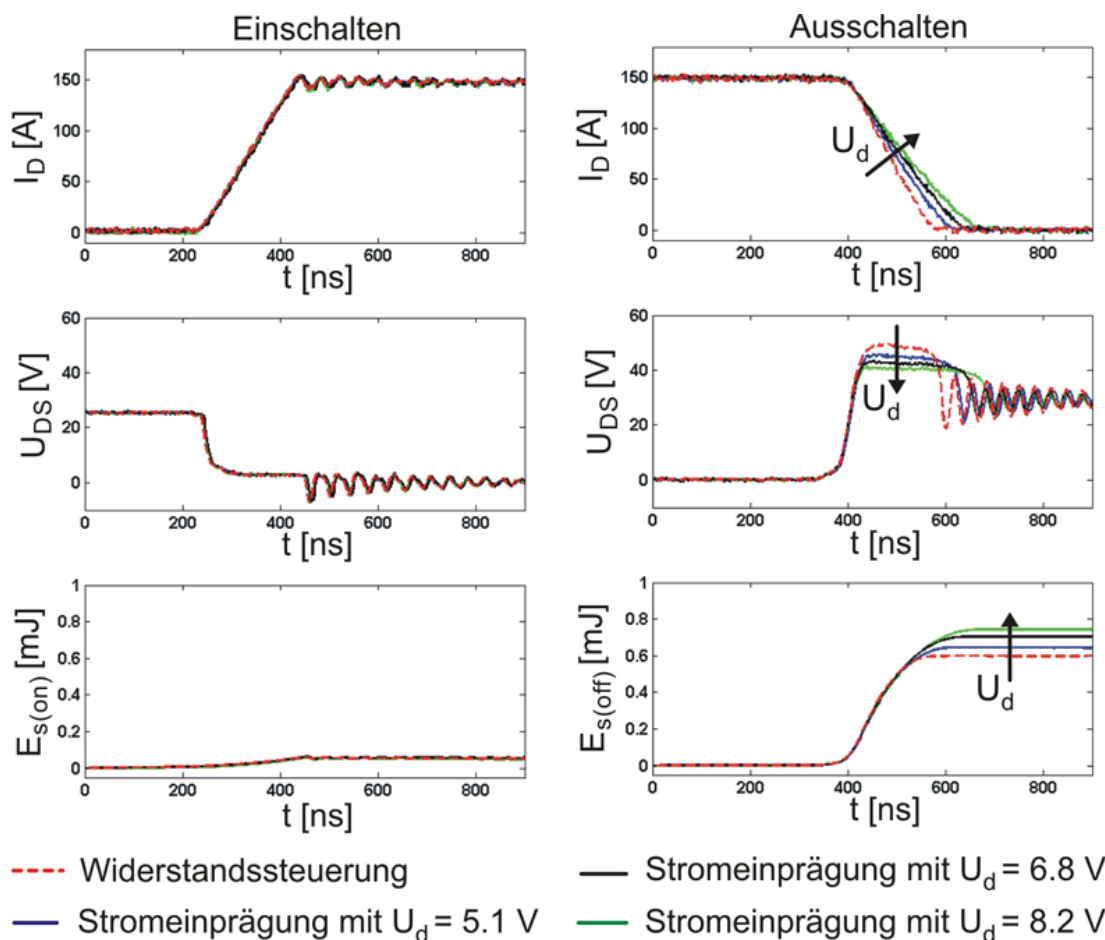


Abb. 5.29: Ein- und Ausschaltverhalten des NP110N055PUG bei der Stromeinprägung bei Variation der Steuerspannung U_d ; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$, $R_G = 3,9\Omega$, $R_S = 3,9\Omega$

In Abb. 5.29 ist das Ein- und Ausschaltverhalten des NP110N055PUG bei der Stromeinprägung mit unterschiedlichen Steuerspannungen U_d abgebildet. Der Verlauf für $U_d = 0\text{ V}$ entspricht dem der konventionellen Widerstandssteuerung. Wie zu erkennen ist, hat die Stromeinprägung keinen Einfluss auf das Einschaltverhalten des Leistungs-MOSFETs. Beim Abschalten jedoch kann die Stromsteilheit mit ansteigender Steuerspannung verringert werden, was wiederum eine Reduzierung der Überspannung beim Abschalten zur Folge hat. Die-

se Reduzierung wird schließlich mit einer Erhöhung der Ausschaltverlustenergie erkauft. Wie in Abschnitt 5.4 gezeigt wird, ist die durch die Stromeinprägung verursachte Ausschaltverlustenergie bei gleicher Überspannung bzw. Stromsteilheit jedoch geringer als bei einer konventionellen Widerstandssteuerung.

Exemplarisch sind in Tab. 5.5 die Ergebnisse der Messungen beider Prüflinge bei einer Widerstandssteuerung und bei einer Stromeinprägung für einen ausgewählten Betriebspunkt aufgeführt. Wie ersichtlich ist, führt die Stromeinprägung zu einer Reduzierung der Überspannung beim Abschalten, ohne jedoch die Spannungsanstiegszeit oder die Ausschaltverzögerungszeit zu erhöhen. Beim IRF3306PbF kann jedoch mit der ausgewählten Beschaltung nur eine geringe Reduzierung von U_{pk} erreicht werden, da hier die Einschaltüberspannungsspitze U_{FRM} der aufkommutierenden Diode nicht gleichermaßen wie die Stromsteilheit verringert werden kann.

| | NP110N055PUG | | IRFS3306PbF | |
|-----------------------------------|----------------------|--|----------------------|--|
| | Widerstandsst. | Stromeinprägung | Widerstandsst. | Stromeinprägung |
| Beschaltung | $R_G = 3,9\Omega$ | $R_G = 3,9\Omega$, $R_s = 5,1\Omega$, $U_d = 5,1\text{V}$ | $R_G = 3,9\Omega$ | $R_G = 3,9\Omega$, $R_s = 5,1\Omega$, $U_d = 5,1\text{V}$ |
| Überspannung U_{pk} | 25,1 V | 20,8 V | 26,3 V | 24,0 V |
| Stromsteilung di_D/dt | 884 A/ μs | 733 A/ μs | 729 A/ μs | 636 A/ μs |
| Spannungsanstiegszeit t_{ru} | 39,3 ns | 41,9 ns | 16,5 ns | 16,0 ns |
| Stromfallzeit t_{fi} | 135,7 ns | 163,6 ns | 164,7 ns | 188,5 ns |
| Ausschaltverzögerung $t_{d(off)}$ | 148,1 ns | 148,3 ns | 48,0 ns | 46,9 ns |
| Ausschaltenergie $E_{s(off)}$ | 571 μJ | 633 μJ | 635 μJ | 642 μJ |

Tab. 5.5: Ausschaltverhalten bei der Stromeinprägung und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150\text{A}$, $U_{DD} = 24\text{V}$, $T_J = 25^\circ\text{C}$, $R_G = 3,9\Omega$

Im Folgenden werden die für das Ausschalten charakteristischen Ergebnisse der vorgestellten Ansteuerermethode im Vergleich zur Widerstandssteuerung für den NP110N055PUG vorgestellt. Die Ergebnisse für den IRFS3306PbF befinden sich in den Abbildungen 14.17 bis 14.21 im Anhang und unterscheiden sich nur wenig von denen des NEC-Chips.

Wie in Abb. 5.30 erkennbar, unterscheiden sich die Spannungsanstiegszeiten bei der Stromeinprägung von denen bei der Widerstandssteuerung kaum. Die Stromfallzeiten jedoch können bei der Stromeinprägung erheblich vergrößert werden (siehe Abb. 5.31). Im Gegensatz zur di/dt-control sinkt die Beeinflussbarkeit der Stromsteilheit bei dieser Ansteuerermethode nicht mit wachsendem Gate-Widerstand. Die Folge ist eine deutliche Reduzierung der Überspannung im Vergleich zur Widerstandssteuerung und eine Erhöhung der Ausschaltverlustenergie, was den Abbildungen 5.32 und 5.33 entnommen werden kann. Beim IRFS3306PbF ist in Abb. 14.19 im Anhang ersichtlich, dass bei kleinen Gate-Widerständen, aufgrund der nur geringfügig reduzierten Einschaltüberspannung U_{FRM} der aufkommutierenden Diode, die Überspannung beim Abschalten nur wenig reduziert werden kann. Die Ausschaltverzögerungszeit $t_{d(off)}$ wird, wie erwartet, durch die Stromeinprägung nicht beeinflusst (siehe Abb. 5.34).

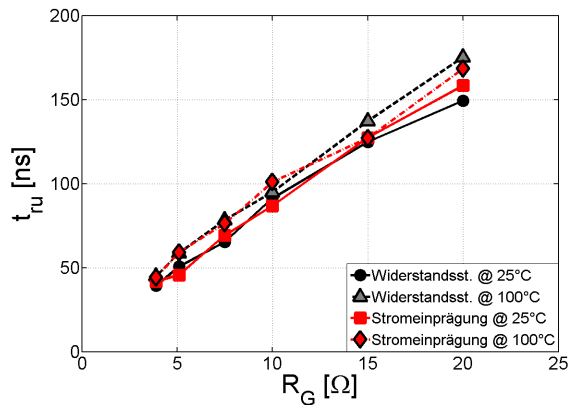


Abb. 5.30: Spannungsanstiegszeit t_{ru} bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$

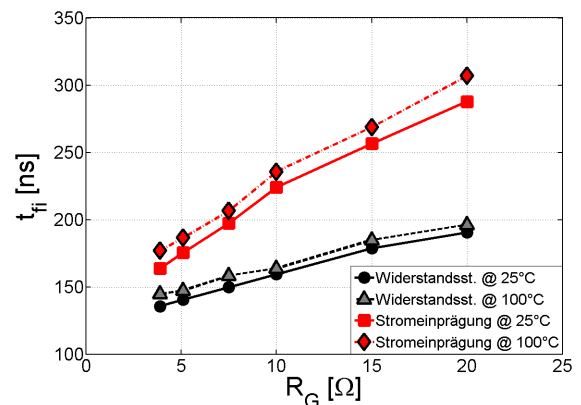


Abb. 5.31: Stromfallzeit t_{fi} bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$

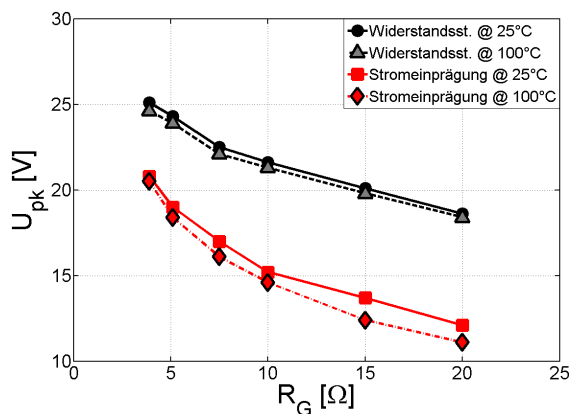


Abb. 5.32: Überspannung U_{pk} während des Abschaltens bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$

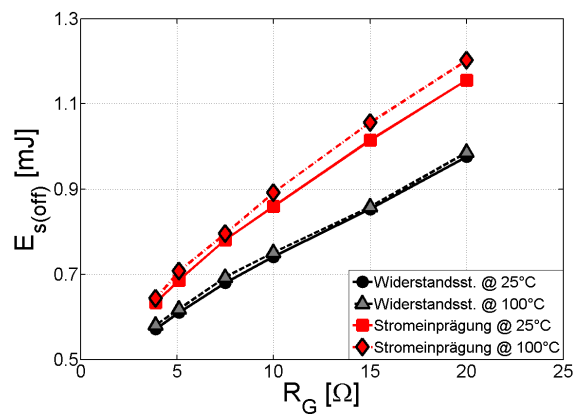


Abb. 5.33: Ausschaltenergie $E_{s(off)}$ bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$

Die Ansteuerungsmethode der Stromeinprägung bietet eine gute Möglichkeit zur direkten Kontrolle der Stromsteilheit beim Abschalten des Leistungs-MOSFETs. Die Spannungsanstiegszeit und die Ausschaltverzögerungszeit werden nicht beeinflusst. Durch die einstellbare bzw. wählbare Steuerspannung U_d kann ein vom Betriebspunkt abhängiges Ausschalten realisiert werden. Die Beeinflussung des Ausschaltvorgangs ist, im Gegensatz zur Ansteuerungsmethode der di/dt-control, unabhängig von der Stromsteilheit.

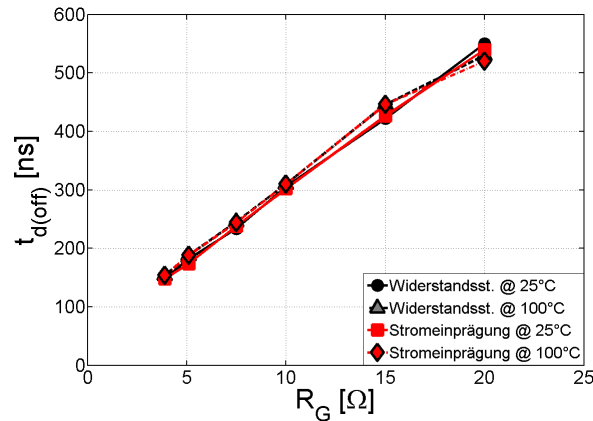


Abb. 5.34: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der Stromeinprägung im Vergleich zur konventionellen Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24\text{V}$, $I_L = 150\text{A}$, $R_s = 5,1\Omega$, $U_d = 5,1\text{V}$

5.3.5 Beeinflussung des Ausschaltverhaltens durch Kombination aus zweistufiger Ansteuerung und Einprägung eines positiven Gate-Stromes

Anhand der erzielten Ergebnisse bei der Untersuchung der verschiedenen Ansteuerverfahren bietet es sich an, die zweistufige Ansteuerung sowie die Stromeinprägung miteinander zu kombinieren. Auf diese Weise ist es möglich, die Spannungsanstiegszeit und die Stromfallzeit separat voneinander zu kontrollieren. In Abb. 5.35 ist das Prinzipschaltbild der kombinierten Ansteuermethoden dargestellt. Auf eine genauere Erläuterung der Funktionsweise wird an dieser Stelle verzichtet und auf die Abschnitte 5.3.3 und 5.3.4 verwiesen.

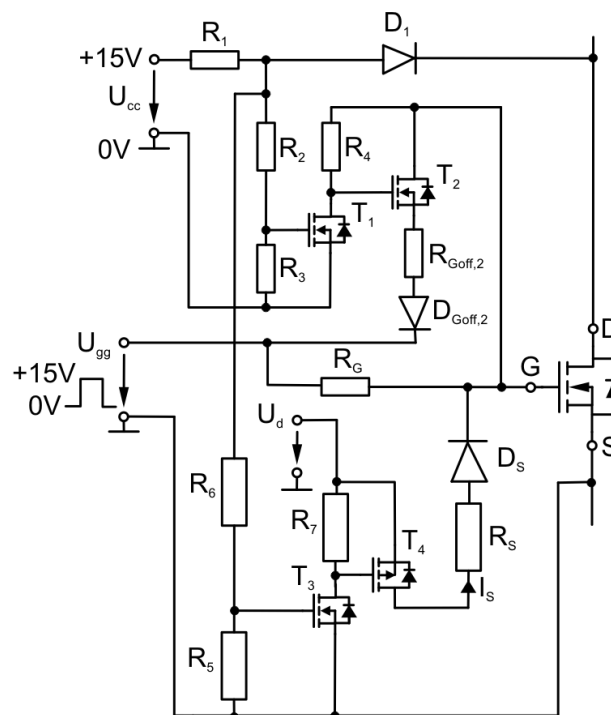


Abb. 5.35: Prinzipielle Schaltung der Kombination aus der zweistufigen Ansteuerung und der Stromeinprägung

In Abb. 5.36 ist das Schaltverhalten des NP110N055PUG im Falle einer Widerstandssteuerung sowie der Kombination aus zweistufiger Ansteuerung und Stromeinprägung für einen exemplarischen Betriebspunkt abgebildet. Die Reduzierung der Spannungsanstiegszeit zu Beginn des Ausschaltvorgangs, bedingt durch die zweistufige Ansteuerung, ist deutlich erkennbar. Mittels der Stromeinprägung wird darauffolgend die Stromsteilheit verringert, was zu einer Reduzierung der Überspannung beim Abschalten führt. Die Ausschaltverlustenergie $E_{s(off)}$ ist bei der kombinierten Ansteuerungsmethode für diesen Betriebspunkt nahezu identisch mit der der Widerstandssteuerung.

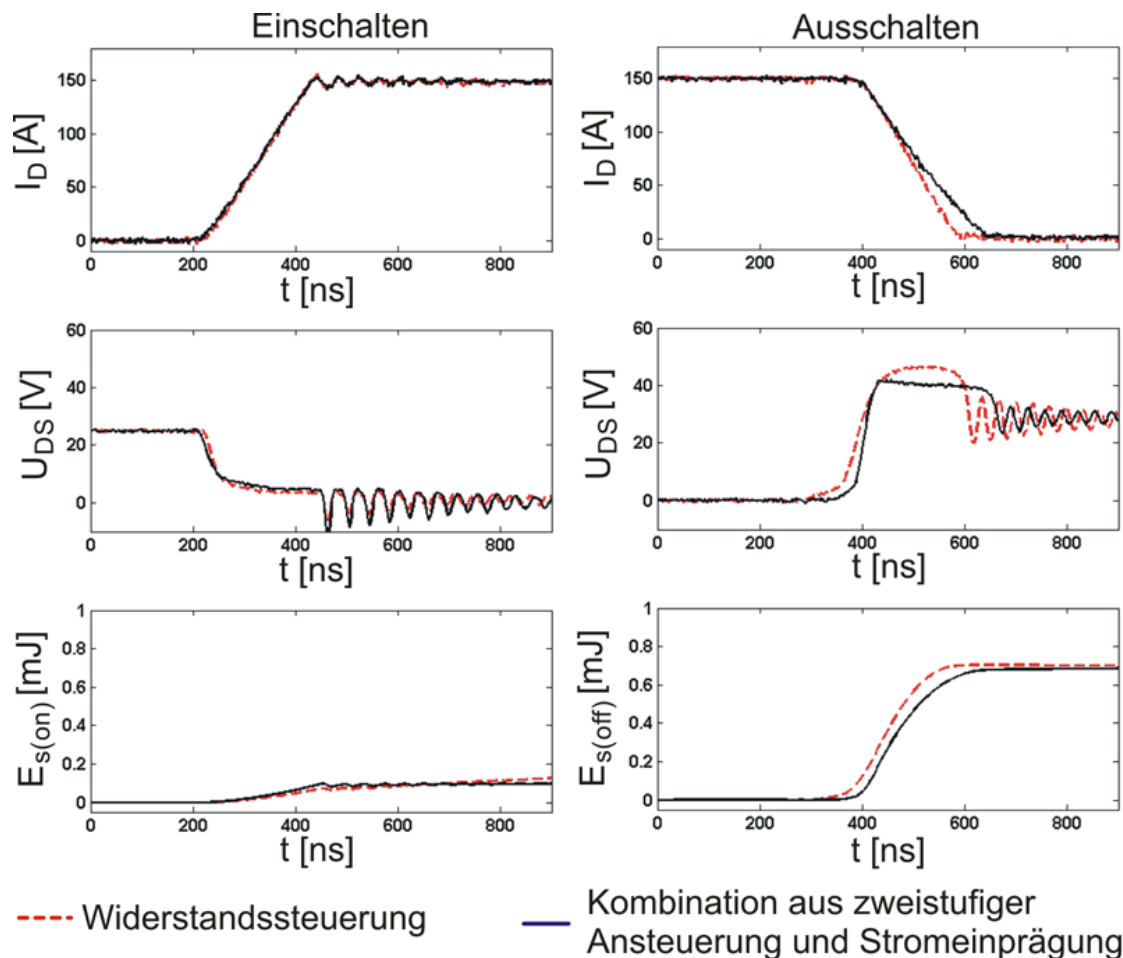


Abb. 5.36: Ein- und Ausschaltverhalten des NP110N055PUG bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung; Bed.: $I_L = 150 \text{ A}$, $U_{DD} = 24 \text{ V}$, $T_J = 25^\circ \text{ C}$, $R_G = 7,5 \Omega$, $R_s = 5,1 \Omega$, $U_d = 5,1 \text{ V}$, $R_{Goff,2} = 0,47 \Omega$

In Tab. 5.6 sind für einen Vergleich mit der Widerstandssteuerung die wichtigsten Parameter des kombinierten Ansteuerverfahrens für beide Prüflinge aufgelistet. Wie zu erkennen ist, können jeweils die positiven Eigenschaften der beiden Ansteuermethoden, d.h. reduzierte Spannungsanstiegszeit, reduzierte Überspannung sowie verkürzte Ausschaltverzögerungszeit, bei beiden Prüflingen miteinander kombiniert werden.

Zur Charakterisierung der kombinierten Ansteuerungsmethode aus zweistufiger Ansteuerung und Stromeinprägung sind in den Abbildungen 5.37 bis 5.41 die wichtigsten erzielten Parameter

| | NP110N055PUG | | IRFS3306PbF | |
|-----------------------------------|-------------------|---|-------------------|---|
| | Widerstandsst. | zweist. Anst. & Stromeinpr. | Widerstandsst. | zweist. Anst. & Stromeinpr. |
| Beschaltung | $R_G = 7,5\Omega$ | $R_G = 7,5\Omega,$ $R_s = 5,1\Omega, U_d = 5,1\text{ V},$ $R_{Goff,2} = 0,47\Omega$ | $R_G = 7,5\Omega$ | $R_G = 7,5\Omega,$ $R_s = 5,1\Omega, U_d = 5,1\text{ V},$ $R_{Goff,2} = 0,47\Omega$ |
| Überspannung U_{pk} | 22,5 V | 17,5 V | 20,1 V | 17,2 V |
| Stromsteigung di_D/dt | 802 A/ μ s | 638 A/ μ s | 689 A/ μ s | 551 A/ μ s |
| Spannungsanstiegszeit t_{ru} | 65,3 ns | 38,8 ns | 32,7 ns | 18,9 ns |
| Stromfallzeit t_{fi} | 149,7 ns | 187,9 ns | 174,1 ns | 217,4 ns |
| Ausschaltverzögerung $t_{d(off)}$ | 234,8 ns | 120,2 ns | 76,3 ns | 48,5 ns |
| Ausschaltenergie $E_{s(off)}$ | 680 μ J | 671 μ J | 714 μ J | 694 μ J |

Tab. 5.6: Ausschaltverhalten der Prüflinge durch Kombination aus zweistufiger Ansteuerung und Stromeinprägung sowie der Widerstandssteuerung; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$

für das Ausschalten des NP110N055PUG illustriert. Die Parameter für das Ausschalten des IRFS3306PbF befinden sich im Anhang in den Abbildungen 14.22 bis 14.26.

Die Reduzierung der Spannungsanstiegszeit bei der kombinierten Ansteuerung im Vergleich zur Widerstandssteuerung ist in Abb. 5.37 ersichtlich. Vor allem bei hohen Gate-Widerständen größer 10Ω ist dieser Effekt deutlich auszumachen. Mittels des Wegschaltens des niederohmigen Strompfades am Ende der Spannungsanstiegszeit und der darauf aktivierten Stromeinprägung kann die Stromfallzeit erheblich verlängert werden (siehe Abb. 5.38) und führt so zu einer fast konstanten Reduzierung der Überspannung U_{pk} beim Abschalten im Vergleich zur konventionellen Widerstandssteuerung (vgl. Abb. 5.39). Die resultierenden Ausschaltverlustenergien sind in Abb. 5.40 dargestellt. Es kann entnommen werden, dass sich bei niedrigen Gate-Widerständen die Ausschaltverlustenergien kaum von denen bei der Widerstandssteuerung unterscheiden. Dies resultiert aus der Einsparung der Spannungszeitfläche zu Beginn des Ausschaltvorganges sowie der Erhöhung der Stromzeitfläche während der Stromfallzeit. Für größere Gate-Widerstände ab ca. 10Ω weist das kombinierte Ansteuerungsverfahren beim NP110N055PUG sogar deutlich geringere Ausschaltverlustenergien auf. Beim IRFS3306PbF weichen die Ausschaltverlustenergien über den gesamten betrachteten Gate-Widerstandsbereich nicht bemerkenswert von denen der Widerstandssteuerung ab (Abb. 14.25 im Anhang).

Wie schon bei der zweistufigen Ansteuerung kann bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung ebenfalls die Ausschaltverzögerungszeit $t_{d(off)}$ in Abb. 5.41 auf einem niedrigen und fast konstanten Wert gehalten werden.

Insgesamt kann festgestellt werden, dass die Kombination aus zweistufiger Ansteuerung und Stromeinprägung jeweils die positiven Eigenschaften beider Ansteuerungsverfahren miteinander vereinigt. So ist es auf diese Weise möglich, den Spannungsanstieg getrennt von der Stromfallzeit zu beeinflussen. Die Resultate sind geringere Überspannungen bei gleichen oder sogar teilweise niedrigeren Ausschaltverlustenergien gegenüber der Widerstandssteuerung sowie eine fast konstante Ausschaltverzögerungszeit. Erkauft wird dies durch einen wesentlich höheren Bauteilaufwand in der Treiberschaltung.

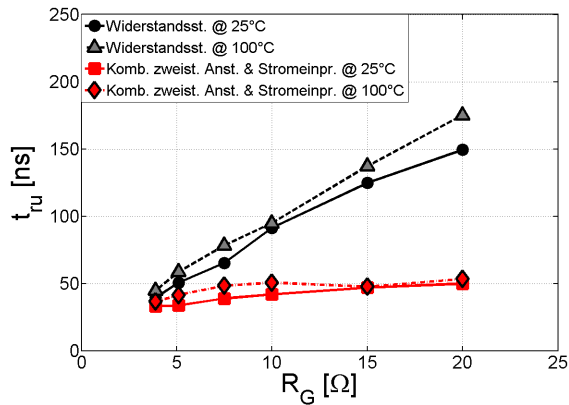


Abb. 5.37: Spannungsanstiegszeit t_{ru} bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$, $R_{Goff,2} = 0,47\ \Omega$

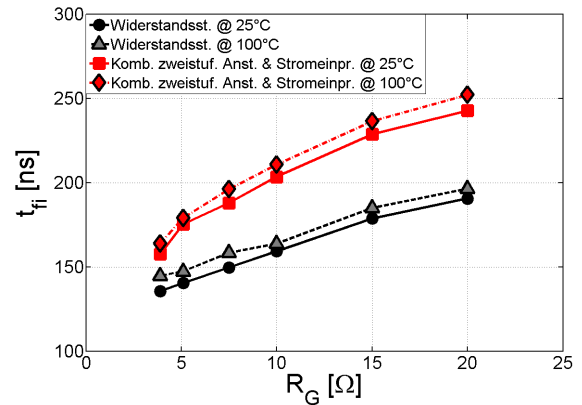


Abb. 5.38: Stromfallzeit t_{fi} bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$, $R_{Goff,2} = 0,47\ \Omega$

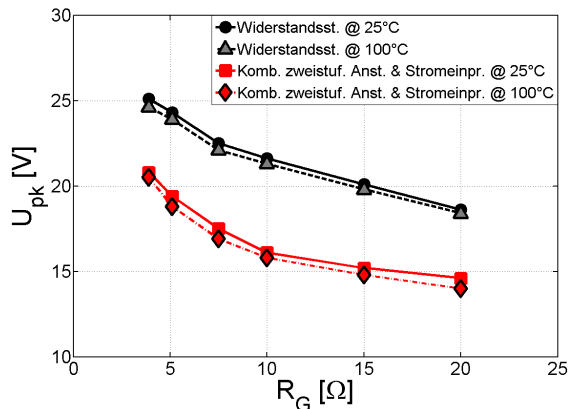


Abb. 5.39: Überspannung U_{pk} während des Abschaltens bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$, $R_{Goff,2} = 0,47\ \Omega$

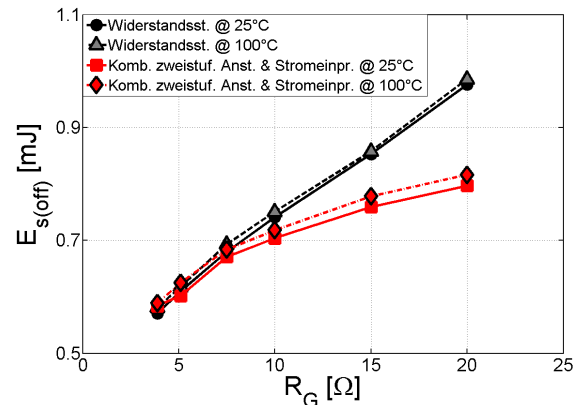


Abb. 5.40: Ausschaltenergie $E_{s(off)}$ bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$, $R_{Goff,2} = 0,47\ \Omega$

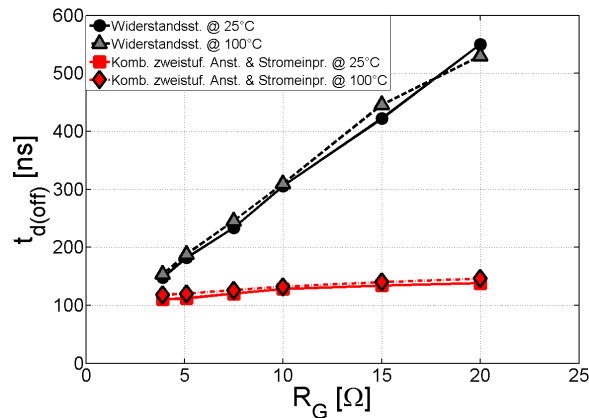


Abb. 5.41: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der Stromeinprägung im Vergleich zur konventionellen Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24\text{V}$, $I_L = 150\text{A}$, $R_S = 5,1\Omega$, $U_d = 5,1\text{V}$, $R_{Goff,2} = 0,47\Omega$

5.4 Zusammenfassung und Schlussfolgerungen

Um die untersuchten Ansteuermethoden miteinander vergleichen und bewerten zu können, wird zunächst der Betrag der Stromsteilheit $|di_D/dt|$ beim Abschalten in Abhängigkeit vom Gate-Widerstand herangezogen. In den Abbildungen 5.42 und 5.43 ist dieser für die hier untersuchten Ansteuermethoden für jeweils den NP110N055PUG sowie den IRFS3306PbF abgebildet. Es ist zu erkennen, dass die Beträge der Stromsteilheiten beim Abschalten bei der du/dt -control, der Stromeinprägung sowie der Kombination aus Letzterer mit der zweistufigen Ansteuerung deutlich niedriger als bei den anderen Verfahren ausfallen. Der NP110N055PUG weist im Vergleich zum IRFS3306PbF für niedrige Gate-Widerstände eine etwas höhere Stromsteilheit auf. Weiterhin ist exemplarisch eine Grenze nach dem Überspannungskriterium in Abschnitt 4.2 bzw. Gleichung (4.2) und (4.1) eingezeichnet, die sich mit der prozentualen Überspannungsreserve $k_r = 0,1$ sowie $U_{DD,max} = 30\text{V}$ und $L_\sigma = 34\text{nH}$ zu $|di_D/dt|_{max} = 574\text{A}/\mu\text{s}$ ergibt. Wie in den Abbildungen 5.42 und 5.43 zu erkennen ist, kann diese exemplarische Grenze bei der Widerstandssteuerung für den hier betrachteten Gate-Widerstandsbereich nicht eingehalten werden, sondern kann erst mithilfe der Stromeinprägung und der du/dt -control unterschritten werden. Weiterhin ist das Ziel der Untersuchungen, eine Reduzierung der Ausschaltverlustenergie von ca. 10 bis 30 % bei gleicher Überspannung gegenüber der Widerstandssteuerung zu erreichen. In den Abbildungen 5.44 und 5.46 sind jeweils die Ergebnisse für den NP110N055PUG und den IRFS3306PbF aufgeführt. Zu beachten ist, dass die messtechnisch bestimmten Überspannungen etwas niedriger ausfallen, als es über eine Ermittlung durch die Stromsteilheit nach dem Kriterium in Gleichung (4.2) der Fall wäre (siehe Abschnitt 4.2).

Beim Prüfling NP110N055PUG konnte vor allem bei der zweistufigen Ansteuerung, der Stromeinprägung sowie der Kombination aus beiden Verfahren das gesetzte Ziel gut erreicht werden, was in Abb. 5.45 für eine exemplarische Überspannung von $U_{pk} = 20\text{V}$ ersichtlich

ist. Mittels des kombinierten Ansteuerverfahrens kann beispielsweise bei einer Überspannung U_{pk} von 20 V eine gegenüber der Widerstandssteuerung um etwa 31 % geringere Ausschaltverlustenergie erreicht werden. Mit sinkender Überspannung steigt dieser Wert noch weiter an. Die du/dt-control liefert mit einer Reduzierung von 18 % ebenfalls ein gutes Ergebnis. Bei der di/dt-control dagegen kann nur für hohe Stromsteilheiten und damit hohe Überspannungen ein zufriedenstellendes Ergebnis erzielt werden. Mit sinkender Überspannung sinkt die Effektivität dieser Ansteuerermethode und verliert bei niedrigen Überspannungen schnell ihre Wirkung.

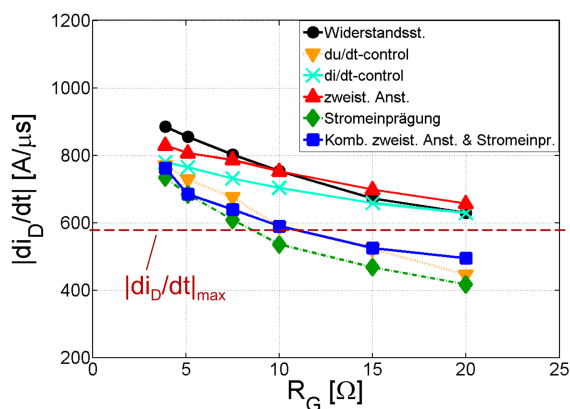


Abb. 5.42: Experimentell erzielte Ergebnisse des Betrages der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit vom jeweiligen Ansteuerverfahren; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $T_J = 25^\circ\text{C}$

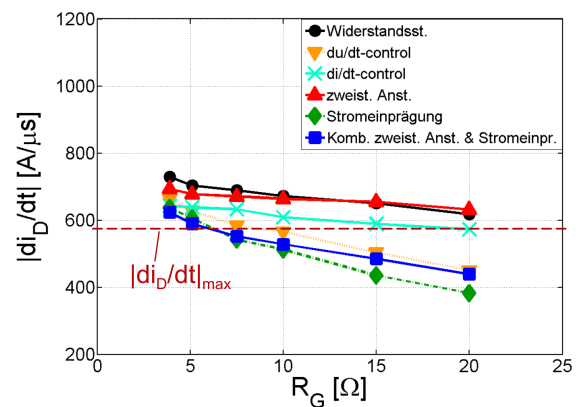


Abb. 5.43: Experimentell erzielte Ergebnisse des Betrages der Stromsteilheit beim Abschalten des IRFS3306PbF in Abhängigkeit vom jeweiligen Ansteuerverfahren; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $T_J = 25^\circ\text{C}$

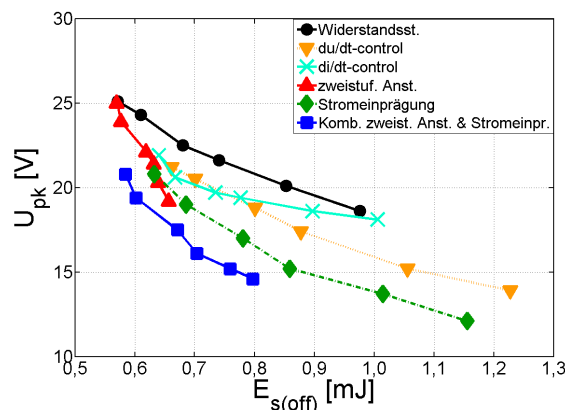


Abb. 5.44: Experimentell erzielte Überspannung U_{pk} in Abhängigkeit von der Ausschaltenergie $E_{s(off)}$ der untersuchten Ansteuerverfahren bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $T_J = 25^\circ\text{C}$

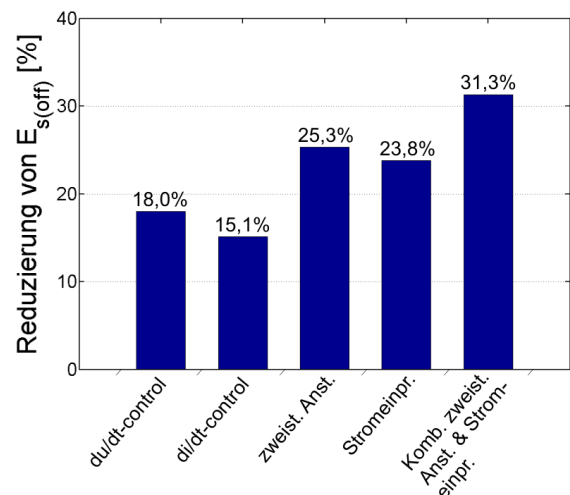


Abb. 5.45: Prozentuale Reduzierung der Ausschaltverlustenergie der verschiedenen Ansteuermethoden bezogen auf eine Widerstandssteuerung und $U_{pk} = 20\text{ V}$ bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $T_J = 25^\circ\text{C}$

Prinzipiell ähneln die Ergebnisse des IRFS3306PbF sehr denen des NP110N055PUG. Dennoch muss festgestellt werden, dass die Reduzierung der Ausschaltenergie bei gleichbleibender Überspannung nur befriedigend ausfällt, da bei keinem Ansteuerungsverfahren bei einer Überspannung von 20 V eine Reduzierung von über 10 % erreicht werden konnte (siehe Abb. 5.47). Verursacht wird dies in erster Linie durch die Einschaltüberspannung der aufkommenden Diode sowie der sehr hohen Übertragungsteilheit des IRF-MOSFETs. Erst ab einer Überspannung unter 20 V steigt die Reduzierung der Ausschaltenergie der Ansteuerungsverfahren gegenüber der Widerstandssteuerung an, was in Abb. 5.46 ersichtlich ist.

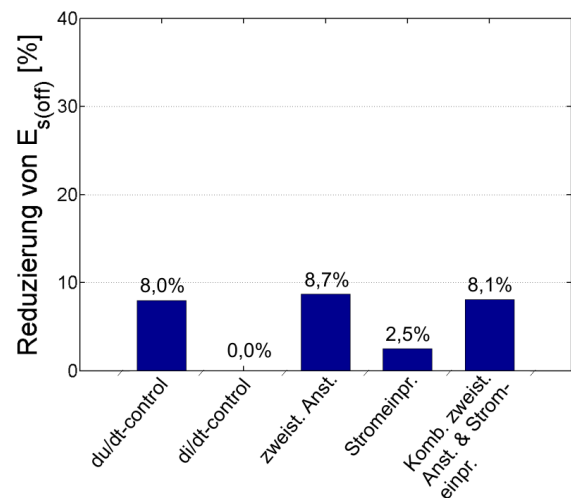
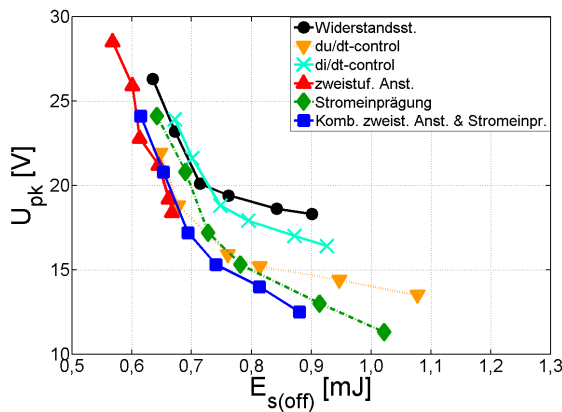


Abb. 5.46: Experimentell erzielte Überspannung U_{pk} in Abhängigkeit von der Ausschaltenergie $E_{s(off)}$ der untersuchten Ansteuerungsverfahren bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{V}$, $I_L = 150\text{A}$, $T_J = 25^\circ\text{C}$

Abb. 5.47: Prozentuale Reduzierung der Ausschaltverlustenergie der verschiedenen Ansteuerungsverfahren bezogen auf eine Widerstandssteuerung und $U_{pk} = 20\text{V}$ bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{V}$, $I_L = 150\text{A}$, $T_J = 25^\circ\text{C}$

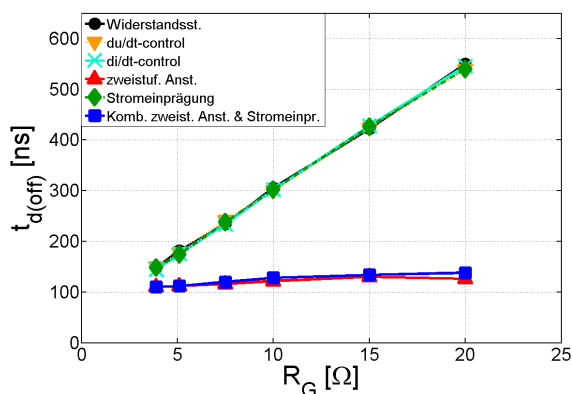


Abb. 5.48: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ in Abhängigkeit vom Gate-Widerstand R_G der untersuchten Ansteuerungsverfahren bei Verwendung des NP110N055PUG; Bed.: $U_{DD} = 24\text{V}$, $I_L = 150\text{A}$, $T_J = 25^\circ\text{C}$

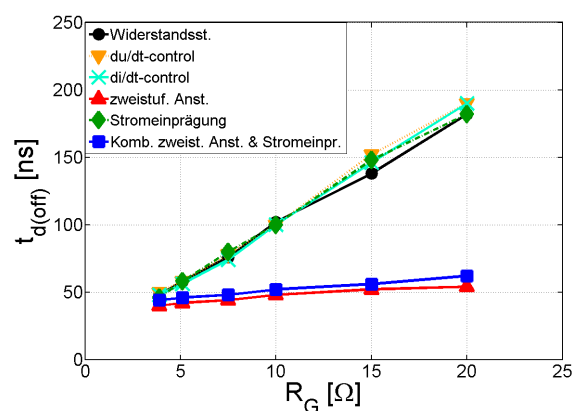


Abb. 5.49: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ in Abhängigkeit vom Gate-Widerstand R_G der untersuchten Ansteuerungsverfahren bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{V}$, $I_L = 150\text{A}$, $T_J = 25^\circ\text{C}$

Eine weitere, nicht zu vernachlässigende Verbesserung ist die Reduzierung der Ausschaltverzögerungszeit $t_{d(off)}$ durch die zweistufige Ansteuerung und durch die Kombination Letzterer mit der Stromeinprägung. Dies ist für beide Prüflinge in den Abb. 5.48 und 5.49 dargestellt. Mittels einer verkürzten gemeinsamen Verriegelungszeit kann unter anderem das Ausgangsspektrum des Laststromes verbessert werden.

Zusammenfassend ist festzustellen, dass die Kombination aus zweistufiger Ansteuerung und Stromeinprägung die besten Ergebnisse hinsichtlich der Reduzierung der Ausschaltverlustenergie liefert. Auf diese Weise sind Reduzierungen der Ausschaltverluste und damit Näherungsweise der gesamten Schaltverluste von 30 % und höher zu erreichen. Nachteilig ist jedoch der relativ hohe Bauteil Aufwand. Die du/dt -control liefert dagegen ein gutes Gleichgewicht an Reduzierung der Ausschaltverlustenergien sowie an Bauteil Aufwand.

6. Adaption der Stromsteilheit beim Schalten mittels systematischer Auslegung der Common Source Induktivität und des Gate-Widerstandes

6.1 Einführung

Wie bereits in Kapitel 5 aufgezeigt, können Active Gate Control Methoden zur Verbesserung des Ausschaltverhaltens bzw. zur Steuerung der Stromsteilheit beim Abschalten von Leistungs-MOSFETs beitragen. Nachteil dieser Ansteuerkonzepte sind jedoch der erhöhte Bauteil- und Aufwand des Treibers sowie die damit verbundenen höheren Kosten.

Eine weitere und relativ einfache Möglichkeit zur Beeinflussung des Ausschaltverhaltens bzw. der Stromsteilheit beim Abschalten — und damit direkt der Überspannung am MOSFET — ist die gezielte Positionierung des Hilfssource-Abgriffs der Treiberschaltung. Das Ziel bei dieser Vorgehensweise ist in erster Linie die Einhaltung der maximal erlaubten, applikationsabhängigen Überspannung beim Abschalten, was durch eine gezielte Auslegung der Streuinduktivität zwischen dem Source des Leistungs-MOSFETs und dem Hilfssource-Abgriff des Treibers — auch Common Source Induktivität genannt — sowie durch Adaption des Gate-Widerstands erreicht wird. Der Vorteil ist hier der geringe Bauteil- und Aufwand. Dem gegenüber steht der Nachteil des höheren Aufwands an Schaltungsanalyse bzw. -vermessung bei der Entwicklung der Treiberschaltung, wie später gezeigt wird.

In der Literatur wurde bereits der Einfluss der Common Source Induktivität $L_{S\sigma 2}$ bzw. der Streuinduktivität des Kommutierungskreises L_{σ} auf die Stromsteilheit aufgezeigt [24, 29, 104, 105, 106]. Hier wurde jedoch in erster Linie der Einfluss dieser Induktivitäten auf den Wirkungsgrad von MOSFET-Umrichtern untersucht, der bei den dort vorgenommenen Betrachtungen mit steigendem Induktivitätswert sinkt. Begründet wird dies durch die sinkende Stromsteilheit bzw. längeren Stromfallzeiten mit zunehmender Induktivität und damit steigenden Schaltverlusten. Dies ist zwar in erster Linie soweit richtig, solange die maximal erlaubten Überspannungen beim Abschalten nicht in die Untersuchungen mit einfließen. Bei Berücksichtigung dieser Überspannung kann jedoch bei gleichzeitiger Einstellung der Common Source Induktivität und des Gate-Widerstandes eine Wirkungsgradsteigerung erzielt werden, was in diesem Kapitel aufgezeigt wird.

In [25, 41, 43] werden analytische Gleichungen zur Bestimmung der zeitlichen Verläufe des Drain-Stromes und der Drain-Source-Spannung hergeleitet, die entweder die Common Source Induktivität und/oder die Gesamtstreuinduktivität L_{σ} des Kommutierungskreises mitberücksichtigen. Diese Herangehensweise führt jedoch mit einigen MOSFET-Parametern nicht zu zufriedenstellenden Ergebnissen. Im Gegensatz dazu wird in [45, 46, 95] ein vereinfachter Ansatz verfolgt. Hier wird lediglich die Stromsteilheit beim Schalten unter alleiniger Berücksichtigung der Common Source Induktivität approximiert. Dieser Ansatz wird auch

in dieser Arbeit verwendet.

Eine Erhöhung der Common Source Induktivität führt dabei nicht zu einer automatischen Erhöhung von Oszillationen der Gate-Source-Spannung, da diese sich nicht mit wachsender Induktivität im Ansteuerkreis verändern. Die maximale Amplitude der Oszillationen ist im Wesentlichen durch die Gate-Source-Kapazität bestimmt und verringert sich mit wachsendem Kapazitätswert [107].

Zu Beginn dieses Kapitels wird kurz wiederholend auf die Stromsteilheit beim Abschalten sowie deren Beeinflussbarkeit mittels der Common Source Induktivität eingegangen. Es wird anschließend eine systematische Vorgehensweise vorgestellt, die es ermöglicht, eine hinsichtlich der Stromsteilheit beim Abschalten empfehlenswerte Größe der Common Source Induktivität und damit der Position des Hilfssource-Abgriffs zu bestimmen. Dabei wird aufgezeigt, dass durch diese Methode neben einer besseren Einhaltung der maximal erlaubten Überspannung bzw. Stromsteilheit ebenfalls die Ausschaltverluste auf einem niedrigeren Wert als bei alleiniger Adaption der Stromsteilheit mittels des Gate Widerstands gehalten werden können.

Die Ergebnisse der Untersuchungen wurden weitestgehend bereits in [67] veröffentlicht.

6.2 Einfluss der Common Source Induktivität auf das Schaltverhalten

In Abb. 6.1 ist der prinzipielle Ansteuerkreis eines Leistungs-MOSFETs dargestellt. Mitberücksichtigt ist hier die Common Source Induktivität $L_{S\sigma 2}$, während die restlichen Streuinduktivitäten und parasitären Widerstände vernachlässigt werden.

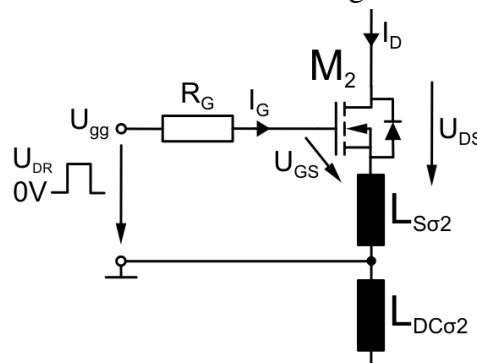


Abb. 6.1: Prinzipieller Ansteuerkreis des Leistungs-MOSFETs unter Berücksichtigung der Common Source Induktivität $L_{S\sigma 2}$

Zur Herleitung des Ausdrucks für die Stromsteilheit in Abhängigkeit von der Streuinduktivität $L_{S\sigma 2}$ werde zunächst nur der Einschaltvorgang (siehe Abb. 2.11) betrachtet. Bei Leistungs-MOSFETs gelten die folgenden Gleichungen jedoch auch für den Ausschaltvorgang [45]. Die Stromsteilheit ist während der Stromanstiegszeit abhängig von der bereitgestellten Ladungsmenge [45]:

$$\frac{di_D}{dt} = \frac{g_m \cdot I_G}{C_{GS}} \approx \frac{g_m \cdot I_G}{C_{iss}}. \quad (6.1)$$

Dabei gilt für $C_{iss} = C_{GS} + C_{GD}$.

Für den Spannungsanstieg kann dagegen Gleichung (6.2) angesetzt werden [23, 45].

$$\frac{du_{DS}}{dt} = \frac{I_G}{C_{GD}} \quad (6.2)$$

Gleichung (6.1) und (6.2) setzen einen konstanten Gate-Strom voraus, was in der Regel bei der Ansteuerung von Leistungs-MOSFETs nicht der Fall ist, da hier meistens ein Treiber mit einer Spannungsquelle und einem Gate-Widerstand genutzt wird. Unter Berücksichtigung der Gate-Spannung U_{gg} folgt daher für Gleichung (6.2) folgender Ausdruck:

$$\frac{du_{DS}}{dt} = \frac{U_{gg} - U_{GS,th} - \frac{I_D}{2g_m}}{R_G \cdot C_{GD}}. \quad (6.3)$$

Der Term $U_{GS,th} + (I_D/2g_m)$ in Gleichung (6.3) stellt dabei den mittleren Wert der Gate-Source-Spannung während der Stromanstiegszeit dar (siehe Abb. 2.11 sowie Gleichung (2.3)). Wird nun der nicht unwesentliche Spannungsabfall an der Streuinduktivität $L_{S\sigma 2}$ im Ansteuerkreis mitberücksichtigt, erweitert sich Gleichung (6.3) zu:

$$\frac{du_{DS}}{dt} = \frac{U_{gg} - U_{GS,th} - \frac{I_D}{2g_m} - L_{S\sigma 2} \cdot \frac{di_D}{dt}}{R_G \cdot C_{GD}}. \quad (6.4)$$

Durch Einsetzen von (6.2) in (6.1) und dann in (6.4) folgt die Approximation der Stromsteilheit während des Schaltens in Abhängigkeit von $L_{S\sigma 2}$:

$$\frac{di_D}{dt} \approx \frac{U_{gg} - U_{GS,th} - \left(\frac{I_D}{2g_m}\right)}{\left(R_G \cdot C_{iss} \cdot \frac{1}{g_m}\right) + L_{S\sigma 2}}. \quad (6.5)$$

Wie anhand Gleichung (6.5) zu erkennen ist, hängt die Stromsteilheit von dem Gate-Widerstand R_G und ebenfalls stark von der Streuinduktivität $L_{S\sigma 2}$ zwischen dem Source des MOSFETs und dem Hilfssource-Abgriff des Treibers ab. Die Einstellung der Stromsteilheit ist größtenteils über eine Variation von R_G möglich. Für hohe Werte von $L_{S\sigma 2}$ kann es jedoch passieren, dass der Term $(R_G \cdot C_{iss} \cdot \frac{1}{g_m})$ an Einfluss verliert und somit die Steuerung der Stromsteilheit durch $L_{S\sigma 2}$ dominiert.

Weitere wesentliche Einflussgrößen auf die Stromsteilheit sind die Übertragungsteilheit g_m sowie die Schwellenspannung $U_{GS,th}$. Beide Faktoren unterliegen starken Bauteilschwankungen, weshalb es schwierig ist, genaue Berechnungen oder Simulationen zu erstellen, die sich exakt mit den experimentellen Ergebnissen decken. Zudem wird in dem Ansatz nach Gleichung (6.5) die Streuinduktivität L_σ des gesamten Kommutierungsweges vernachlässigt, was zu weiteren Abweichungen zwischen den theoretischen und praktisch erzielten Werten führt. Prinzipiell führt eine höhere Schwellenspannung $U_{GS,th}$ zu längeren Stromanstiegszeiten sowie wiederum zu kürzeren Stromfallzeiten. In der Regel ist die Stromanstiegszeit jedoch viel kürzer als die Fallzeit, was an den weit verbreiteten Gate-Spannungsniveaus von 15 V (Ein-

schalten) und 0 V (Ausschalten) liegt [108], d.h. dass der Betrag des Zählers in Gleichung (6.5) für z.B. $U_{gg} = 15\text{ V}$ (Einschalten) größer als für $U_{gg} = 0\text{ V}$ (Ausschalten) ist (der Term $U_{GS,th} + I_D/2g_m$ beträgt in der Regel ca. 3 V bis 5 V).

Ein weitere Motivation bei der hier vorgestellten Vorgehensweise ist die Reduzierung der Ein- und Ausschaltverzögerungszeiten $t_{d(on)}$ und $t_{d(off)}$, die analytisch mittels der Gleichungen (2.1) und (2.4) bestimmt werden können [23]. Da die Schaltverzögerungszeiten nicht abhängig von der Induktivität $L_{S\sigma 2}$ sind, können unter Voraussetzung gleichbleibender Stromsteilheit bei Erhöhung von $L_{S\sigma 2}$ und gleichzeitiger Verringerung von R_G diese Zeiten verkürzt werden. Dies hat den Vorteil der nun möglichen Reduzierung der gemeinsamen Verriegelungszeit („Totzeit“) in Halbbrückenkonfigurationen wie es bereits durch eine zwei-stufige Ansteuerung (Abschnitt 5.3.3) erreicht werden kann.

6.3 Verfahren zur Adaption der Stromsteilheit

6.3.1 Bestimmung der Streuinduktivitäten im Kommutierungskreis

Die gezielte Adaption der Stromsteilheit beim Ausschalten durch vorteilhafte Platzierung des Source-Abgriffes der Treiberschaltung setzt die Kenntnis über die Höhe der involvierten Common Source Induktivität $L_{S\sigma 2}$ voraus. Letztere kann bereits vor dem Aufbau einer leistungselektronischen Schaltung bei bekanntem Layout simulativ als auch im Nachhinein messtechnisch ermittelt werden. Die messtechnische Ermittlung der Streuinduktivitäten im Kommutierungskreis kann entweder mittels Impedanz-Analysatoren oder Stromimpulsen erfolgen. Letztere Methode bietet neben der hinreichenden Genauigkeit einen geringen Aufwand und kann in zwei Verfahren — Doppelpuls- und Einzelpuls-Verfahren — unterteilt werden. Eine kurze Erläuterung der beiden Verfahren erfolgte in Abschnitt 3.2.4 und kann zusätzlich in [30, 66, 67] nachgelesen werden.

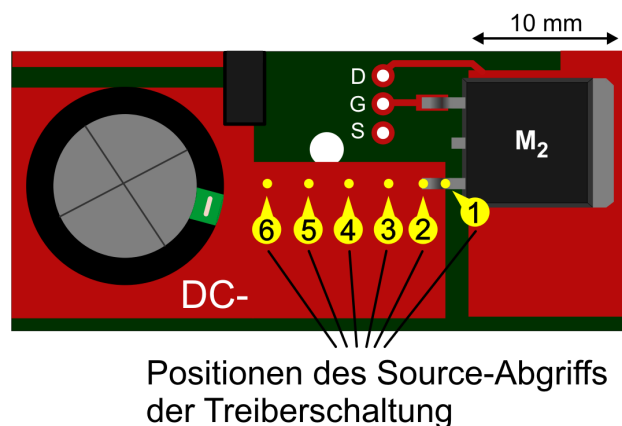


Abb. 6.2: Ausschnitt des Layouts der Testschaltung zur Erläuterung der Hilfssource-Abgriffe der Positionen 1 bis 6 der Treiberschaltung. Position 2: Referenzpunkt der Messungen anhand Angaben von NEC.

In Abb. 6.2 ist ein Ausschnitt des Layouts der Testschaltung nach Abschnitt 3.2.4 illustriert, in dem die verschiedenen Abgriff-Positionen für den Source-Anschluss der Treiberschaltung gekennzeichnet sind. Der Abgriff 1 wurde direkt auf dem Source-Lead des MOSFETs vorgenommen, während Abgriff 2 direkt auf der Leiterplatte an der Kontaktstelle des Source-Leads mit der Leiterbahn erfolgte. Die Abgriffe 3 bis 6 wurden in unterschiedlichen Abständen von einigen Millimetern in Bezug auf Abgriff 2 vorgenommen. Die Tab. 6.1 beinhaltet die Messergebnisse der ermittelten Common Source Induktivitäten, mit denen in den folgenden Abschnitten die Untersuchungen zur Adaption der Stromsteilheit durchgeführt werden.

| Messpunkt | gemessenes $L_{S\sigma 2}$ |
|-----------|----------------------------|
| 1 | 3,6 nH |
| 2 (*) | 4,5 nH |
| 3 | 5,4 nH |
| 4 | 6,7 nH |
| 5 | 7,5 nH |
| 6 | 8,3 nH |

Tab. 6.1: Gemessene Ergebnisse der Common Source Induktivität $L_{S\sigma 2}$ der jeweiligen Abgriffe der Treiberschaltung mittels des Einzelpuls-Verfahrens. (*) empfohlener Referenzpunkt der Messungen

6.3.2 Analytische und simulative Bestimmung der Stromsteilheit beim Abschalten

Die analytische Bestimmung der Stromsteilheit erfolgt nach Gleichung (6.5) und mittels der Datenblattangaben des Herstellers sowie der nach Abschnitt 6.3.1 ermittelten Werte der verschiedenen Streuinduktivitäten nach Tab. 6.1. Als Prüfling wird der NP110N055PUG verwendet und für den Betriebspunkt eine Zwischenkreisspannung von $U_{DD} = 24\text{V}$ sowie ein Laststrom von $I_L = 150\text{A}$ gewählt.

Gleichzeitig wird das Schaltverhalten wie bereits in Abschnitt 3.4 mittels PSpice und Level 3 Spice-MOSFET-Modellen simuliert und es werden die maximalen Stromsteilheiten beim Abschalten für den gewählten Betriebspunkt bestimmt.

Die Ergebnisse des Betrages der Stromsteilheit beim Abschalten in Abhängigkeit von der Common Source Induktivität und dem Gate-Widerstand anhand der analytischen Berechnung sowie anhand der Simulation sind in Abb. 6.3 dargestellt. Wie zu erkennen ist, sinkt die Stromsteilheit erheblich mit steigender Common Source Induktivität. Ebenfalls gut ersichtlich ist, dass sich die simulativ sowie die analytisch erzielten Ergebnisse relativ gut miteinander decken.

Zur Bestimmung des empfehlenswerten Bereichs von $L_{S\sigma 2}$ sowie R_G wird wie folgt vorgegangen: Zuerst wird die Grenze der maximal erlaubten Stromsteilheit nach Gleichung (4.2)

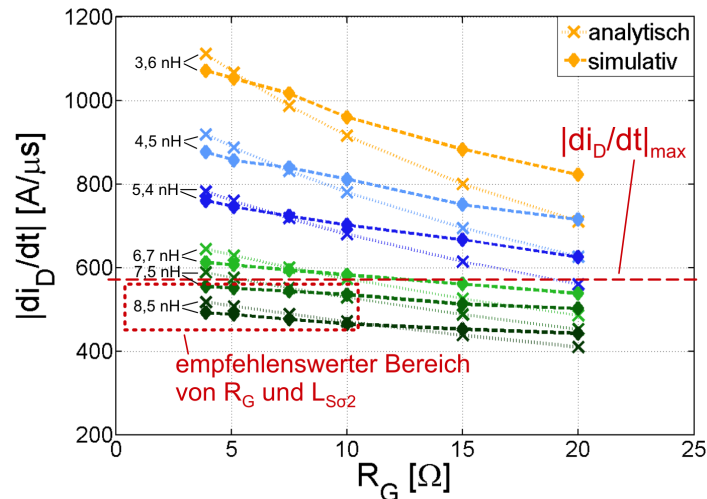


Abb. 6.3: Analytisch und simulativ ermittelte Beträge der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit von $L_{S\sigma 2}$ und R_G ; Bed.: $U_{DD} = 24 \text{ V}$, $I_L = 150 \text{ A}$, $T_J = 25^\circ \text{C}$

in Abschnitt 4.2 bestimmt. Folgend wird der Wertebereich der Common Source Induktivität ermittelt, für den die Stromsteilheit die festgelegte, maximale Grenze $|di_D/dt|_{max}$ schneidet. Weiter eingegrenzt wird dann der Bereich durch die Wahl des Gate Widerstands. Dieser sollte niedrig sein, um die Spannungsanstiegs- und Fallzeiten sowie die Schaltverzögerungszeiten möglichst kurz zu halten. Die untere Grenze des Widerstandsbereiches wird wiederum durch die Spitzenstromtragfähigkeit des Treibers bestimmt. Typische Werte liegen hier zwischen 1 bis 9 A.

Eine exemplarische zu fordernde Grenze der maximal erlaubten Stromsteilheit ergibt sich nach Gleichung (4.2) und (4.1) mit der prozentualen Überspannungsreserve $k_r = 0,1$ sowie $U_{DD,max} = 30 \text{ V}$ und $L_\sigma = 34 \text{ nH}$ zu $|di_D/dt|_{max} = 574 \text{ A}/\mu\text{s}$. Wie in Abb. 6.3 zu erkennen ist, kann diese Grenze bei einer Common Source Induktivität von $L_{S\sigma 2} = 4,5 \text{ nH}$, was einer typischen Größe der sourceseitigen Gehäusestreuinduktivität eines D^2PAK -Gehäuses entspricht, mittels des üblichen Gate-Widerstandsbereiches von 3 bis 20 Ω sowie etwas höheren Widerstandswerten nicht eingehalten werden. Es ergibt sich in diesem Beispiel ein theoretischer, empfehlenswerter Bereich von $L_{S\sigma 2} \approx 7,5 - 9,0 \text{ nH}$ und $R_G = 3 - 10 \Omega$.

Ein weiterer Aspekt ist die Abhängigkeit der Stromsteilheit von der Schwellenspannung $U_{GS,th}$ sowie von der Höhe des Drain-Stromes I_D , was in Abb. 6.4 illustriert ist. So steigt die Stromsteilheit mit wachsender Gate-Source-Schwellenspannung sowie leicht mit wachsendem Drain-Strom an. Dies bedeutet, dass bei der Auslegung von Leistungs-MOSFETs ein Kompromiss getroffen werden muss. Zum Einen ist es erstrebenswert, die Schwellenspannung des Halbleiters hoch zu setzen, um diesen gegen parasitäres Wiedereinschalten zu schützen. Zum Anderen kann eine zu hohe Schwellenspannung zu schwer kontrollierbaren Stromflanken beim Schalten und damit gegebenenfalls zum ungewollten Durchbruch des MOSFETs führen.

Weiterhin kann anhand Abb. 6.5 festgestellt werden, dass bei niedrigen als auch bei hohen Common Source Induktivitäten die Übertragungssteilheit g_m einen merklichen Einfluss auf die Stromsteilheit besitzt.

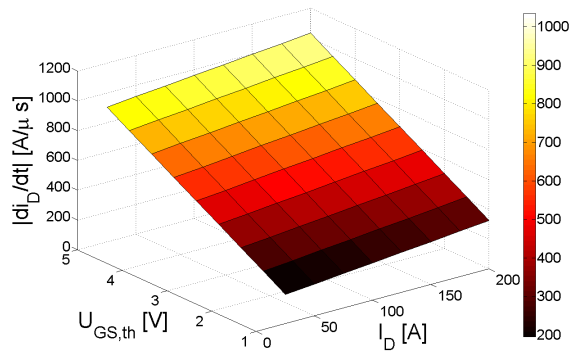


Abb. 6.4: Analytische Ergebnisse des Betrages der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit von der Gate-Source-Schwellenspannung $U_{GS,th}$ und des Drain-Stromes I_D ; Bed.: $U_{DD} = 24\text{V}$, $L_{S\sigma 2} = 5,0\text{nH}$, $R_G = 5,1\Omega$, $g_m = 120\text{S}$, $T_J = 25^\circ\text{C}$

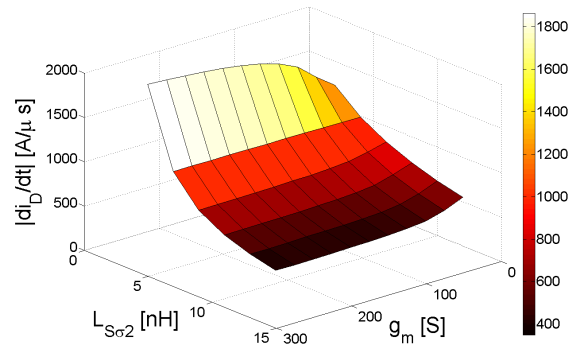


Abb. 6.5: Analytische Ergebnisse des Betrages der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ und der Übertragungssteilheit g_m ; Bed.: $U_{DD} = 24\text{V}$, $I_L = 150\text{A}$, $U_{GS,th} = 4,0\text{V}$, $R_G = 5,1\Omega$, $T_J = 25^\circ\text{C}$

Im Gegensatz zum Einfluss auf die Stromfallzeit, wirkt sich die Common Source Induktivität nur sehr gering auf die Stromanstiegszeit aus, was in Abb. 6.6 zu erkennen ist. Wie bereits in Abschnitt 3.3.1 erläutert, fällt für den hier betrachteten Gate-Widerstandsbereich während der Stromanstiegszeit des MOSFETs nahezu die gesamte Eingangsspannung U_{DD} über den Streuinduktivitäten des Kommutierungsweges an. Somit stellen diese die stromanstiegsbegrenzende Größe dar. Dies hat zur Folge, dass durch die Erhöhung von $L_{S\sigma 2}$ nur die Ausschaltverluste und kaum die Einschaltverluste signifikant steigen.

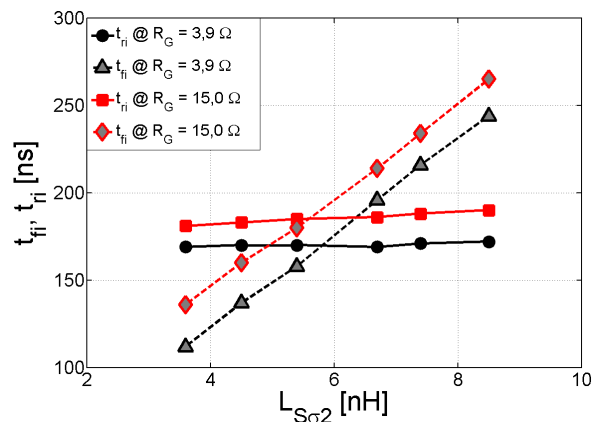


Abb. 6.6: Simulierte Stromfall- und Anstiegszeiten des NP110N055PUG für $R_G = 3,9\Omega$ und 15Ω in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$; Bed.: $U_{DD} = 24\text{V}$, $I_L = 150\text{A}$, $T_J = 25^\circ\text{C}$

6.4 Experimentelle Ergebnisse

Experimentell wurden die Stromsteilheiten mittels der Testschaltung aus Abschnitt 3.2.4 sowie im gleichen Betriebspunkt wie in Abschnitt 6.3.2 ermittelt. Die erzielten Beträge der Stromsteilheit beim Abschalten sind in Abb. 6.7 dargestellt. Wie in der Theorie und Simulation ist deutlich ersichtlich, dass der Betrag der Stromsteilheit mit zunehmender Common Source Induktivität abnimmt. Insgesamt konnte eine gute Übereinstimmung der analytisch und simulativ erzielten Ergebnisse der Stromsteilheit beim Abschalten mit den experimentell erzielten Werten erreicht werden (siehe Abb. 6.8).

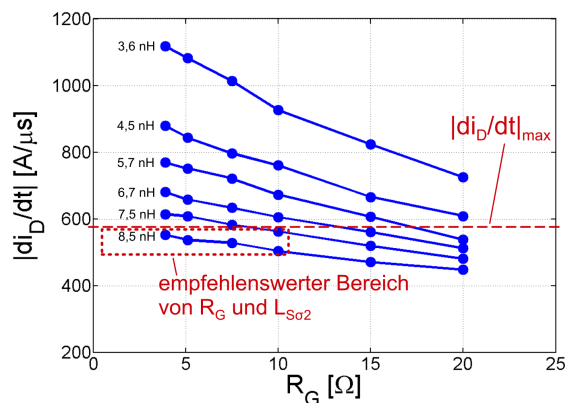


Abb. 6.7: Experimentell ermittelte Ergebnisse des Betrages der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ und des Gate Widerstands R_G ; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $T_J = 25^\circ\text{C}$

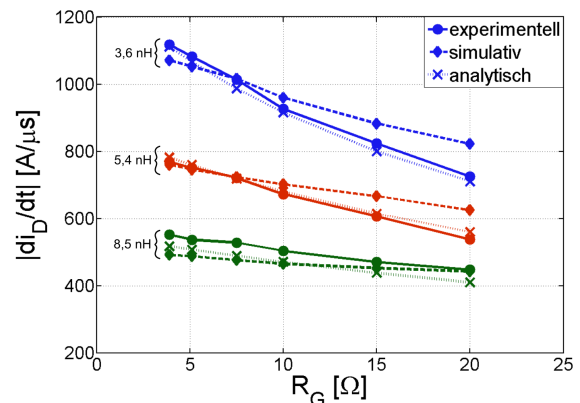


Abb. 6.8: Vergleich experimentell, simulativ und analytisch erzielter Ergebnisse der Stromsteilheiten des NP110N055PUG beim Abschalten in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $T_J = 25^\circ\text{C}$

Die exemplarisch festgelegte Grenze $|di_D/dt|_{max}$ kann mit einer Common Source Induktivität von $L_{S\sigma 2} \approx 7,5 \dots 9,0\text{ nH}$ eingehalten werden, was sich ebenfalls gut mit den analytisch und simulativ erzielten Werten deckt. Im Labor konnte jedoch ein etwas höherer Einfluss des Gate-Widerstands auf die Stromsteilheit festgestellt werden. Differenzen können vor allem durch Bauteilparameterschwankungen des Prüflings entstehen.

Wie bereits in Abschnitt 6.3.2 aufgezeigt, ist der Einfluss von $L_{S\sigma 2}$ auf die Stromanstiegszeiten im Vergleich zum Einfluss auf die Stromfallzeiten sehr gering. Exemplarisch sind hierfür in Abb. 6.9 die Stromanstiegszeiten und -fallzeiten für einen Gate Widerstand von $R_G = 3,9\ \Omega$ und $15\ \Omega$ aufgeführt. Durch den leichten Anstieg der Stromanstiegszeiten steigen folglich auch die Einschaltverluste, was in Abb. 6.10 ersichtlich ist. Dennoch hält sich dieser Effekt sehr in Grenzen.

Generell konnte kein Einfluss von $L_{S\sigma 2}$ auf die Spannungsanstiegszeiten und -fallzeiten sowie auf die Ein- und Ausschaltverzögerungszeiten festgestellt werden. Auf eine grafische Darstellung der Ergebnisse wird daher verzichtet.

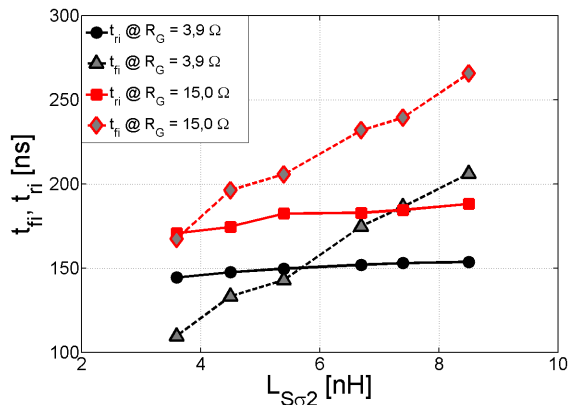


Abb. 6.9: Experimentell ermittelte Stromfall- und Anstiegszeiten des NP110N055PUG in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ für $R_G = 3,9\Omega$ und 15Ω ; Bed.: $U_{DD} = 24V$, $I_L = 150A$, $T_J = 25^\circ C$

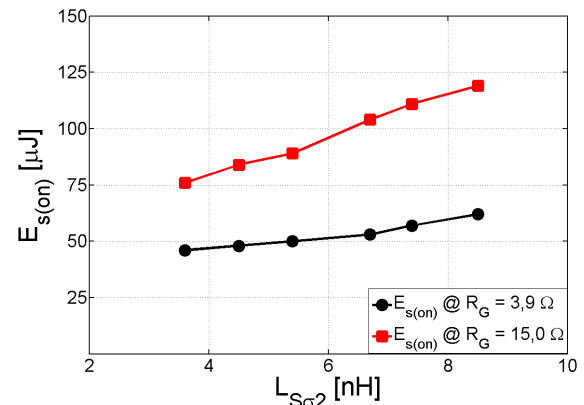


Abb. 6.10: Experimentell ermittelte Einschaltenergien $E_{s(on)}$ des NP110N055PUG in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ für $R_G = 3,9\Omega$ und 15Ω ; Bed.: $U_{DD} = 24V$, $I_L = 150A$, $T_J = 25^\circ C$

Weiterhin ist zur Bewertung der Methode die Überspannung U_{pk} in Abhängigkeit von der Ausschaltenergie in Abb. 6.11 dargestellt. Für jede Common Source Induktivität nach Tabelle 6.1 wurden Messwerte mit einem Gate-Widerstand R_G von jeweils $3,9\Omega$, $5,1\Omega$, $7,5\Omega$, 10Ω , 15Ω und 20Ω ermittelt. Wie zu erkennen ist, sinkt mit zunehmender Common Source Induktivität die Überspannung. Es ist ebenfalls dort ersichtlich, dass bei gleicher Überspannung eine höhere Common Source Induktivität zu niedrigeren Ausschaltverlusten führt. Angemerkt seien hier die etwas geringer ausfallenden, gemessenen Überspannungen im Vergleich zu den über die Stromsteilheit bestimmaren Spannungen, was wiederum messtechnische Gründe hat (siehe Abschnitt 4.2).

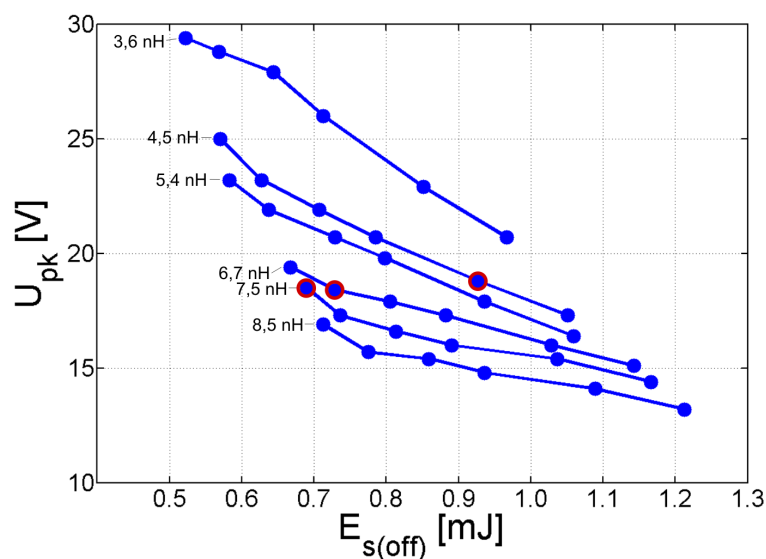


Abb. 6.11: Experimentell ermittelte Überspannungen U_{pk} in Abhängigkeit von der Ausschaltverlustenergie $E_{s(off)}$ für verschiedene Werte der Common Source Induktivität $L_{S\sigma 2}$ bei Verwendung des NP110N055PUG, Rote Markierungen: ausgewählte Messpunkte aus Tab. 6.2; Bed.: $U_{DD} = 24V$, $I_L = 150A$, $T_J = 25^\circ C$

6.5 Zusammenfassung und Schlussfolgerungen

Es konnte gezeigt werden, dass mittels der hier vorgestellten Vorgehensweise in Form der Adaption der Stromsteilheit über eine kombinierte Auslegung der Common Source Induktivität und des Gate-Widerstandes eine Reduzierung der Ausschaltverlustenergie $E_{s(off)}$ erreicht wird. Dies wird durch eine Verringerung der Spannungsanstiegszeit t_{ru} bei nahezu gleichbleibender Stromfallzeit t_{fi} bzw. Stromsteilheit erzielt. Zusätzlich kann die Ausschaltverzögerungszeit $t_{d(off)}$ aufgrund des nun niedriger wählbaren Gate-Widerstandes verkürzt werden. Es ist daher ohne weiteren Bauteilaufwand möglich, die Schaltverluste bei gleicher Überspannung im Vergleich zu einer Erhöhung des Gate-Widerstandes zu reduzieren, was anhand Tab. 6.2 weiter verdeutlicht wird. Es werden hier drei verschiedene Kombinationen aus R_G und $L_{S\sigma 2}$ betrachtet, für die jeweils messtechnisch $U_{pk} = 18\text{ V}$ bis 19 V eingehalten werden konnte und in Abb. 6.11 rot markiert sind. Mit zunehmender Common Source Induktivität $L_{S\sigma 2}$ und abnehmendem Gate Widerstand R_G können jeweils die Ein- und Ausschaltverlustenergien bis zu 27 % verringert werden. Zur Verdeutlichung ist hierfür in Abb. 6.12 der Ein- und Ausschaltvorgang des NP110N055PUG für die Gate-Beschaltungen $L_{S\sigma 2} = 4,5\text{ nH}$, $R_G = 15\ \Omega$ und $L_{S\sigma 2} = 7,4\text{ nH}$, $R_G = 3,9\ \Omega$ dargestellt. Es ist ersichtlich, dass die Reduzierung der Ausschaltverlustenergien aufgrund des niedrigeren Gate-Widerstandes hauptsächlich durch die verkürzte Spannungsanstiegszeit verursacht wird. Weiterhin kann durch das vorgestellte Verfahren eine beträchtliche Verkürzung der Ausschaltverzögerungszeit bis zu 65 % realisiert werden. Nachteil dieser Methodik ist die nötige Kenntnis über die einzelnen Streuinduktivitätswerte im Kommutierungskreis. Dadurch ist ein höherer simulativer und/oder messtechnischer Aufwand notwendig. Zudem ist aus aufbau- bzw. verbindungstechnischer Sicht die Position des Hilfssource-Abgriffs nicht immer frei wählbar.

| | $L_{S\sigma 2} = 4,5\text{ nH}$, $R_G = 15\ \Omega$ | $L_{S\sigma 2} = 6,7\text{ nH}$, $R_G = 5,1\ \Omega$ | $L_{S\sigma 2} = 7,4\text{ nH}$, $R_G = 3,9\ \Omega$ |
|--|---|--|--|
| Überspannung U_{pk} | 18,9 V | 18,4 V | 18,5 V |
| Einschaltenergie $E_{s(on)}$ | 84 μJ | 53 μJ | 46 μJ |
| Ausschaltenergie $E_{s(off)}$ | 927 μJ | 729 μJ | 690 μJ |
| Ausschaltverzögerungszeit $t_{d(off)}$ | 423,1 ns | 181,6 ns | 148,7 ns |
| Reduzierung Schaltenergie E_s gegenüber $L_{S\sigma 2} = 4,5\text{ nH}$, $R_G = 15\ \Omega$ | 0 % | 22,6 % | 27,2 % |
| Reduzierung Ausschaltverzögerungszeit $t_{d(off)}$ gegenüber $L_{S\sigma 2} = 4,5\text{ nH}$, $R_G = 15\ \Omega$ | 0 % | 57,1 % | 64,8 % |

Tab. 6.2: Kennwerte für verschiedene Common Source Induktivitäten und Gate Widerstände bei Einhaltung einer Überspannung von 18 bis 19 V beim Abschalten des NP110N055PUG; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $T_J = 25\text{ }^\circ\text{C}$

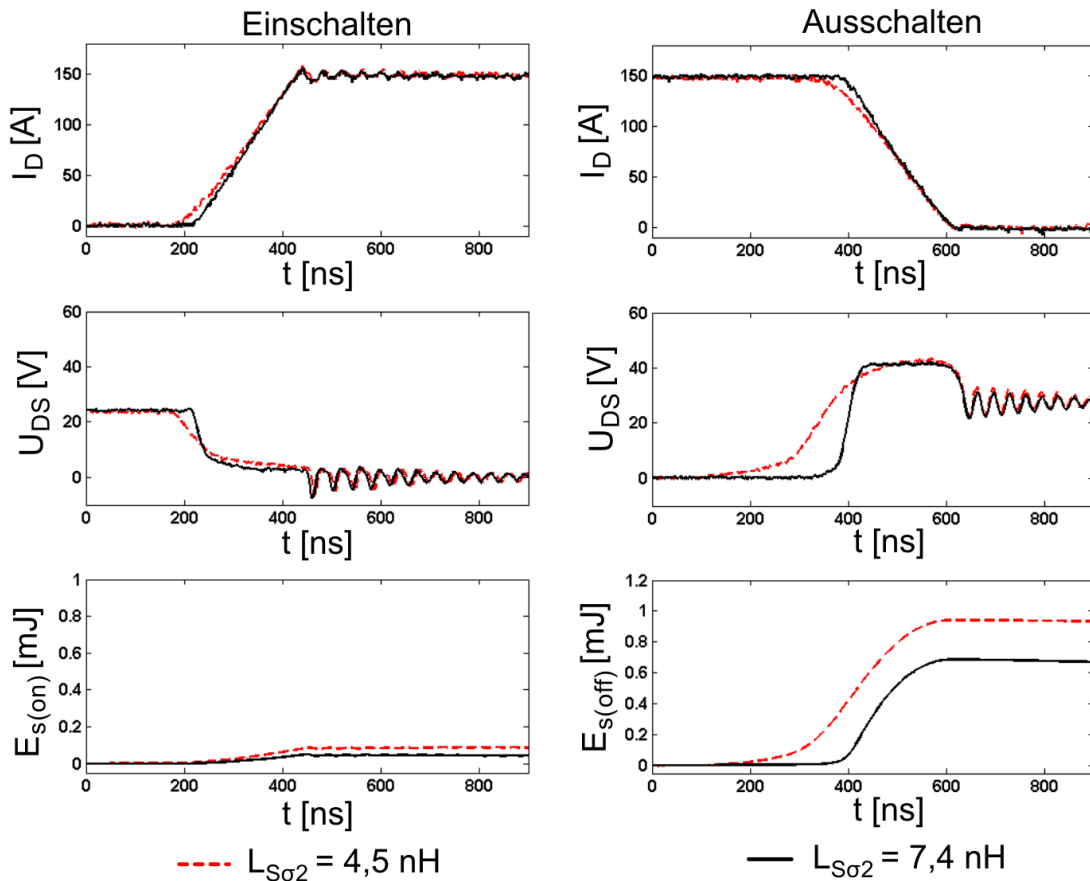


Abb. 6.12: Ein- und Ausschaltverhalten des NP110N055PUG bei $L_{S\sigma 2} = 4,5 \text{ nH}$ und $R_G = 15 \Omega$ bzw. $L_{S\sigma 2} = 7,4 \text{ nH}$ und $R_G = 3,9 \Omega$; Bed.: $I_L = 150 \text{ A}$, $U_{DD} = 24 \text{ V}$, $T_J = 25^\circ \text{C}$

7. Kurzschluss-Schutzkonzepte für Leistungs-MOSFETs

7.1 Einführung

Leistungs-MOSFETs müssen vor unzulässigen Beanspruchungen, also vor dem Verlassen der in den Datenblättern der Hersteller angegebenen, sicheren Arbeitsbereiche (Safe Operatin Area - SOA), geschützt werden. Wird dieser Arbeitsbereich verlassen, kann dies zu einer Schädigung und damit zu einer Reduzierung der Lebensdauer oder sogar zu einer sofortigen Zerstörung des Bauelementes führen. Vor allem der Schutz vor Kurzschlüssen und vor Überströmen spielt dabei eine entscheidende Rolle, da diese Fehlerströme zur thermischen Zerstörung durch eine zu hohe Verlustleistung und/oder in Verbindung mit auftretenden Überspannungen bzw. dynamischen Lawinendurchbrüchen führen können [18].

Hierfür werden im Folgenden die verschiedenen Fehlerstrom-Arten erläutert und unterschiedliche Schutzkonzepte aus der Literatur und Praxis vorgestellt. Die speziellen Anforderungen bei der Verwendung von Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit werden hervorgehoben. Im Anschluss wird das am weitesten verbreitete Kurzschluss-Schutzkonzept — die sog. Entsättigungserkennung — detailliert vorgestellt und untersucht. Weiterhin wird aufgezeigt, dass die in der Praxis bei der Auslegung der Entsättigungserkennung in der Regel vernachlässigten Streuinduktivitäten zwischen dem Drain- und dem Source-Abgriff des Treibers einen erheblichen Einfluss auf die Kurzschlussdetektionsschwelle besitzen. So können durch Ausnutzung der induzierten Spannung an Letzteren auch dann noch Brückenkurzschlüsse detektiert werden, wenn die Entsättigungserkennung bei der Detektion von Fehlerströmen mit langsameren Drain-Stromsteilheiten aufgrund einer zu hoch eingestellten Detektionsschwelle versagt und es kann somit die Robustheit der Schaltung erhöht werden.

Ein Teil der hier aufgeführten Ergebnisse wurde bereits in [109] veröffentlicht.

7.2 Fehlerstrom-Arten

Prinzipiell kann zwischen drei verschiedenen Arten an Fehlerströmen — Überstrom, Kurzschluss-Typ 1, Kurzschluss-Typ 2 — unterschieden werden, deren Ursache und Auswirkung sich jedoch unterscheiden und in diesem Abschnitt kurz erläutert werden [18, 33].

Überstrom

Überströme zeichnen sich im Wesentlichen durch einen sehr geringen Drain-Stromanstieg aus und hängen in erster Linie von der Lastinduktivität und der Zwischenkreisspannung bzw. der treibenden Spannung ab. Ursachen sind hierfür eine Verminderung der Lastimpedanz oder ein Fehler in der Umrichterregelung.

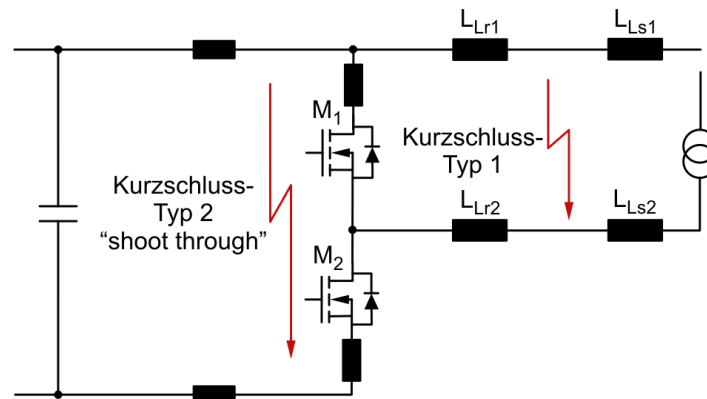


Abb. 7.1: Kurzschluss-Typen in Halbbrückenkonfigurationen

Kurzschluss-Typ 1

Bei diesem Kurzschluss-Typ handelt es sich um einen lastseitigen Kurzschluss, was in Abb. 7.1 dargestellt ist. Dabei hängt der gegenüber dem Überstrom deutlich steilere Stromanstieg wesentlich von der Restinduktivität $L_{Lr} = L_{Lr1} + L_{Lr2}$ in der Lastzuleitung ab. Aus diesem Grund wurden bei den Untersuchungen zwei Fälle betrachtet: Im ersten Fall wird angenommen, dass ein Lastkurzschluss direkt an der Last stattfindet. Dies hat eine noch relativ hohe Restinduktivität L_{Lr} zur Folge. Es werden hier $1,26 \mu\text{H}$ angenommen. Im zweiten Fall handelt es sich um einen Kurzschluss direkt am Umrichter, beispielsweise an den Anschlussklemmen. Hier werden für die Untersuchungen als Restinduktivität $L_{Lr} = 300 \text{ nH}$ angesetzt. Kurzschlüsse von Typ 1 entstehen beispielsweise durch Isolationsfehler oder durch falsche Anschlussverkabelungen.

Kurzschluss-Typ 2

Der Kurzschluss-Typ 2 wird in der Literatur auch häufig als sog. „shoot through“ bezeichnet. Es handelt sich dabei um einen Zweigkurzschluss in einer Halbbrücke, was in Abb. 7.1 illustriert ist. Diese Art an Kurzschluss führt zu den steilsten Drain-Stromanstiegen, da hier nur die sehr geringen Streuinduktivitäten der Zuleitungen zum Zwischenkreis und in der Halbbrücke den Stromanstieg bestimmen. Verursacht wird dieser Fehlerstrom durch defekte Schalter oder fehlerhafte Ansteuerimpulse der Leistungshalbleiter. Durch Einkopplung über die Gate-Drain-Kapazität bedingt durch den Reverse-Recovery Prozess oder durch sehr hohe Drain-Source-Spannungsänderungen kann ebenfalls ein parasitäres Wiederaufschalten des Leistungshalbleiters auftreten [110].

7.3 Kurzschluss-Schutzkonzepte für Leistungshalbleiter

Prinzipiell unterscheiden sich die verschiedenen Schutzkonzepte nicht wesentlich in der Verarbeitung der Fehlersignale. Üblicherweise wird das Messsignal mit einem Referenzsignal verglichen und bei Überschreitung von Letzterem der Leistungs-MOSFET ausgeschaltet. Der Hauptunterschied zwischen den Konzepten besteht jedoch in der Informationsgewin-

nung über den Strom durch den Leistungshalbleiter. Dabei gibt es verschiedene Ansätze in der Literatur, die im Folgenden kurz erläutert werden:

Eine relativ einfache Methode ist die Kurzschlusserkennung über einen Shunt im Source-Zweig des Leistungshalbleiters [18, 77] (siehe Abb. 7.2 (a)). Auf diese Weise wird eine direkt zum Strom proportionale Spannung gemessen und bei Überschreitung eines zuvor definierten Wertes der Leistungshalbleiter ausgeschaltet. Für Anwendungen mit niedrigen Strömen ist diese Methode sehr einfach und praktikabel. Bei Applikationen mit hohen Strömen und hohen Stromsteilheiten besitzt diese Herangehensweise jedoch entscheidende Nachteile: Zum Einen fallen am Shunt weitere ohmsche Verluste an, die den Wirkungsgrad der Schaltung senken. Zum Anderen wird häufig durch das Einpflegen des Shunts in das Leistungslayout die Streuinduktivität des Kommutierungskreises vergrößert, was wiederum zu höheren Schaltverlusten oder Überspannungsproblemen der Leistungshalbleiter führen kann. Zusätzlich besitzen die Messsignale eine hohe Störanfälligkeit und stehen nicht potentialfrei zur Verfügung.

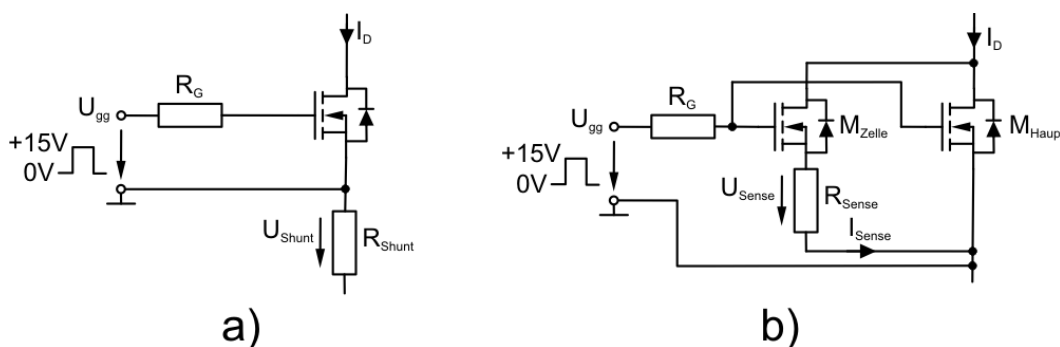


Abb. 7.2: Prinzipschaltbild zweier Kurzschluss-Schutzkonzepte: a) mittels Shunt, b) mittels Sense-FET

Verbreiteter ist in der Literatur aus diesen Gründen die Kurzschlusserkennung mittels eines Sense-FETs [18, 13, 15, 77]. Dabei wird die Eigenschaft des Leistungshalbleiters ausgenutzt, dass dieser aus mehreren, parallelen Zellen besteht. So können vom sogenannten „Hauptschalter“ einige Zellen abgetrennt werden und der Strom durch den Halbleiter über einen separaten Source-Anschluss und externen Messwiderstand R_{sense} gemessen werden. Hierfür sind aufgrund der zusätzlichen benötigten Anschlüsse am Bauelement spezielle Gehäusebauformen notwendig sowie eine entsprechende Aufteilung des Halbleiter-Chips. Auf dem Markt konnte sich diese Methode bei Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit bisher jedoch nicht durchsetzen, weshalb kaum Sense-FETs mit hoher Stromtragfähigkeit bei den Herstellern erhältlich sind. Zum Einen liegt dies an dem Mehraufwand an Anschlüssen, zum Anderen am in der Regel schlechteren Durchlasswiderstand der Sense-FETs. Ein weiterer Grund ist die weit verbreitete Praxis der Parallelschaltung mehrerer Leistungs-MOSFETs. Das Ziel einer zuverlässigen Kurzschlusserkennung würde bedeuten, dass durch jeden einzelnen Leistungshalbleiter der Strom gemessen werden müsste und somit zu einer sehr aufwendigen Auswertung führen würde. In Abb. 7.2

(b) ist das Prinzipschaltbild dieser Kurzschlusserkennungs-Methode dargestellt.

Das wohl am weitesten verbreitete Konzept zur Detektion von Kurzschlüssen ist die sog. Entsättigungserkennung (engl.: desaturation detection) [18, 13, 111, 112, 113, 114]. Dabei wird die Durchlassspannung des Leistungshalbleiters überwacht, die im Idealfall im ohmschen Bereich proportional zum Strom durch den Halbleiter ist.

Der Begriff Entsättigungserkennung ist formal nur bei Anwendungen mit IGBTs korrekt, da man beim IGBT vom Ohmschen Bereich und Sättigungsbereich bzw. Entsättigungsbereich spricht. Beim MOSFET dagegen wird die statische Kennlinie dagegen in Ohmschen Bereich und Abschnürbereich unterteilt. Dennoch wird in der Literatur sowie in der Industrie dieses Verfahren in der Regel auch bei MOSFETs als Entsättigungserkennung bezeichnet. Dieser Begriff wird auch im Folgenden in dieser Arbeit verwendet.

In der Praxis sind jedoch weitere Effekte zu beachten [13]. So besitzt der Durchlasswiderstand eine sehr hohe Temperaturabhängigkeit. Weiterhin ist bei der Auswertung des Kurzschlusses die Gate-Spannung mitzubersichtigen. Das Prinzipschaltbild ist in Abb. 7.3 (a) illustriert. Die zu messende Größe ist dabei die Drain-Source-Spannung U_{DS} plus die Vorwärtsspannung U_F der Diode.

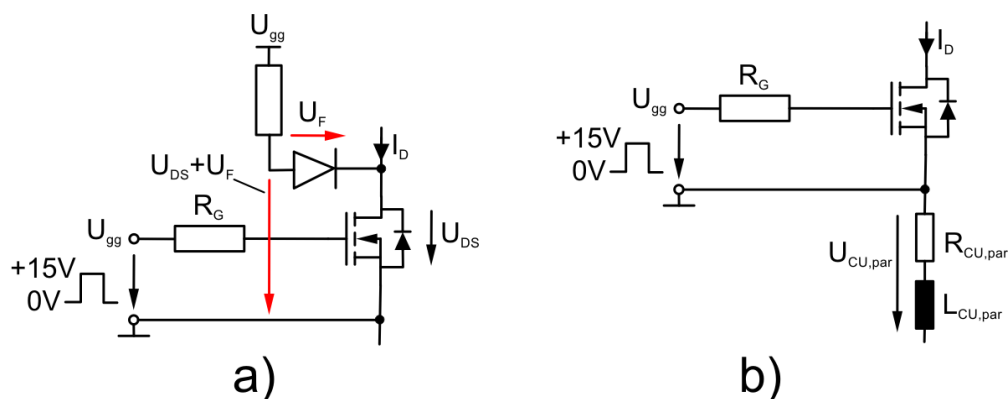


Abb. 7.3: Prinzipschaltbild zweier Kurzschluss-Schutzkonzepte: a) mittels Entsättigungserkennung, b) mittels Streuinduktivität

Eine andere Methode ist die Ausnutzung der Streuinduktivität in der Source-Zuleitung des Leistungshalbleiters [111, 115], wie es in Abb. 7.3 (b) zu sehen ist. Prinzipiell ähnelt diese Herangehensweise der des Konzeptes mit einem Shunt. Bei dieser Methode liegt der Fokus jedoch auf der Streuinduktivität und nicht auf dem parasitären Widerstand. Die durch den Stromanstieg an der Streuinduktivität verursachte induzierte Spannung wird gemessen und bei einer Überschreitung dieser über einen bestimmten Wert und damit einer maximal erlaubten Stromsteilheit der Halbleiter wieder ausgeschaltet. Vorteilhaft ist dabei, dass keine nennenswerte Temperaturabhängigkeit dieses Kurzschluss-Schutzkonzeptes besteht. Außerdem kann die Streuinduktivität des Leistungslayouts ausgenutzt werden. Es können jedoch auch gewisse Streuungen der parasitären Induktivitäten und Widerstände bestehen, die durch beispielsweise unterschiedliche Kontaktwiderstandscharakteristiken bei vor allem Anwendungen mit Leistungshalbleiter-Modulen entstehen. In Anwendungen mit Leistungshalbleiter-

Modulen besteht zudem nicht immer die Möglichkeit eines zusätzlich benötigten Abgriffs im Kommutierungsweig. Nachteilig ist jedoch, dass bei diesem Verfahren meistens Überströme und lastseitige Kurzschlüsse 1. Art aufgrund des zu niedrigen Stromanstiegs nicht oder nur äußerst schwer detektiert werden können.

Wie bereits erwähnt, unterscheiden sich die Methoden lediglich durch die Art der Informationsgewinnung über den Drain-Strom voneinander. Dabei besitzen die Konzepte der Kurzschlusserkennung mittels Shunt, mittels Sense-FET und mittels der Streuinduktivität im Sourcezweig aus bereits genannten Gründen entscheidende Nachteile bei Anwendungen mit Leistungs-MOSFETs. Daher ist die Entsättigungserkennung die am weitesten verbreitet Detektionsmethode und wird in dieser Arbeit speziell für den Fall einer Anwendung bei Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit untersucht. Das Ziel ist es, Auslegungsaspekte wie zum Beispiel den Einfluss der Temperaturabhängigkeit sowie der Streuinduktivitäten zwischen dem Drain- und Source-Abgriff des Treibers auf die Detektionsschwelle der Kurzschlusserkennung für die verschiedenen Fehlerstrom-Arten anhand einer eigenen entwickelten Entsättigungserkennung aufzuzeigen und zu verdeutlichen, wie die Schaltung robust gestaltet werden kann.

7.3.1 Spezielle Anforderungen für Leistungs-MOSFETs

Für ein besseres Verständnis der hier in diesem Kapitel verwendeten Symbole befindet sich in Abb. 7.4 der prinzipielle Verlauf des Drain-Stromes I_D , der Gate-Source-Spannung U_{GS} und der Fehlersignalspannung U_{Fault} im Kurzschlussfall. Dabei bezeichnet $I_{D,ks(th)}$ die Kurzschlussstrom-Detektionsschwelle und $I_{D,ks(off)}$ den Kurzschluss-Abschaltstrom.

Die Ansprechzeit $t_{sc,res}$, die vor allem bei Kurzschlüssen des Typs 2 wichtig ist, ist die Dauer, die vom Einschalten des MOSFETs bis zur Detektion eines Fehlerstromes benötigt wird. Die Verzögerungszeit der Kurzschlusserkennung wird mit $t_{sc,pd}$ gekennzeichnet.

Für die Detektion von Überströmen und Kurzschlüssen ergeben sich für Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit spezielle Anforderungen, die im Folgenden erläutert werden:

Bei Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit beträgt der Bahnwiderstand $R_{DS(on)}$ in der Regel nur wenige Milliohm. Das bedeutet, dass anders als bei MOSFETs mit hohen Spannungsfestigkeiten oder IGBTs, bei denen im Fehlerstromfall die Durchlassspannung häufig 5 Volt und höher ist, die Durchlassspannung U_{DS} auch im Fehlerfall trotz des hohen Stromes nur wenige hundert Millivolt beträgt. Zwar gibt es viele Integrierte Schaltungen (ICs) auf dem Markt, die bereits eine Entsättigungserkennung bieten, jedoch können die meisten von ihnen aufgrund einer hohen integrierten Detektions-Referenzspannung nicht bei Anwendungen mit den hier untersuchten Leistungs-MOSFETs aus oben genannten Gründen verwendet werden. Zusätzlich besitzen die ICs häufig nicht unwesentliche Bauteilschwankungsbreiten der Referenzspannung [116, 117]. Eine präzise

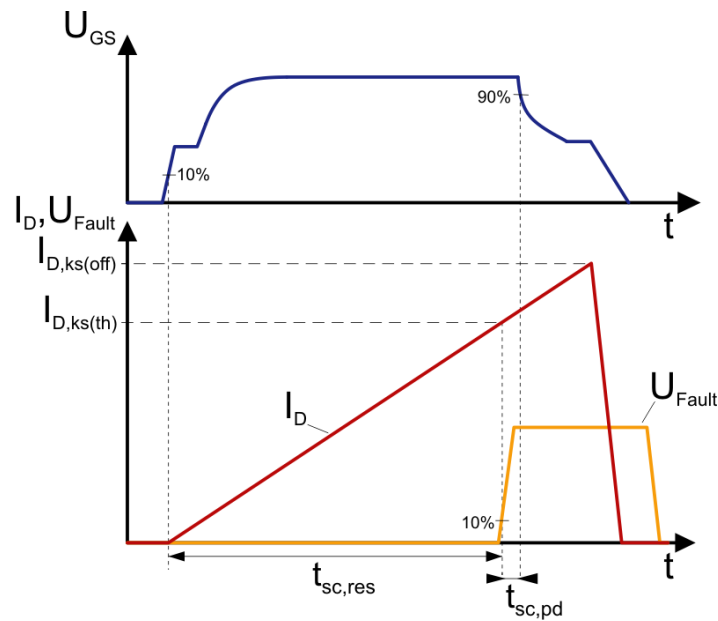


Abb. 7.4: Symbolerklärungen für die Kurzschlussversuche

Einstellung der Höhe der Kurzschlussstrom-Detektionsschwelle wird dadurch erheblich erschwert.

Weiterhin weisen Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit eine Temperaturabhängigkeit des Bahnwiderstands $R_{DS(on)}$ auf. So kann dieser bezogen auf eine Chiptemperatur von $T_J = 25^\circ\text{C}$ bei einer Temperatur von $T_J = 125^\circ\text{C}$ um den Faktor 1,3 bis 2,0 ansteigen. Bei einer Entsättigungserkennung ohne Temperaturkompensation bedeutet dies, dass bei niedrigen Sperrschichttemperaturen eine wesentlich höhere Kurzschlussstrom-Detektionsschwelle als bei höheren Temperaturen entsteht.

In der Regel haben Leistungs-MOSFETs mit hoher Stromtragfähigkeit die Eigenschaft, bei einer Dauer unter $10\ \mu\text{s}$ kurzzeitig Stromimpulse von z.B. des Zehnfachen des im Datenblatt aufgeführten kontinuierlichen Drain-Stromes tragen zu können. Bei Brückenweig-Kurzschlüssen können jedoch Stromsteilheiten von bis zu $1000\ \text{A}/\mu\text{s}$ und höher entstehen, wodurch auch diese hohe Reserve an Stromtragfähigkeit schnell ausgeschöpft ist. Hieraus resultiert die Forderung einer sehr kurzen Ansprech- und Verzögerungszeit der Kurzschlusserkennung, was bei der Auslegung der Messsignalfilter und der Durchlaufzeiten mitberücksichtigt werden muss.

7.4 Untersuchung einer Entsättigungserkennung für Leistungs-MOSFETs mit niedriger Spannungsfestigkeit

Die folgenden Untersuchungen wurden mittels des Teststandes nach Abschnitt 3.2 durchgeführt. Als Prüfling wurde der IRFS3306PbF von International Rectifier verwendet. Sofern nicht anders angegeben, beträgt die Common Source Induktivität $L_{S\sigma 2} = 4,5\ \text{nH}$, die Streuinduktivität $L_{D\sigma 2} = 2,0\ \text{nH}$ sowie der Gate-Widerstand $R_G = 7,5\ \Omega$.

7.4.1 Realisierung der Entsättigungserkennung

In Abb. 7.5 ist das Prinzipschaltbild der hier in dieser Arbeit realisierten Entsättigungserkennung aufgeführt. Für die Erläuterung der Funktionsweise der Schaltung werden die Streuinduktivitäten $L_{D\sigma 2}$ und $L_{S\sigma 2}$ zunächst vernachlässigt.

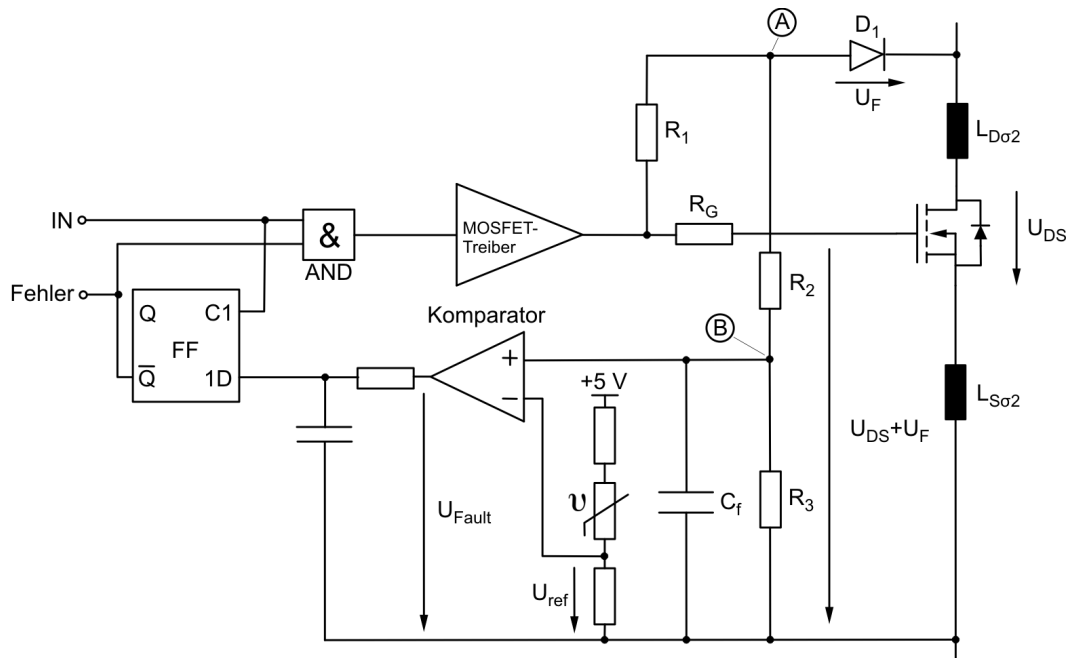


Abb. 7.5: Prinzipschaltbild der Entsättigungserkennung

Während der Leitendphase des Leistungs-MOSFETs wird über die Diode D_1 und den Widerstand R_1 ein niedriger Strom in den Leistungsteil eingepreßt. Auf diese Weise liegt während der Leitendphase am Punkt A die Durchlassspannung U_{DS} plus die Durchlassspannung U_F der Diode D_1 an und kann über einen Spannungsteiler mit einer Referenzspannung U_{ref} mittels eines schnellen Komparators verglichen werden. Das heruntergeteilte Messsignal an Punkt B muss aufgrund von Einkopplungen mittels des Kondensators C_f gefiltert werden. Desweiteren wird durch die Verzögerung dieses Filters ein fehlerhaftes Auslösen der Kurzschlusserkennung durch ein Ausblenden des Einschaltvorgangs des Leistungs-MOSFETs verhindert [18]. Bei einem Überschreiten der Spannung an Punkt B über die Referenzspannung U_{ref} wechselt der Komparatorausgang U_{Fault} vom Low-Zustand in den High-Zustand über.

Um die Temperaturabhängigkeit der Kurzschlussstrom-Detektionsschwelle zu kompensieren, kann in die Widerstandsbrücke zur Generierung des Referenzsignals U_{ref} ein temperaturabhängiger Widerstand eingesetzt werden, der hier direkt auf das Gehäuse des Leistungs-MOSFETs montiert wird. Dabei wird vorausgesetzt, dass die Gehäusetemperatur des Prüflings näherungsweise der Temperatur des Halbleiters entspricht. Mit ansteigender Temperatur verringert sich der Widerstand des Thermistors und vergrößert somit die Referenzspannung.

Das auf den Komparator folgende D-Flipflop hat die Aufgabe, ein auftretendes Fehlersignal

zu speichern und ein unerwünschtes Wiederaufschalten des MOSFETs zu verhindern. Erst bei der nächsten positiven Flanke des PWM-Signals IN wird der Ausgang des Flipflops zurückgesetzt. Während der Sperrphase des Leistungshalbleiters deaktiviert das Flipflop die Entsättigungserkennung. Die Verwendung eines D-Flipflops als integrierte Schaltung anstatt einer diskreten Realisierung führt zu einem deutlich geringeren Schaltungsvolumen, zu einer kürzeren Verzögerungszeit sowie zu niedrigeren Kosten.

Das PWM-Signal IN wird nur dann an die Treiberstufe mittels eines AND-Gatters weitergeleitet, wenn kein Fehler detektiert bzw. vom Flipflop gemeldet wird. Anderenfalls wird der Eingang der Treiberstufe auf Low gehalten.

Für einen zufriedenstellenden Betrieb der Entsättigungserkennung sollten alle Verzögerungszeiten, speziell die des Komparators, möglichst kurz sein. Weiterhin sollten die Filterzeitkonstanten nur in einem Bereich von wenigen hundert Nanosekunden liegen, um schnell genug auf Kurzschlüsse vor allem des Typs 2 reagieren zu können.

Ein wesentlichen Faktor bei der Detektion von Kurzschlüssen durch eine Entsättigungserkennung stellen die Induktivitäten $L_{D\sigma 2}$ und $L_{S\sigma 2}$ des MOSFET-Gehäuses bzw. die Streuinduktivitäten zwischen dem Drain- und dem Source-Abgriff des Treibers dar, die mitberücksichtigt werden müssen. Zum Einen entsteht an ihnen während des Stromanstiegs beim Einschalten eine induzierte Spannung, die bei der Auslegung der Filterkapazität C_f am Eingang des Komparators mitberücksichtigt werden sollte, damit die Entsättigungserkennung nicht während des Einschaltens einen Fehler detektiert und den MOSFET wieder ausschaltet. Zum Anderen wird aber auch während des Stromanstiegs im Fehlerfall ebenfalls an diesen Induktivitäten eine Spannung induziert, die wiederum zusätzlich zur Durchlassspannung des MOSFETs mitgemessen wird und zu einer niedrigeren Kurzschlussstrom-Detektionsschwelle als erwartet führen kann. Das heißt, je steiler der Stromanstieg durch $L_{D\sigma 2}$ und $L_{S\sigma 2}$, desto früher wird die Entsättigungserkennung einen Fehler auslösen und das Abschalten einleiten. Bei der Entwicklung einer Treiberschaltung mit Entsättigungserkennung kann dieser Effekt aber auch ausgenutzt werden, um ein rechtzeitiges Abschalten des Leistungs-MOSFETs im Fehlerfall sicherzustellen. Weiterhin kann beim Ausschaltvorgang bedingt durch Einkopplungen während des Stromabfalls ebenfalls eine Fehlermeldung des Komparators eintreten. Diese Fehlermeldung wird jedoch durch das darauffolgende D-Flipflop unterdrückt.

Für die folgenden Untersuchungen des Verhaltens der Entsättigungserkennung bei unterschiedlichen Fehlerstrom-Arten wurde unter der in der Praxis gängigen Vernachlässigung von $L_{D\sigma 2}$ und $L_{S\sigma 2}$ eine theoretische Kurzschlussstrom-Detektionsschwelle $I_{D,ks(th),soll}$ von 175 A eingestellt.

Das Ein- und Ausschaltverhalten im fehlerfreien Betrieb bei Verwendung der Entsättigungserkennung ist in Abb. 7.6 dargestellt. Beim Einschalten ist zu erkennen, dass der Komparator keinen Fehler ausgibt. Dies wird durch die Verzögerung des Eingangsfilters am Kompara-

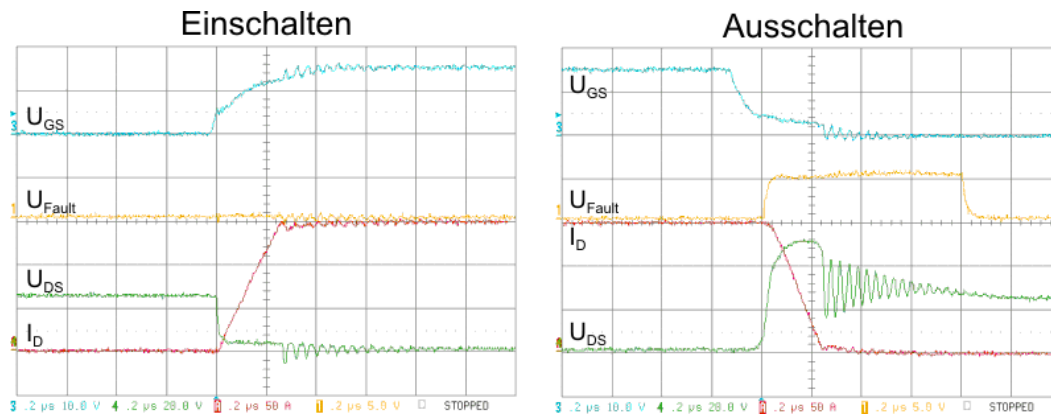


Abb. 7.6: Ein- und Ausschaltvorgang des Leistungs-MOSFETs IRFS3306PbF bei Verwendung einer Entsättigungserkennung im fehlerfreien Betrieb; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $I_{D,ks(th),soll} = 175\text{ A}$, $C_f = 470\text{ pF}$, $T_J = 25^\circ\text{C}$, t 200 ns/div, Ch. 1: U_{Fault} 5 V/div, Ch. 3: U_{GS} 10 V/div, Ch. 4: U_{DS} 20 V/div, Ch. A: I_D 50 A/div

tor verhindert. Beim Ausschalten wird jedoch bedingt durch Einkopplungen während des Stromabfalls ein Fehler gemeldet. Da sich das PWM-Signal IN zu diesem Zeitpunkt bereits wieder im LOW-Zustand befindet, wird dieses Signal vom D-Flipflop ignoriert.

7.4.2 Verhalten im Fall eines Überstromes

Der Ausschaltvorgang im Falle eines Überstromes mit einem relativ flachen Stromanstieg ist in Abb. 7.7 dargestellt. In diesem Fall beträgt die Kurzschlussstrom-Detektionsschwelle 172,8 A, was relativ gut dem theoretischen Wert von 175 A entspricht. Gewisse Abweichungen können jedoch schnell durch Schwankungen der Bauteilparameter, speziell des Bahnwiderstandes, entstehen.

7.4.3 Verhalten im Fall eines Kurzschluss-Typs 1

In Abb. 7.8 ist der Ausschaltvorgang für einen Kurzschluss des Typs 1 an der Last illustriert. Aufgrund der relativ hohen Restinduktivität der Lastkabel von hier $L_{Lr} = 1,26\text{ }\mu\text{H}$ ist die Stromsteilheit während des Stromanstiegs immer noch gering. Bei einem Strom von 144,7 A detektiert die Entsättigungserkennung einen Fehler und der Leistungs-MOSFET wird nach einer Verzögerungszeit $t_{sc,pd} = 43\text{ ns}$ ausgeschaltet. Die experimentell niedrigere Kurzschlussstrom-Detektionsschwelle von 144,7 A im Vergleich zum eingestellten, theoretischen Wert von 175 A wird dabei durch die induzierten Spannungen an den Induktivitäten $L_{D\sigma 2}$ und $L_{S\sigma 2}$ während des positiven Stromanstiegs verursacht. Diese betragen für diesen Fall an dem Laboraufbau ca. 50 - 150 mV und werden bei der Erfassung der Drain-Source-Spannung mitgemessen.

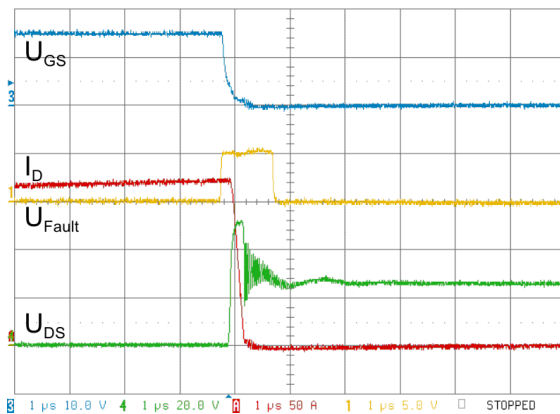


Abb. 7.7: Ausschaltvorgang des IRFS3306PbF bei Detektion eines Überstromes; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,ks(th),soll} = 175\text{ A}$, $C_f = 470\text{ pF}$, $T_J = 25^\circ\text{ C}$, $t = 1\ \mu\text{s}/\text{div}$, Ch. 1: U_{Fault} 5 V/div, Ch. 3: U_{GS} 10 V/div, Ch. 4: U_{DS} 20 V/div, Ch. A: I_D 50 A/div

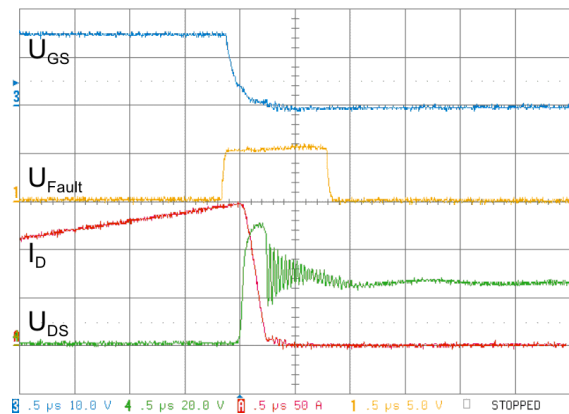


Abb. 7.8: Ausschaltvorgang des IRFS3306PbF bei Detektion eines Kurzschlusses von Typ 1 an der Last ($L_{Lr} = 1,26\ \mu\text{H}$); Bed.: $U_{DD} = 24\text{ V}$, $I_{D,ks(th),soll} = 175\text{ A}$, $C_f = 470\text{ pF}$, $T_J = 25^\circ\text{ C}$, $t = 0,5\ \mu\text{s}/\text{div}$, Ch. 1: U_{Fault} 5 V/div, Ch. 3: U_{GS} 10 V/div, Ch. 4: U_{DS} 20 V/div, Ch. A: I_D 50 A/div

Der Thermistor kompensiert die Temperaturabhängigkeit des Bahnwiderstandes bzw. der Drain-Source-Spannung. Für einen Vergleich sind in Tab. 7.1 die verschiedenen Kurzschlussstrom-Detektionsschwellen mit und ohne Temperaturkompensation für verschiedene Sperrschichttemperaturen T_J aufgeführt. Es ist ersichtlich, dass ohne Temperaturkompensation die Detektionsschwelle mit zunehmender Sperrschichttemperatur und damit steigendem Bahnwiderstand erheblich sinkt. Mittels der Temperaturkompensation kann dieser Effekt reduziert werden. Der punktuelle Anstieg der Detektionsschwelle bei 50° C und 75° C wird durch die nichtlineare Charakteristik des Thermistors verursacht.

| T_J | $I_{D,ks(th)}$ ohne Temperatur- kompensation | $I_{D,ks(th)}$ mit Temperatur- kompensation |
|----------------------|--|---|
| 25° C | 140,9 A | 144,7 A |
| 50° C | 125,3 A | 164,2 A |
| 75° C | 112,8 A | 156,7 A |
| 100° C | 107,7 A | 147,8 A |
| 125° C | 100,3 A | 141,6 A |

Tab. 7.1: Gemessene Kurzschlussstrom-Detektionsschwellen $I_{D,ks(th)}$ der Entsättigungserkennung im Falle eines Kurzschluss-Typs 1 an der Last für verschiedene Sperrschichttemperaturen T_J mit und ohne Temperaturkompensation; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,ks(th),soll} = 175\text{ A}$, $C_f = 470\text{ pF}$

Im Vergleich zu einem lastseitigen Kurzschluss führt selbiger direkt am Umrichter aufgrund der niedrigeren Restinduktivität L_{Lr} zu einem wesentlich steileren Stromanstieg im

Leistungshalbleiter. In Abb. 7.9 ist dieser Fall illustriert. Zu Beginn des Einschaltens beträgt die Fehlerspannung U_{Fault} Null Volt. Nach einer kurzen Zeit detektiert die Entsättigungserkennung eine zu hohe Drain-Source-Spannung. Aufgrund der nun höheren, induzierten Spannungsabfälle an den Streuinduktivitäten $L_{D\sigma 2}$ und $L_{S\sigma 2}$ des Gehäuses fällt die Kurzschlussstrom-Detektionsschwelle $I_{D,ks(th)}$ für diesen Fall mit 108,7 A wesentlich niedriger als beim lastseitigen Kurzschluss von Typ 1 aus. Die Verzögerungszeit $t_{sc,pd}$ ist jedoch dieselbe.

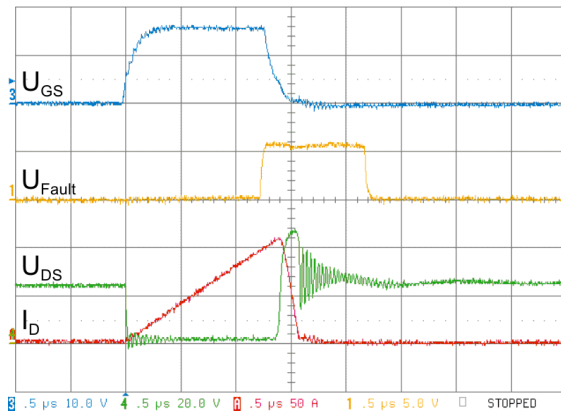


Abb. 7.9: Ausschaltvorgang des IRFS3306PbF bei Detektion eines Kurzschlusses von Typ 1 am Umrichter ($L_{Lr} = 300\text{ nH}$); Bed.: $U_{DD} = 24\text{ V}$, $I_{D,ks(th),soll} = 175\text{ A}$, $C_f = 470\text{ pF}$, $T_j = 25^\circ\text{C}$, t 0,5 $\mu\text{s}/\text{div}$, Ch. 1: U_{Fault} 5 V/div, Ch. 3: U_{GS} 10 V/div, Ch. 4: U_{DS} 20 V/div, Ch. A: I_D 50 A/div

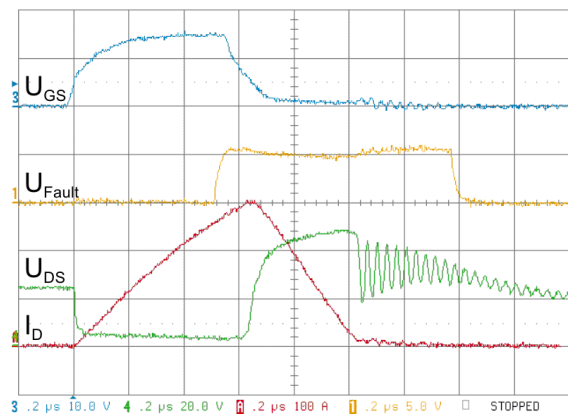


Abb. 7.10: Ausschaltvorgang des IRFS3306PbF bei Detektion eines Kurzschlusses von Typ 2; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,ks(th),soll} = 175\text{ A}$, $C_f = 470\text{ pF}$, $T_j = 25^\circ\text{C}$, t 200 ns/div, Ch. 1: U_{Fault} 5 V/div, Ch. 3: U_{GS} 10 V/div, Ch. 4: U_{DS} 20 V/div, Ch. A: I_D 100 A/div

7.4.4 Verhalten im Fall eines Kurzschluss-Typs 2

Der Kurzschluss-Typ 2 führt zum steilsten Stromanstieg im Vergleich zu den anderen Fehlerstrom-Arten. In Abb. 7.10 ist dieser Fall dargestellt. Während des Stromanstiegs beträgt die Summe der induzierten Spannungen an den Streuinduktivitäten des Gehäuses ca. 3 V, was durch das niedrige Verhältnis zwischen Gehäuse-Induktivitäten und der Streuinduktivität des gesamten Kommutierungskreises verursacht wird. Aus diesem Grund wird die Filterkapazität C_f am Eingang des Komparators sehr schnell auf eine Spannung über der Referenzspannung aufgeladen. Bei Überschreitung der Referenzspannung löst der Komparator das Fehler-signal aus und die Entsättigungserkennung verhindert durch das Abschalten des MOSFETs nach einer Verzögerungszeit $t_{sc,pd}$ einen weiteren Drain-Stromanstieg. In diesem Fall beträgt die Kurzschlussstrom-Detektionsschwelle $I_{D,ks(th)} = 258\text{ A}$. Der Kurzschluss-Abschaltstrom liegt mit $I_{D,ks(off)} = 302\text{ A}$ unterhalb des im Datenblatt des IRFS3306PbF spezifizierten maximalen gepulsten Drain-Stromes von 680 A. Der Betrieb innerhalb des SOA-Bereich des Halbleiters ist demzufolge gewährleistet.

Im Gegensatz zum Kurzschluss-Typ 1 ist beim Typ 2 die Kurzschlussstrom-Detektionsschwelle kaum temperaturabhängig, da hier der Einfluss der induzierten Spannungen an den Gehäuse-Induktivitäten deutlich überwiegt. Dies ist in Tab. 7.2 erkennbar, in der die Kurzschlussstrom-Detektionsschwelle $I_{D,ks(th)}$ sowie der Kurzschluss-Abschaltstrom $I_{D,ks(off)}$ in Abhängigkeit von der Sperrschichttemperaturen T_J bei der Entsättigungserkennung ohne Temperaturkompensation aufgeführt ist.

| T_J | $I_{D,ks(th)}$ | $I_{D,ks(off)}$ |
|--------|----------------|-----------------|
| 25 °C | 258 A | 302 A |
| 50 °C | 258 A | 302 A |
| 75 °C | 256 A | 299 A |
| 100 °C | 254 A | 296 A |
| 125 °C | 250 A | 292 A |

Tab. 7.2: Experimentelle Kurzschlussstrom-Detektionsschwellen $I_{D,ks(th)}$ und Kurzschluss-Abschaltströme $I_{D,ks(off)}$ der Entsättigungserkennung ohne Temperaturkompensation im Falle eines Kurzschluss-Typs 2 in Abhängigkeit von der Sperrschichttemperaturen T_J ; Bed.: $U_{DD} = 24 \text{ V}$, $I_{D,ks(th),soll} = 175 \text{ A}$, $C_f = 470 \text{ pF}$

7.4.5 Eigenschaften der Entsättigungserkennung

Wie bereits erwähnt, hat die Höhe der Bauelement-Streuinduktivitäten $L_{S\sigma 2}$ und $L_{D\sigma 2}$ bzw. der Streuinduktivitäten zwischen dem Source- und dem Drain-Abgriff des Treibers einen nicht unerheblichen Einfluss auf die Kurzschlussstrom-Detektionsschwelle, was in Abb. 7.11 illustriert ist. Während der Einfluss auf die Detektionsschwelle bei Überströmen erwartungsgemäß relativ niedrig ist, sinkt $I_{D,ks(th)}$ bei Kurzschlüssen des Typs 1 und 2 erheblich mit wachsender Summe aus $L_{S\sigma 2} + L_{D\sigma 2}$. Mittels einer damit steigenden, induzierten Spannung an den Streuinduktivitäten wird im Fehlerstromfall die Detektionsschwelle früher überschritten und der MOSFET bei geringerem Kurzschlussstrom abgeschaltet.

In Abb. 7.12 ist die Ansprechzeit der Entsättigungserkennung abgebildet. Während die Ansprechzeit bei umrichterseitigen Lastkurzschlüssen des Typs 1 deutlich reduziert werden kann, ist der Effekt bei Brückenkurzschlüssen aufgrund des Einflusses der Filterkapazität C_f auf die Ansprechzeit etwas geringer (siehe auch Abb. 7.15).

Generell kann festgestellt werden, dass durch eine Erhöhung der Streuinduktivitäten $L_{D\sigma 2}$ und $L_{S\sigma 2}$ die Einhaltung des SOA-Bereiches aufgrund einer Verkürzung der Ansprechzeiten der Entsättigungserkennung gewährleistet werden kann.

Die experimentell erzielte Kurzschlussdetektionsschwelle $I_{D,ks(th)}$ in Abhängigkeit von der theoretischen Detektionsschwelle $I_{D,ks(th),soll}$ ohne Berücksichtigung von $L_{D\sigma 2}$ und $L_{S\sigma 2}$ ist in Abb. 7.13 dargestellt. Wie zu erkennen ist, stimmen bei Überströmen die theoretischen Detektionsschwellen relativ gut mit den experimentell erzielten Werten überein. Mit zunehmender Stromsteilheit — wie es beim lastseitigen und umrichterseitigen Kurzschluss der Fall

ist — fallen die experimentell erzielten Werte aufgrund der induzierten Spannungen niedriger aus. Im Kurzschluss-Typ 2 hingegen bleibt die Detektionsschwelle relativ konstant, da sofort mit dem Stromanstieg die Spannung zwischen dem Drain- und dem Source-Abgriff des Treibers über die Referenzspannung steigt.

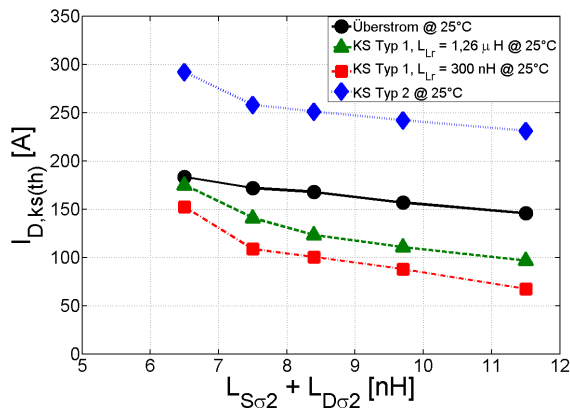


Abb. 7.11: Verlauf der Kurzschlussstrom-Detektionsschwelle der Ent sättigungserkennung in Abhängigkeit von der Streuinduktivität $L_{S\sigma 2} + L_{D\sigma 2}$; Bed.: $U_{DD} = 24 V$, $I_{D,ks(th),soll} = 175 A$, $C_f = 470 pF$, $T_J = 25^\circ C$

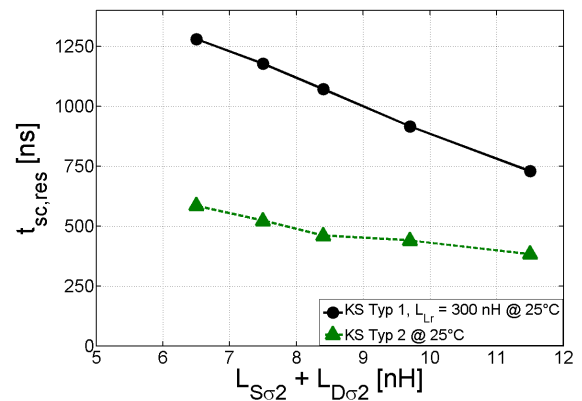


Abb. 7.12: Verlauf der Ansprechzeit der Ent sättigungserkennung in Abhängigkeit von der Streuinduktivität $L_{S\sigma 2} + L_{D\sigma 2}$; Bed.: $U_{DD} = 24 V$, $I_{D,ks(th),soll} = 175 A$, $C_f = 470 pF$, $T_J = 25^\circ C$

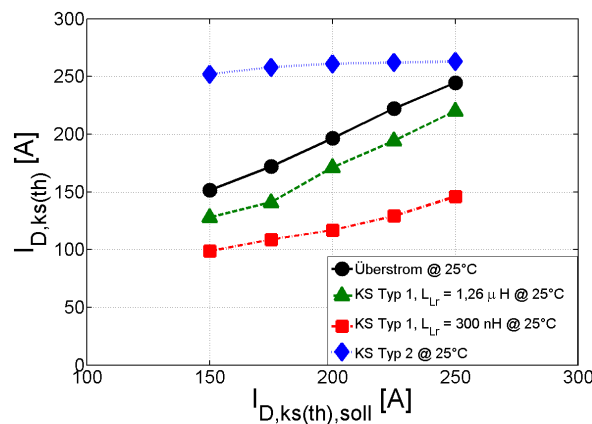


Abb. 7.13: Verlauf der experimentell erzielten Kurzschlussdetektionsschwelle $I_{D,ks(th)}$ in Abhängigkeit von der theoretischen Detektionsschwelle $I_{D,ks(th),soll}$ ohne Berücksichtigung von $L_{D\sigma 2}$ und $L_{S\sigma 2}$; Bed.: $U_{DD} = 24 V$, $C_f = 470 pF$, $T_J = 25^\circ C$

Ein weiterer wichtiger Faktor ist die Wahl des Filterkondensators C_f . Dieser dient neben der Glättung des Messsignals ebenfalls zur Ausblendung des Einschaltvorganges. Das heißt, damit während des Einschaltens bedingt durch induzierte Spannungen an den Bauelement-Streuinduktivitäten kein unerwünschtes High-Signal durch den Komparator ausgelöst wird, darf die Spannung an Punkt B in Abb. 7.5 die Referenzspannung U_{ref} während des Einschaltvorgangs nicht überschreiten. Als gute Näherung kann zur Bestimmung der benötigten minimalen Filterzeitkonstanten Gleichung (7.1) herangezogen werden:

$$\tau_{Cf} = C_f \cdot \frac{R_2 \cdot R_3}{R_2 + R_3} > t_{d(on)} + t_{ri} + t_{fu}. \quad (7.1)$$

Wird die Filterkapazität C_f und damit die Zeitkonstante τ_{Cf} jedoch zu groß gewählt, steigt ebenfalls die Kurzschlussstrom-Detektionsschwelle. Dieser Sachverhalt ist in den Abbildungen 7.14 und 7.15 dargestellt, in denen die Detektionsschwellen und Ansprechzeiten der verschiedenen Fehlerströme in Abhängigkeit von der Filterkapazität illustriert sind. Während beim Überstrom und bei einem lastseitigen Kurzschluss des Typs 1 die Filterkapazität, bzw. die Zeitkonstante τ_{Cf} , keinen Einfluss auf die Detektionsschwelle hat, so spielt diese bei einem umrichterseitigen Kurzschluss und einem Zweigkurzschluss eine wichtige Rolle. Mit zunehmender Kapazität steigt die Ladezeit des Kondensators C_f und führt zu einer späteren Detektion des Fehlerstromes (siehe Abb. 7.15) mittels des Komparators, was wiederum eine steigende Kurzschlussstrom-Detektionsschwelle zur Folge hat (siehe Abb. 7.14). Für zu hohe Kapazitätswerte kann demzufolge der Betrieb im SOA-Bereich ggf. nicht mehr gewährleistet werden.

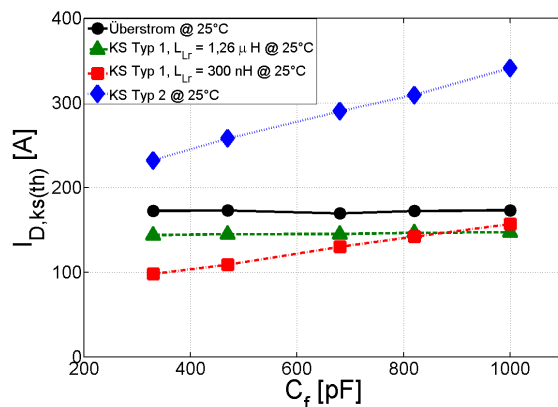


Abb. 7.14: Verlauf der Kurzschlussstrom-Detektionsschwelle der Entsättigungserkennung in Abhängigkeit von der Eingangfilterkapazität C_f ; Bed.: $U_{DD} = 24 \text{ V}$, $I_{D,ks(th),soll} = 175 \text{ A}$, $T_J = 25^\circ \text{C}$

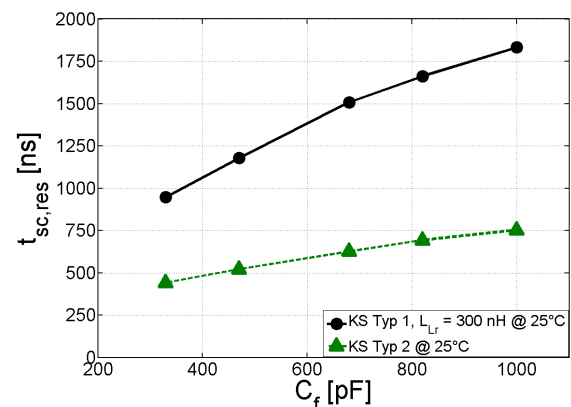


Abb. 7.15: Verlauf der Ansprechzeit der Entsättigungserkennung in Abhängigkeit von der Filterkapazität C_f ; Bed.: $U_{DD} = 24 \text{ V}$, $I_{D,ks(th),soll} = 175 \text{ A}$, $T_J = 25^\circ \text{C}$

7.5 Zusammenfassung und Schlussfolgerungen

Die Entsättigungserkennung bietet eine sehr gute Lösung zur Detektion von Kurzschlüssen. Prinzipiell sind alle Fehlerstrom-Arten detektierbar. Eine schnelle Ansprech- und Verzögerungszeit sind ebenfalls gut realisierbar. Nachteilig ist jedoch die Empfindlichkeit der Detektionsschwelle.

Neben einer starken Temperaturabhängigkeit letzterer haben zum Einen die Streuinduktivitäten des MOSFET-Gehäuses einen entscheidenden Einfluss auf die Detektionsschwelle. Wird dies nicht mitberücksichtigt, ergeben sich unterschiedliche Kurzschlussstrom-Detektions-

schwollen als angenommen. Der Effekt kann zum Anderen aber auch durch geschicktes Platzieren der Drain- und Source-Abgriffe des Treibers vorteilhaft ausgenutzt werden, um den Betrieb des Halbleiters in seinem SOA-Bereich zu gewährleisten. So muss in einigen Applikationen aufgrund von Einkopplungen im Ansteuerkreis die Kurzschlussdetektionsschwelle sehr hoch gewählt werden, um ein ungewolltes Abschalten des MOSFETs im fehlerfreien Betrieb zu verhindern. Dadurch können die MOSFETs bei Überströmen und lastseitigen Kurzschlüssen gegebenenfalls nicht mehr vor der thermischen Zerstörung geschützt werden. Brückenkurzschlüsse und ggf. auch umrichterseitige Kurzschlüsse können jedoch auch dann noch erkannt werden, wenn die Positionen des Source- und Drain-Abgriffs und damit $L_{D\sigma 2}$ und $L_{S\sigma 2}$ so gewählt werden, dass durch die induzierten Spannungen an Letzteren während des Fehlerfalls dennoch zu einer Abschaltung des MOSFETs durch die Entsättigungserkennung führen. Die Robustheit der Schaltung kann auf diese Weise erhöht werden.

8. Umsetzung der untersuchten Methoden an einem 24 V/5 kVA-DC/AC-Umrichter

In diesem Kapitel werden die prinzipiell und an einer Labortestschaltung untersuchten Methoden und Aspekte zur Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit exemplarisch anhand eines dreiphasigen 24 V/5 kVA - DC/AC-Umrichters (im Folgenden auch Metamodul genannt) angewendet und analysiert. Das elektrische Schaltbild des Umrichters mit der ebenfalls hier vorliegenden Batterie als Spannungsquelle und eines Asynchronmotors als dreiphasige Last ist in Abb. 1.1 dargestellt. Ziel ist es, die Anwendbarkeit, Effektivität sowie die Relevanz der untersuchten Verfahren in der Praxis nachzuweisen. Hierfür wird ein Umrichter mit parallelgeschalteten Leistungsmodulen verwendet, welcher im Rahmen des Projektes „Neue Umrichterkonzepte für 24/48 V, 5 bis 20 kVA“ des Kompetenzzentrums Leistungselektronik Schleswig-Holstein (KLSH) entstand [6]. Es handelt sich hierbei um eine komplette Eigenentwicklung in einem Verbundprojekt verschiedener Hochschulen und Firmen, bei der neben den Modulen, dem mechanischen Aufbau und dem Treiber auch die Leistungs-MOSFETs neu entwickelt wurden. Der DC/AC-Umrichter zeichnet sich neben einem sehr hohen Wirkungsgrad bei passiver Kühlung durch die Möglichkeit der Leistungsvervielfachung mittels Parallelschaltung einzelner Metamodule aus. In einer kleinen Musterserie sind rund 20 Exemplare dieses Umrichters produziert und in Betrieb genommen worden. In Abb. 8.1 ist ein Foto des Umrichters zu sehen. Der untere Kühlkörper kühlt hierbei die Leistungshalbleiter, der obere die Zwischenkreiskondensatoren.

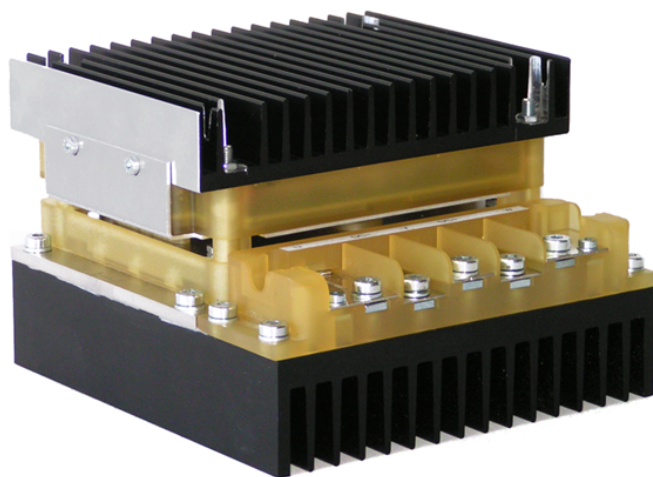


Abb. 8.1: Foto des 24 V/5 kVA - DC/AC-Umrichters des KLSH [6]

Wie bereits in Abschnitt 2.6 aufgezeigt, führt die Wahl der MOSFET-Gehäuseform zu erheblichen Konsequenzen, die Einfluss auf den mechanischen Aufbau sowie auf den Treiber bzw. die Ansteuerung der Halbleiter haben. Zur Erläuterung wird daher das Umrichterkonzept zu

Beginn dieses Kapitels vorgestellt und das Treiberkonzept dargelegt. Aspekte bezüglich der Detektion von Fehlerströmen bzw. der Anwendung einer Entsättigungserkennung werden veranschaulicht. Die Methoden zur Verbesserung des Ausschaltverhaltens werden umgesetzt und mit einer konventionellen Ansteuerung verglichen. Darüber hinaus werden die erzielten Verlustleistungen und Wirkungsgrade des Umrichters für die unterschiedlichen Verfahren in ausgewählten Betriebspunkten aufgeführt, um die Anwendbarkeit und Wirksamkeit der hier betrachteten Verfahren zu unterstreichen.

Ein Teil der erzielten Ergebnisse wurde bereits in [6, 118, 119] veröffentlicht.

8.1 Erläuterung des Umrichterkonzepts

8.1.1 Leistungs-MOSFET

Als Leistungs-MOSFET wurde ein vom Fraunhofer Institut für Siliziumtechnologie in Verbindung mit der Firma Vishay eigens entwickelter 70V-MOSFET eingesetzt, dessen elektrische Eigenschaften in Tab. 8.1 aufgelistet sind und der im Folgenden mit ISIT180 abgekürzt wird. Die typische Durchbruchspannung beträgt bei Umgebungstemperatur 73,6 V und fällt bei $T_A = -30^\circ\text{C}$ auf ca. 70,0 V ab. Der Bahnwiderstand beträgt bei Raumtemperatur nur 0,72 m Ω , während die Eingangskapazität mit knapp 30,6 nF relativ hoch ausfällt. Dennoch ist ein sehr schnelles Schaltverhalten mit hohen Stromsteilheiten zu erwarten, was durch die vergleichsweise sehr hohe Schwellenspannung $U_{GS,th} = 4,4\text{ V}$ verursacht wird (siehe hierzu auch Gleichung (6.5)). Diese wurde wegen einer höheren Robustheit gegen parasitäres Wiedereinschalten gewählt. Die Sperrverzögerungsladung Q_{rr} ist aufgrund der relativ großen, aktiven Chipfläche von 72 mm² ebenfalls verhältnismäßig hoch.

| ISIT180 | | | | | |
|--|---|------|------------|------|------------|
| | Testparameter | min. | typ. | max. | Einheit |
| Drain-Source-Durchbruchspannung U_{DSS} | @ $U_{GS} = 0\text{ V}$, $I_D = 250\ \mu\text{A}$ | - | 73,63 | - | V |
| maximaler gepulster Drain-Strom $I_{D,puls}$ | einmalig gepulster Strom mit $t_p = 40\ \mu\text{s}$ | - | ± 2640 | - | A |
| Schwellenspannung $U_{GS,th}$ | @ $U_{GS} = 0\text{ V}$, $I_D = 250\ \mu\text{A}$ | 4,3 | 4,4 | 4,6 | V |
| Drain-Source-Widerstand $R_{DS(on)}$ | @ $U_{GS} = 15\text{ V}$, $I_D = 10\text{ A}$ | 0,67 | 0,72 | 0,76 | m Ω |
| Eingangskapazität C_{iss} | @ $U_{DS} = 20\text{ V}$, $U_{GS} = 0\text{ V}$, $f = 1\text{ MHz}$ | - | 30622 | - | pF |
| Rückwirkungskapazität C_{rss} | @ $U_{DS} = 20\text{ V}$, $U_{GS} = 0\text{ V}$, $f = 1\text{ MHz}$ | - | 4697 | - | pF |
| Ausgangskapazität C_{oss} | @ $U_{DS} = 20\text{ V}$, $U_{GS} = 0\text{ V}$, $f = 1\text{ MHz}$ | - | 4986 | - | pF |
| Sperrverzögerungsladung Q_{rr} | @ $I_F = 150\text{ A}$, $U_{GS} = 0\text{ V}$, $di_F/dt = 1200\text{ A}/\mu\text{s}$ | - | 380 | - | nC |

Tab. 8.1: Übersicht über charakterisierende Eigenschaften des Leistungs-MOSFETs ISIT180, $T_A = 25^\circ\text{C}$ [56]

Insgesamt weist der Bahnwiderstand sowie die Schwellenspannung des ISIT180 eine sehr

geringe Parameterschwankungsbreite auf, was eine Parallelschaltung durch die zu erwartende symmetrische, dynamische Belastung vereinfacht [120, 121].

Exemplarisch ist der Ein- und Ausschaltvorgang des ISIT180 bei induktiver Last während des Umrichterbetriebs in den Abbildungen 8.2 und 8.3 für einen Gate-Widerstand von $R_G = 10\Omega$ dargestellt. Wie zu erkennen ist, liegt beim Ein- und Ausschalten aus oben genannten Gründen eine sehr hohe Stromsteilheit vor. Die Rückstromspitze aufgrund der hohen Sperrverzögerungsladung ist ebenfalls ersichtlich (vgl. Abbildungen 3.6 und 3.7).

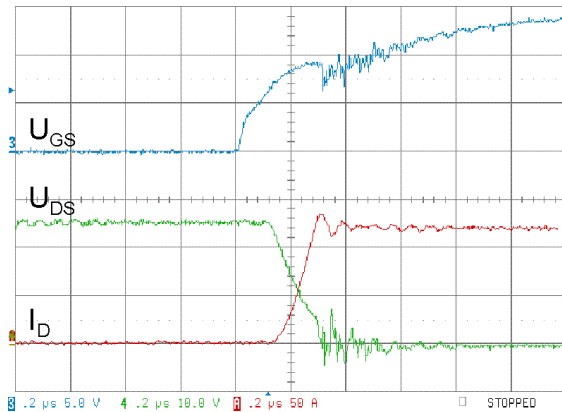


Abb. 8.2: Einschaltvorgang des ISIT180 während des Umrichterbetriebs; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 250\text{ A}$, $R_G = 10\Omega$, $t = 200\text{ ns/div}$, Ch. 3: $U_{GS} = 5\text{ V/div}$, Ch. 4: $U_{DS} = 10\text{ V/div}$, Ch. A: $I_D = 50\text{ A/div}$

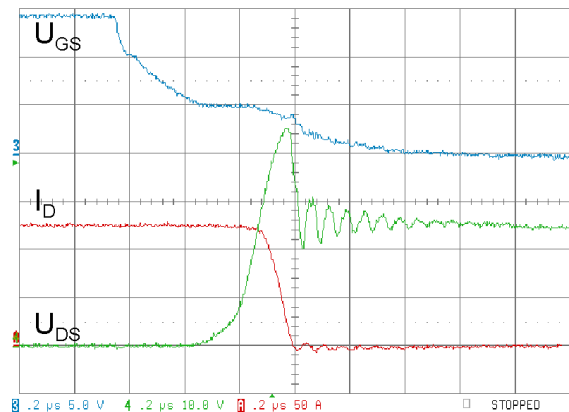


Abb. 8.3: Ausschaltvorgang des ISIT180 während des Umrichterbetriebs; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 250\text{ A}$, $R_G = 10\Omega$, $t = 200\text{ ns/div}$, Ch. 3: $U_{GS} = 5\text{ V/div}$, Ch. 4: $U_{DS} = 10\text{ V/div}$, Ch. A: $I_D = 50\text{ A/div}$

8.1.2 Halbleiter-Modul

Bei den hier verwendeten MOSFET-Modulen handelt es sich um DCB-Module, die dahingehend optimiert wurden, dass die Strecke möglichst kurz und die Streuinduktivität des Kommutierungsweges möglichst niedrig ist [34]. Es wurde hier ein mittlerer Wert von $L_{\sigma, Modul} = 8,0\text{ nH}$ für den Kommutierungsweg in einem einzelnen Modul ohne Berücksichtigung der Anschlüsse erreicht. Die Anordnung der Halbleiter-Chips ist der Abb. 8.4 (a) zu entnehmen (Kennzeichnung der Leistungshalbleiter V_1 bis V_6 siehe Abb. 1.1). Es ist ebenfalls ersichtlich, dass der Hilfssource-Abgriff direkt auf dem Chip positioniert ist. Das bedeutet, dass die Common Source Induktivität zwischen dem Source des Leistungs-MOSFETs sowie dem Hilfssource-Abgriff des Treibers sehr gering ausfällt und damit ebenfalls, wie die hohe Schwellenspannung, zu einer steilen Stromflanke beim Abschalten beiträgt. Das gemoldete Modul ist in Abb. 2.18 im Abschnitt 2.6.2 dargestellt.

8.1.3 Mechanisches Aufbaukonzept

Der in dieser Arbeit verwendete mechanische Aufbau mit Halbleitermodulen ist im Gegensatz zu einem Konzept mit diskreten MOSFET-Gehäusen aus mechanischer Sicht aufwen-

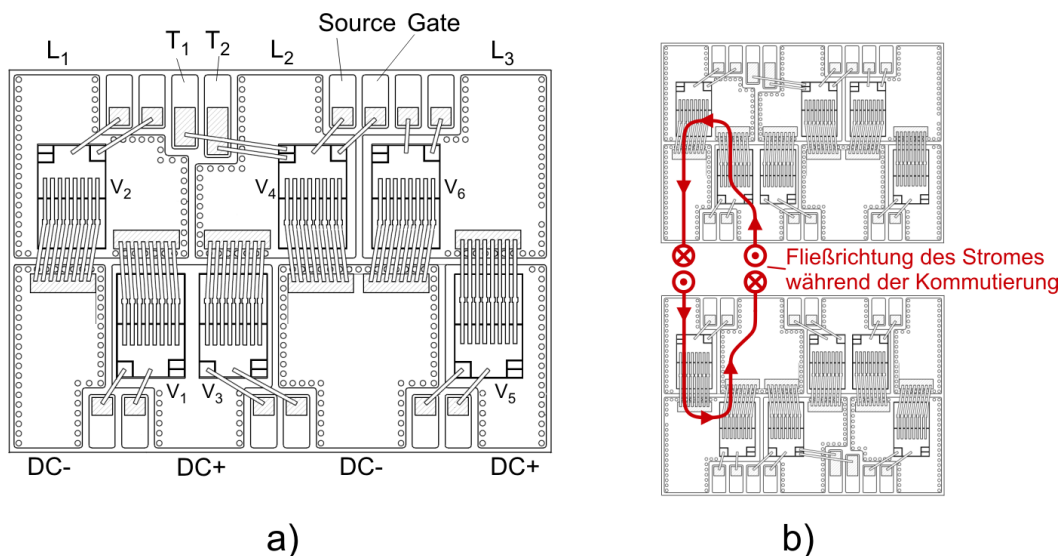


Abb. 8.4: Prinzipielle Aspekte des hier verwendeten MOSFET-Moduls: a) Layout [6], b) Kommutierungsweg in einem Brückenweig des Umrichters (Kennzeichnung der Leistungshalbleiter V_1 bis V_6 siehe Abb. 1.1)

diger. Zum Einen müssen bei den hier verwendeten Halbleitern aus Verlustleistungsgründen zwei Module mit jeweils drei integrierten Halbbrücken parallelgeschaltet werden. Zum Anderen ist die Anbindung des Zwischenkreises schwieriger. Die räumliche Anordnung der parallelgeschalteten und um 180° gedreht aneinander gesetzten Module ist der Abb. 8.4 (b) zu entnehmen, in der ebenfalls der Kommutierungsweg in einem Brückenweig des Umrichters mit eingezeichnet ist. Zur weiteren Erläuterung ist in Abb. 8.5 der prinzipielle Aufbau dieses Umrichterkonzeptes dargestellt. Wie hier illustriert, sind die Module auf einer Wärmespreizplatte montiert, die wiederum auf einem Kühlkörper befestigt ist. Oberhalb der Module befindet sich eine Kupferverplattungsebene zur Anbindung der Leistungsanschlüsse der Phasen sowie der Batterie. Die Zwischenkreiskondensatoren befinden sich auf der räumlich übergeordneten Platine, auf der die Treiberlogik ebenfalls untergebracht ist. Für die Kontaktierung des Zwischenkreises sowie der Treiberschaltung werden dicke bzw. dünne Kupferleads verwendet. Die Leads zur Anbindung des Zwischenkreises werden antiparallel mit einem Abstand von nur ca. 0,5 - 1,0 mm geführt, d.h. der Kondensatorstrom fließt in einem Lead nach oben in den Zwischenkreis, während im gegenüberliegenden Lead der Strom ins Modul fließt (siehe Abb. 8.4 (b)). Dadurch wird eine Gegenkopplung ausgenutzt, um die Streuinduktivität im Kommutierungsweg zu reduzieren. Somit ergibt sich eine gemessene Streuinduktivität des Kommutierungsweges von $L_\sigma = 25,0 \text{ nH}$ pro Modul und der dazugehörigen Zwischenkreisanbindung, d.h. durch die Parallelschaltung zweier Module (und damit zweier Strompfade des Kommutierungsweges zwischen DC+ und DC-) 12,5 nH pro Phase.

Weitere ausführende Erläuterungen des Aufbaukonzeptes befinden sich in [6, 119]. Neben den Leistungsmodulen sowie der Kupferverplattung befindet sich eine Anschlussleiste zur Kontaktierung der Leistungskabel. Auf dieser Anschlussleiste ist es möglich, ver-

schiedene Arten an Stromsensoren zu integrieren. Da die Umgebungstemperatur der Treiberschaltung und vor allem der Zwischenkreiskondensatoren aus Gründen der Lebensdauer begrenzt werden muss, ist ein Kühlkörper auf der Oberseite des Umrichters montiert (nicht in Abb. 8.5 enthalten). Dieser kühlt direkt die Kondensatoren durch thermische Anbindung der Kondensatorgehäuse-Oberseite sowie indirekt die Treiberschaltungen durch die Kühlung der Umgebungstemperatur der Treiber.

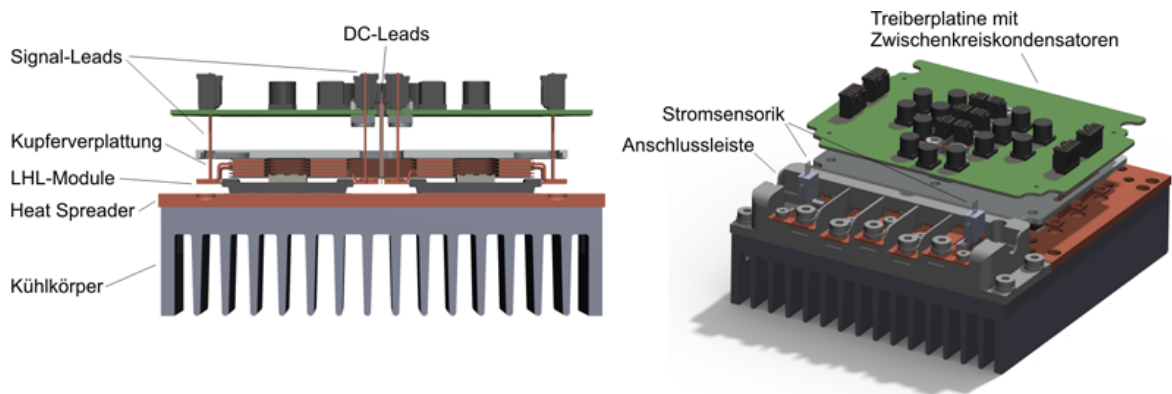


Abb. 8.5: Prinzipieller Aufbau des dreiphasigen 5 kVA DC/AC-Umrichters mit Leistungs- Halbleitermodulen (LHL-Module) ohne Umrichtergehäuse und oberen Kühlkörper [56]

Eine weitere Eigenschaft des Umrichters ist die Möglichkeit der Leistungsvervielfachung mittels Parallelschaltung einzelner Metamodule, was mechanisch über eine verschraubbare Kupferverplattung realisiert ist. In Abb. 8.6 ist der prinzipielle Aufbau eines 15 kVA DC/AC Umrichters durch Parallelschaltung dreier 5 kVA Metamodule abgebildet. Eine Erläuterung der daraus resultierenden Auswirkung auf die Treiberschaltung findet im nun folgenden Abschnitt statt.

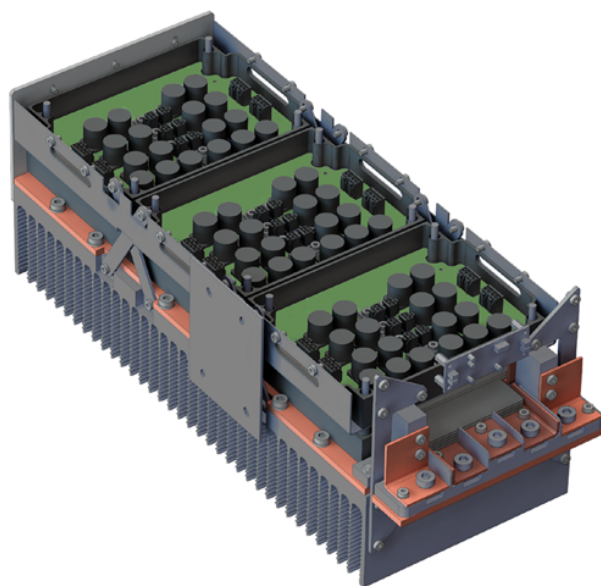


Abb. 8.6: Prinzipieller Aufbau des 15 kVA DC/AC Umrichters mittels Parallelschaltung von drei 5 kVA Metamodulen [56]

8.1.4 Treiberkonzept

Während in der Regel bei MOSFET-Umrichtern pro Brückenweig je eine Treiberschaltung verwendet wird, die alle parallelgeschalteten MOSFETs ansteuert, wird bei dem hier vorgestellten Konzept ein sog. Individual-Treiber eingesetzt — d.h. pro MOSFET ein einzelner Treiber — was bereits in einigen Applikationen mit IGBTs Anwendung findet [122].

Die Ansteuerung bzw. ein eventuelles, zeitversetztes Ein- und Ausschalten der parallelgeschalteten, verhältnismäßig weit voneinander entfernten Leistungs-MOSFETs in unterschiedlichen Metamodulen stellt sich in diesem Fall als relativ unkritisch heraus:

Bei räumlich dicht beinander liegenden parallelen MOSFETs führen unterschiedliche Ansteuerzeitpunkte während des Schaltvorgangs zu einer ungleichen dynamischen Stromaufteilung zwischen den Halbleitern [18], was beispielhaft in Abb. 8.7 für den NP110N055PUG veranschaulicht ist. Hier wurden zwei räumlich direkt nebeneinander liegende, zufällig ausgewählte MOSFETs individuell mit einer Zeitverzögerung von 150 ns ausgeschaltet. Neben einer erhöhten Strombelastung $I_{D,2}$ des später ausschaltenden Halbleiters entsteht aufgrund Letzterer während des Stromabfalls eine höhere Überspannung [123]. Dies führt nicht nur zu einer erheblichen unterschiedlichen Verteilung der Schaltverluste zwischen den Chips, sondern auch zu einer möglichen Schädigung des später abschaltenden Bauteils. Für den Einschaltvorgang ergeben sich unter diesen Voraussetzungen ebenso unterschiedliche Stromverteilungen.

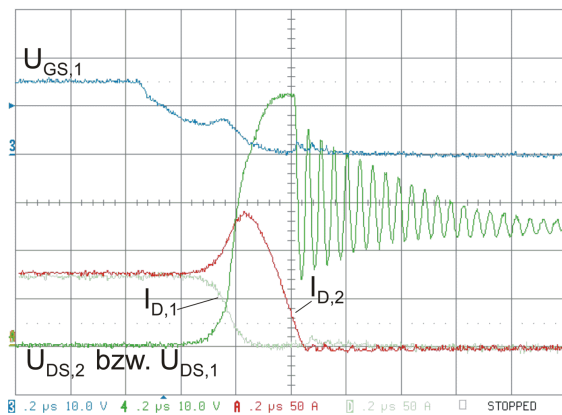


Abb. 8.7: Ausschaltvorgang zweier, räumlich dicht beinander liegender, paralleler MOSFETs des Typs NP110N055PUG bei induktiver Last; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_G = 5,1\ \Omega$, $T_J = 25\text{ }^\circ\text{C}$, t 200 ns/div, Ch. 3: $U_{GS,1}$ 5 V/div, Ch. 4: $U_{DS,2}$ 10 V/div, Ch. A: $I_{D,2}$ 50 A/div, Ch. D: $I_{D,1}$ 50 A/div

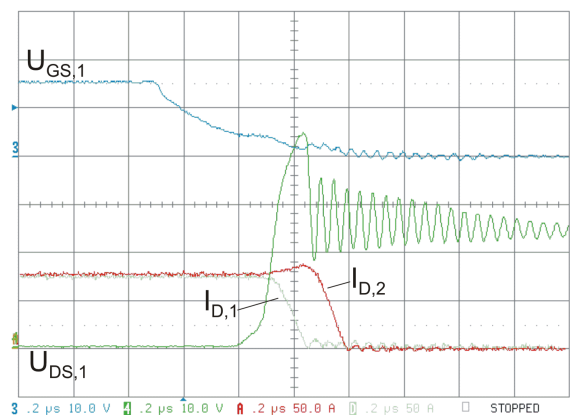


Abb. 8.8: Ausschaltvorgang zweier, räumlich weit entfernter, paralleler MOSFETs des Typs NP110N055PUG bei induktiver Last; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_G = 5,1\ \Omega$, $T_J = 25\text{ }^\circ\text{C}$, t 200 ns/div, Ch. 3: $U_{GS,1}$ 5 V/div, Ch. 4: $U_{DS,1}$ 10 V/div, Ch. A: $I_{D,2}$ 50 A/div, Ch. D: $I_{D,1}$ 50 A/div

Dagegen ist bei räumlich weiter entfernter MOSFETs, wie in diesem vorliegenden Umrichterkonzept, die Streuinduktivität in den parallelen Strompfaden in der Regel so hoch, dass die einzelnen Drain-Ströme während des Schaltvorgangs symmetrisch zueinander abkom-

mutieren und somit keine unterschiedlichen, dynamischen Strombelastungen in den MOSFETs auftreten, was beispielhaft in Abb. 8.8 für diesen Fall illustriert ist. Hier wurden zwei Tiefsetzsteller-Testschaltungen aus Abschnitt 3.2.4 räumlich um ca. 10 cm voneinander entfernt parallelgeschaltet und die Low-Side-MOSFETs ebenfalls mit 150 ns Zeitverzögerung angesteuert. Die Stromerhöhung im später ausschaltenden Bauteil ist sehr gering, wodurch konsequenterweise auch die Überspannungsbelastung sinkt.

Zusätzlich wurde die Schwankungsbreite der Signallaufzeiten des PWM-Signals auf der hier verwendeten Treiberschaltung sehr niedrig gehalten. So beträgt diese zwischen zwei parallelen Ansteuerkreisen bei einem 5 kVA Metamodul maximal 7 ns und bei einer Parallelschaltung mehrerer Metamodule maximal 68 ns. Die damit erzielte Synchronisierung des Schaltens paralleler MOSFETs verhindert einen Effizienzverlust des Umrichters [35]. In den Abbildungen 8.9 und 8.10 sind jeweils der Ein- und Ausschaltvorgang zweier zufällig ausgewählter, paralleler MOSFETs eines Brückenweiges des Metamoduls dargestellt. Wie zu erkennen ist, besteht eine vernachlässigbare Verzögerung zwischen den beiden Drain-Strömen in den Schaltvorgängen.

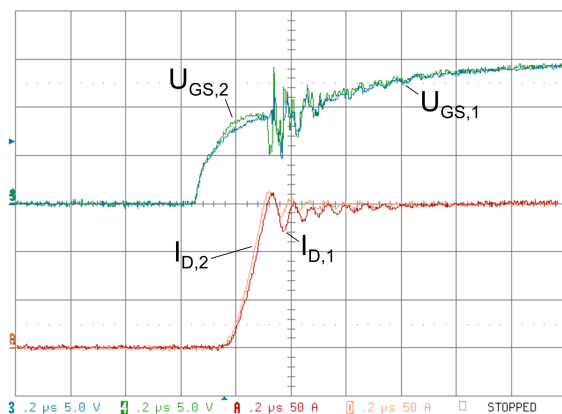


Abb. 8.9: Einschaltvorgang zweier paralleler MOSFETs des Typs ISIT180 während des Umrichterbetriebs; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 300\text{ A}$, $R_G = 8,2\ \Omega$, $T_J = 25\text{ }^\circ\text{C}$, $t = 200\text{ ns/div}$, Ch. 3: $U_{GS,1}$ 10 V/div, Ch. 4: $U_{GS,2}$ 10 V/div, Ch. A: $I_{D,1}$ 50 A/div, Ch. D: $I_{D,2}$ 50 A/div

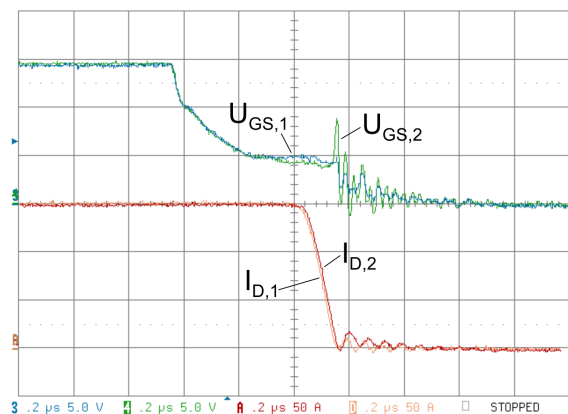


Abb. 8.10: Ausschaltvorgang zweier paralleler MOSFETs des Typs ISIT180 während des Umrichterbetriebs; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 300\text{ A}$, $R_G = 8,2\ \Omega$, $T_J = 25\text{ }^\circ\text{C}$, $t = 200\text{ ns/div}$, Ch. 3: $U_{GS,1}$ 10 V/div, Ch. 4: $U_{GS,2}$ 10 V/div, Ch. A: $I_{D,1}$ 50 A/div, Ch. D: $I_{D,2}$ 50 A/div

Während bei den High-Side-Brückenweigen ein galvanisch getrennter Treiber eingesetzt wird, wird im Low-Side-Zweig auf eine galvanische Trennung verzichtet. Dies hat wesentliche Konsequenzen für das Massekonzept. So werden hier das Groundpotential der Low-Side-Treiber sowie das der Umrichterperipherie (z.B. Mikrocontroller, Fehlerauswertungsschaltungen usw.) über die Hilfssource-Abgriffe der Low-Side-Treiber bezogen. Dadurch werden zum Einen Latch-Ups in den Treiberlogik-ICs sowie Masseschleifen verhindert, zum Anderen werden kapazitive Einkopplungen und damit EMV-Störungen der Fehlerstromerkennung verringert. In Abb. 8.11 ist das angewendete Massekonzept anschaulich verdeut-

licht. Wie zu erkennen ist, kann bei diesem Massekonzept bei Spannungssprüngen an den Streuinduktivitäten während des Schaltens das Bezugspotential der Treiberschaltung sowie der Umrichterperipherie „mitspringen“. Als Fehlerstromschutzkonzept kommt hier die Ent sättigungserkennung zum Einsatz, die jeweils pro Brückenweig erfolgt.

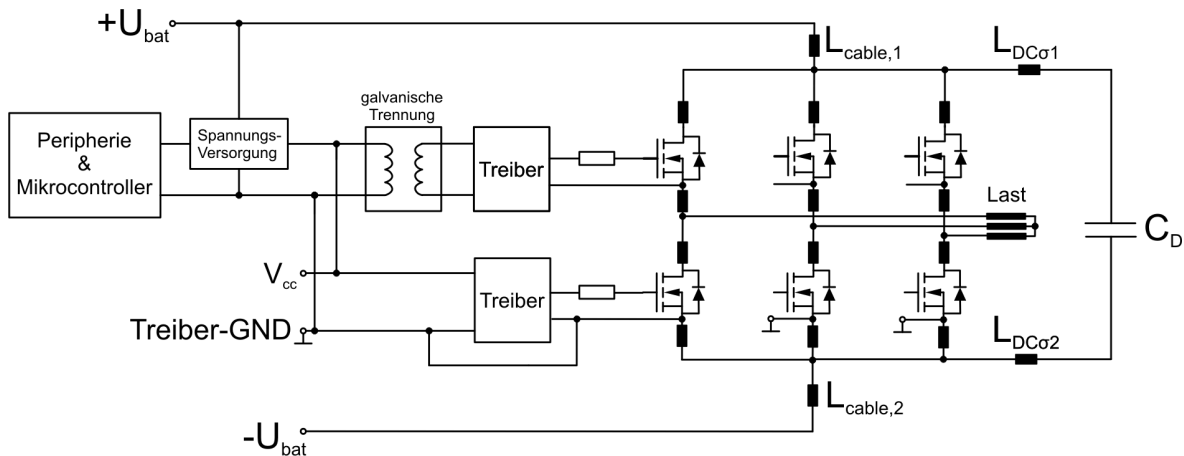


Abb. 8.11: Massekonzept des Treibers des verwendeten Umrichter-Aufbaukonzepts

8.2 Konzept der Untersuchungen

Das Prinzipschaltbild des in dieser Arbeit verwendeten Versuchsaufbaus zur Umsetzung der untersuchten Verfahren am vorgestellten Umrichterkonzept ist in Abb. 8.12 illustriert.

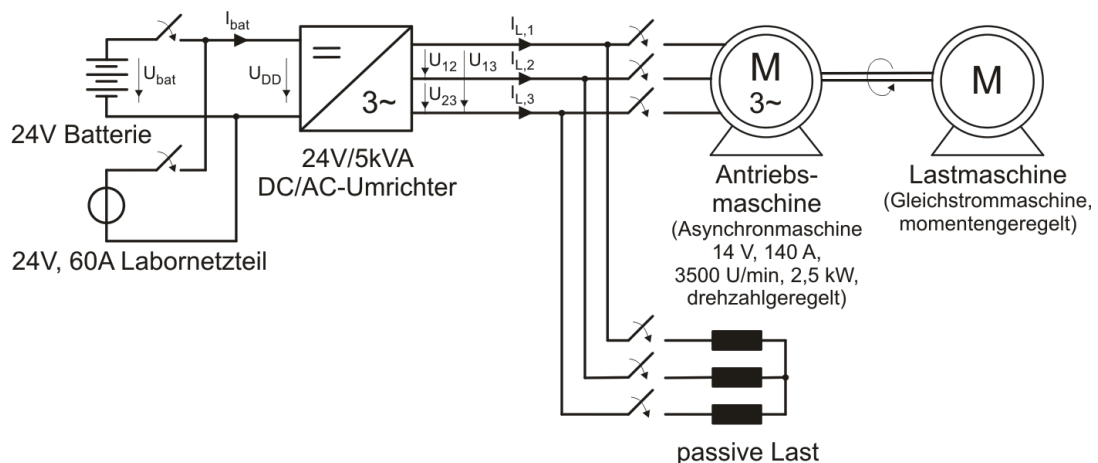


Abb. 8.12: Prinzipschaltbild des Versuchsaufbaus mit 24V/5kVA DC/AC-Umrichter des KLSH

Der DC/AC-Umrichter wird hier wahlweise aus einer 24 V Bleibatterie oder für niedrige Leistungen aus einem 24 V, 60 A Labornetzteil gespeist. Neben der Möglichkeit des Betriebs an einem Asynchronmotor eines Motorenprüfstandes kann stattdessen auch ein Betrieb mit geeigneter passiver Last durchgeführt werden. Der Vorteil liegt darin, dass mittels der passiven Last hohe Phasenströme bei geringer Leistung erzeugt werden können.

Weiterhin kann im Gegensatz zur Batterie mittels des Labornetzteils eine gewünschte Klemmeneingangsspannung des Umrichters genauestens eingestellt werden. Auf diese Weise können für die Messungen des Ausschaltverhaltens des MOSFETs ISIT180 und zur Aufnahme von Schaltverlust-Kennlinien für das vorliegende Umrichterkonzept in Abhängigkeit unterschiedlicher Ansteuerverfahren vergleichbare Messbedingungen gewährleistet werden.

Für die Untersuchungen des Ausschaltverhaltens werden dieselben Messgeräte wie schon in Tab. 3.1 in Abschnitt 3.2 verwendet. Zur messtechnischen Verlustleistungs- und Wirkungsgradbestimmung dient zusätzlich zum Einen ein Leistungsmessgerät WT1800 der Firma Yokogawa, welches sich durch eine hohe Genauigkeit und vor allem hohe Bandbreite auszeichnet [124]. Zum Anderen steht ein Kalorimeter zur Verfügung, dessen Aufbau in Abschnitt 14.2 im Anhang beschrieben ist. In Tab. 8.2 sind die für die sog. direkte Verlustleistungs- und Wirkungsgradbestimmung (siehe Abschnitt 8.2.1) eingesetzten Messgeräte aufgeführt. Die Durchführung der Verlustleistungs- und Wirkungsgradbestimmung wird im nun folgenden Abschnitt näher erläutert.

| | |
|--------------------|---|
| Leistungsmessgerät | Yokogawa WT1800, 6 Kanal Power Analyzer, 5 MHz, 2 MS/s, 16 bit vertikale Auflösung |
| Stromsensoren | LEM Danfysik, IT 400-S, 500 kHz, Offset: 0,004 %, Linearität: 0,001 % |
| Shunt | Dewetron PM-MCTS-BR5, 300 kHz, Genauigkeit: 0,05 % |
| Kalorimeter | Beschreibung des Aufbaus siehe Abschnitt 14.2; inkl. PT100-Temperatursensoren sowie Messdatenaufzeichnungsgerät HP 34970A der Firma Hewlett-Packard |

Tab. 8.2: Liste der zur Verlustleistungs- und Wirkungsgradbestimmung verwendeten Messgeräte

8.2.1 Verlustleistungs- und Wirkungsgradbestimmung

Die Ermittlung der Verlustleistung sowie des Wirkungsgrades von Umrichtern ist allgemein aufwendig und aufgrund der erforderlichen Genauigkeit sehr anspruchsvoll. Bei der Berechnung des Wirkungsgrades und der Leistungen gehen mehrere Messgrößen in die Berechnung/Messung mit ein. Es ist daher zur weiteren Analyse der Genauigkeit die Fehlerfortpflanzung mit zu berücksichtigen [125, 126]. Dabei wird zwischen dem maximal möglichen Fehler (alle Messgeräte erzeugen den maximalen Fehler in dieselbe Richtung) und dem stochastischen Fehler (zufälliger und gleichverteilter Fehler der Messgeräte) unterschieden, deren mathematische Bestimmung nach den Gleichungen (14.5) und (14.7) im Anhang 14.1 erfolgt.

Prinzipiell gibt es drei verschiedene Vorgehensweisen — die direkte, indirekte und kalorimetrische Bestimmung — die im Folgenden kurz erläutert werden [127, 128, 129].

8.2.1.1 Indirekte Bestimmung

Bei der indirekten Bestimmung werden Teil- und Komponentenverluste eines Umrichters durch einzelne Messungen oder durch Berechnung anhand von Kennlinien durchgeführt. Die Aufsummierung der Verluste ergibt dann die Gesamtverluste des Umrichters. Prinzipiell hält sich der Aufwand bei der indirekten Methode in Grenzen, weshalb dieses Verfahren sehr verbreitet ist. Die relative Messunsicherheit ist mit ca. 5 % bis 10 % maximaler Abweichung von der eigentlichen Verlustleistung über dem gesamten Wirkungsgradbereich akzeptabel [130]. Die relative Messunsicherheit der Verlustleistung $\Delta P_{cv(ges)}/P_{cv(ges)}$ in dem vorliegenden Fall ist in Abb. 8.13 dargestellt.

8.2.1.2 Direkte Bestimmung

Die direkte Bestimmung der Verlustleistung und des Wirkungsgrades ist ebenfalls in der Praxis eine übliche Herangehensweise. Der Aufwand ist verhältnismäßig gering. Mit Hilfe eines präzisen Leistungsmessgerätes werden die elektrischen Ein- und Ausgangsspannungen und -ströme eines Umrichters gemessen und folgend die Ein- und Ausgangsleistung des Umrichters bestimmt. Für niedrige Wirkungsgrade ist das Verfahren besonders geeignet. Für hohe Wirkungsgrade steigt jedoch die Messunsicherheit aufgrund der Messungenauigkeit der Messgeräte stark an und wird daher als nicht unproblematisch angesehen [127, 130]. Bei dem vorliegenden Umrichter und durch die hier verwendeten Messgeräte beträgt im Nennbetriebspunkt und bei $\eta = 97,0\%$ die relative Messunsicherheit der Verlustleistung maximal 22,4 % und stochastisch 8,7 % (siehe Abb. 8.14). Bei $\eta = 98,0\%$ beträgt die relative Messunsicherheit bereits maximal 33,5 % und stochastisch 13,1 % [131, 130]. Die Angaben beziehen sich jeweils auf den Fall einer Vollaussnutzung des Messbereichs.

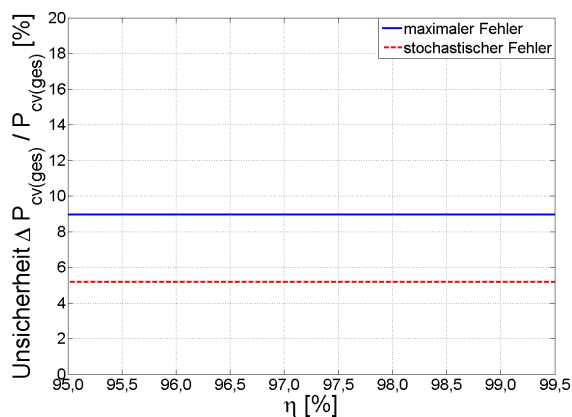


Abb. 8.13: Relative Messunsicherheit $\Delta P_{cv(ges)}/P_{cv(ges)}$ der Verlustleistung in Abhängigkeit vom Wirkungsgrad η bei Anwendung der in dieser Arbeit durchgeführten indirekten Bestimmungsmethode

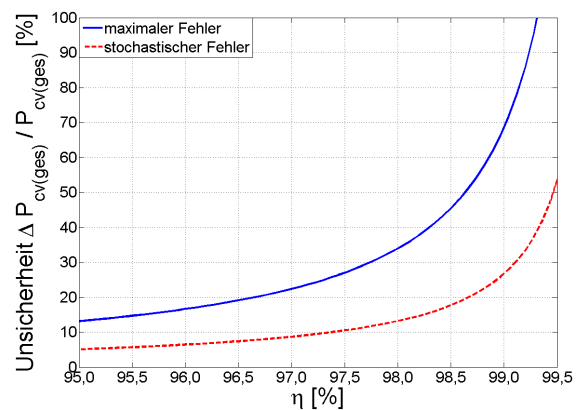


Abb. 8.14: Relative Messunsicherheit $\Delta P_{cv(ges)}/P_{cv(ges)}$ der Verlustleistung in Abhängigkeit vom Wirkungsgrad η bei Anwendung der in dieser Arbeit durchgeführten direkten Bestimmungsmethode

8.2.1.3 Kalorimetrische Bestimmung

Die kalorimetrische Verlustleistungsbestimmung erfolgt durch eine Wärmeabfuhr des Prüflings über ein Kühlmedium (i.d.R. Luft). Daher muss der Prüfling wärmeisoliert von der Umgebung sein und der Messvorgang ist im thermischen stationären Betrieb durchzuführen. Um die Lufteigenschaften nicht mitberücksichtigen zu müssen, wird die Verlustleistung meistens aus einer Vergleichsmessung mit einer Referenzquelle ermittelt. Zur Bestimmung des Wirkungsgrades muss weiterhin die Eingangs- oder Ausgangsleistung bekannt sein. Eine detailliertere Erläuterung des Verfahrens für Umrichter und Motoren befindet sich in [132, 133].

Generell ist der Aufwand dieser Methode im Vergleich zu den anderen Verfahren erheblich. Mithilfe der kalorimetrischen Verlustleistungsbestimmung können allerdings sehr hohe Genauigkeiten erzielt werden. Die relative Messunsicherheit (rel. Abweichung) der Verlustleistung liegt auch bei hohen Wirkungsgraden bei geschätzten maximalen 5 %, was in Abb. 8.15 illustriert ist [132, 133]. Es können jedoch durch Kalibrierung wesentlich höhere Genauigkeiten erreicht werden. Diese Methode ist daher besonders empfehlenswert für Wirkungsgrade über 96 % [130].

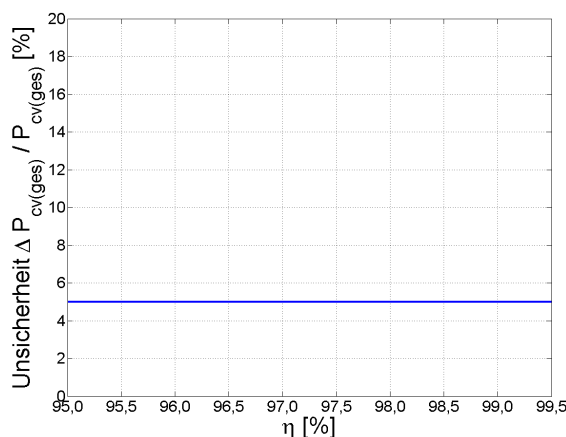


Abb. 8.15: Maximale Unsicherheit $\Delta P_{cv(ges)}/P_{cv(ges)}$ der Verlustleistung in Abhängigkeit vom Wirkungsgrad η bei Anwendung der in dieser Arbeit durchgeführten kalorimetrischen Verlustleistungsbestimmung

8.3 Ergebnisse der experimentellen Untersuchungen

8.3.1 Verhalten der Entsättigungserkennungen im Fehlerfall

Aufgrund langer Zuleitungen zur Anbindung der Entsättigungserkennung, die jeweils pro Brückenweig durchgeführt wird, entstehen schnell Einkopplungen, die bei zu niedrig eingestellter Kurzschlussdetektionsschwelle ein unerwünschtes kurzzeitiges Ausschalten des MOSFETs verursachen. Weiterhin wird dadurch fälschlicherweise ein Fehler an die Umrichterperipherie gemeldet, was in der Regel zu einem Abschalten des Umrichters führt.

Um diesen Fehler zu vermeiden, muss die Detektionsschwelle bei dem hier vorliegenden Umrichterkonzept mittels des Spannungsteilers des Messsignals (siehe R_2 und R_3 in Abb. 7.5) unter Vernachlässigung von Streuinduktivitäten zwischen den Treiberanschlüssen auf theoretisch ca. 3780 A @ $T_J = 25^\circ\text{C}$ bzw. 2370 A @ $T_J = 100^\circ\text{C}$ pro MOSFET hochgesetzt werden. Daher ist sowohl eine Überstromerkennung als auch eine Detektion von Kurzschlüssen des Typs 1 nicht mehr mittels dieser Ent sättigungserkennung in dem vorliegenden Fall möglich. Kurzschlüsse des Typs 1 werden hier nur noch mittels einer Schmelzsicherung in der Plus-Zuleitung zur Batterie abgefangen.

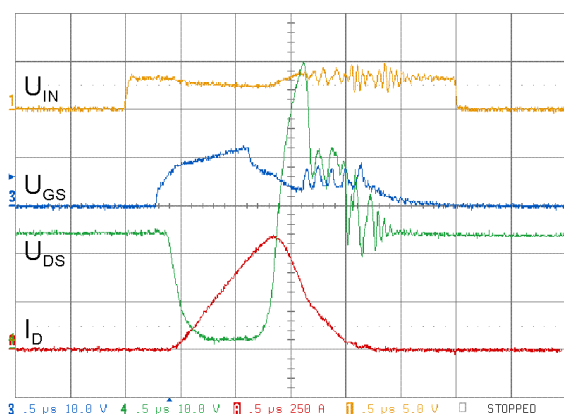


Abb. 8.16: Ausschaltvorgang des ISIT180 bei Detektion eines Kurzschlusses von Typ 2 im vorliegenden Metamodul; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,ks(th),soll} = 3780\text{ A}$, $C_f = 680\text{ pF}$, $T_J = 25^\circ\text{C}$, t 200 ns/div, Ch. 1: U_{IN} 5 V/div, Ch. 3: U_{GS} 10 V/div, Ch. 4: U_{DS} 10 V/div, Ch. A: I_D 250 A/div

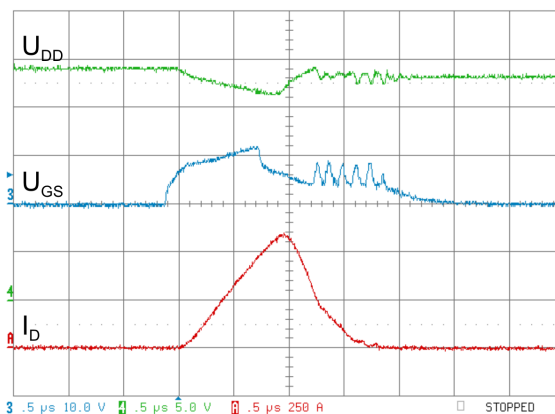


Abb. 8.17: Ausschaltvorgang des ISIT180 bei Detektion eines Kurzschlusses von Typ 2 und Verlauf der Zwischenkreisspannung im vorliegenden Metamodul; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,ks(th),soll} = 3780\text{ A}$, $C_f = 680\text{ pF}$, $T_J = 25^\circ\text{C}$, t 200 ns/div, Ch. 1: Ch. 3: U_{GS} 10 V/div, Ch. 4: U_{DD} 5 V/div, Ch. A: I_D 250 A/div

Die Detektion von Kurzschlüssen des Typs 2 ist hier dennoch realisierbar, da der Drain-Abgriff des Treibers nicht direkt am Chip positioniert ist. Es wird stattdessen der positive Zwischenkreisanschluss bzw. der Hilfssource des High-Side-Chips als Drain-Abgriff verwendet. Wie schon in Kap. 7 aufgezeigt, kann die induzierte Spannung an den Streuinduktivitäten zwischen dem Drain- und dem Source-Abgriff des Treibers ausgenutzt werden, um für ein rechtzeitiges Abschalten des Leistungs-MOSFETs beim Brückenkurzschluss bzw. beim Kurzschluss mit genügend hoher Stromsteilheit zu sorgen. Dieser Sachverhalt ist in Abb. 8.16 dargestellt. Wie zu erkennen ist, wird der MOSFET trotz anhaltendem High-Pegel des PWM-Signals und der hohen eingestellten Detektionsschwelle hier bei ca. 590 A vor dem Erreichen der stationären Schwelle ausgeschaltet. Der Drain-Source-Spannungsabfall beträgt im aufgesteuerten Zustand aufgrund der induzierten Spannungen zwischen den Abgriffen ca. 2,5 V. Weiterhin ist festzustellen, dass der Stromanstieg sich vom Stromabfall unterscheidet, was durch die Streuinduktivität im Kurzschlusspfad verursacht wird, die den Stromanstieg beim Einschalten maßgeblich bestimmt (weitere Erläuterungen siehe Abschnitt 3.3.1). Es ist zusätzlich eine Abnahme der Stromsteilheit beim Einschalten zu erkennen, was anhand Abb. 8.17 erläutert wird. Aufgrund der sinkenden Spannung über den Zwischen-

kreiskondensatoren sinkt die Stromsteilheit während des Anstiegs. Zusätzlich kann beim Ausschalten ein leichtes Aufsteuern des MOSFETs am Ende der Stromfallzeit beobachtet werden, wodurch der Stromabfall verlangsamt wird.

In den Abbildungen 8.18 und 8.19 sind der Kurzschluss-Abschaltstrom $I_{D,ks(off)}$ bzw. die Ansprechzeit $t_{sc,res}$ der Entsättigungserkennung in Abhängigkeit von der Filterkapazität C_f dargestellt. Wie dort zu erkennen ist, steigen jeweils der Kurzschluss-Abschaltstrom sowie die Ansprechzeit mit zunehmender Kapazität leicht an. Der Verlauf der Kurzschlussstrom-Detektionsschwelle $I_{D,ks(th)}$ in Abhängigkeit von der theoretischen Kurzschlussstrom-Detektionsschwelle $I_{D,ks(th),soll}$ ohne Berücksichtigung von $L_{D\sigma 2}$ und $L_{S\sigma 2}$ ist in Abb. 8.20 illustriert. Trotz sehr hoher Werte von $I_{D,ks(th),soll}$ kann aufgrund der induzierten Spannungen an den Streuinduktivitäten $L_{D\sigma 2}$ und $L_{S\sigma 2}$ die Kurzschlussstrom-Detektionsschwelle relativ niedrig sowie innerhalb des Bereichs der Safe Operating Area des MOSFETs gehalten werden.

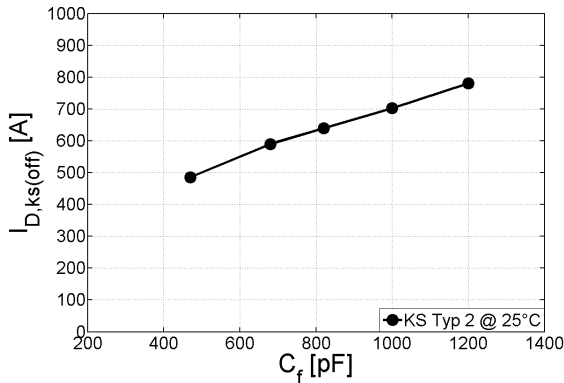


Abb. 8.18: Verlauf des Kurzschluss-Abschaltstromes $I_{D,ks(off)}$ der Entsättigungserkennung in Abhängigkeit von der Eingangfilterkapazität C_f ; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,ks(th),soll} = 3780\text{ A}$, $T_J = 25^\circ\text{C}$

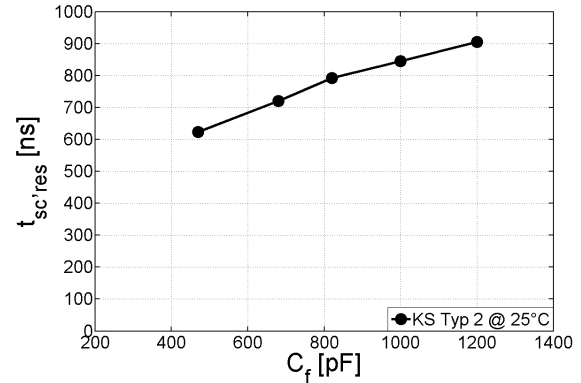


Abb. 8.19: Verlauf der Ansprechzeit $t_{sc,res}$ der Entsättigungserkennung in Abhängigkeit von der Eingangfilterkapazität C_f ; Bed.: $U_{DD} = 24\text{ V}$, $I_{D,ks(th),soll} = 3780\text{ A}$, $T_J = 25^\circ\text{C}$

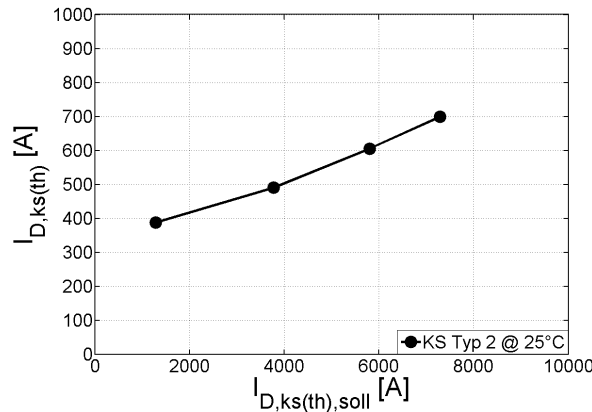


Abb. 8.20: Verlauf der experimentell erzielten Kurzschlussdetektionsschwelle $I_{D,ks(th)}$ in Abhängigkeit von der theoretischen Detektionsschwelle $I_{D,ks(th),soll}$ ohne Berücksichtigung von $L_{D\sigma 2}$ und $L_{S\sigma 2}$; Bed.: $U_{DD} = 24\text{ V}$, $C_f = 680\text{ pF}$, $T_J = 25^\circ\text{C}$

8.3.2 Experimentell erzielte Ergebnisse bei Anwendung der treiberseitigen Ansteuermethoden

Die in den Kapiteln 5 und 6 untersuchten treiberseitigen Ansteuerverfahren zur Verbesserung des Ausschaltverhaltens von Leistungs-MOSFETs werden auf der Treiberplatine des Metamoduls implementiert und das resultierende Schaltverhalten analysiert. Auf die weitere Betrachtung der di/dt-control wird allerdings im Folgenden verzichtet, da diese nicht zufriedenstellende Ergebnisse lieferte. Die Adaption der Stromsteilheit mittels der Common Source Induktivität wurde durch eine Umpositionierung der Hilfssource-Abgriffe an die Leistungsanschlüsse der Module erreicht. Die dazu ausgewählte Common Source Induktivität $L_{S\sigma}$ beträgt in diesem Fall ca. 7,3 nH.

8.3.2.1 Ergebnisse des Schaltverhaltens

Exemplarisch ist in den Abbildungen 8.21 und 8.22 das Ausschalten des ISIT180 bei einem Gate-Widerstand von $R_G = 15 \Omega$ jeweils bei Widerstandssteuerung und bei zweistufiger Ansteuerung in Kombination mit der du/dt-control dargestellt. Neben der etwas reduzierten Überspannung kann bei der zweistufigen Ansteuerung mit du/dt-control vor allem eine verkürzte Spannungsanstiegszeit und eine deutlich kürzere Ausschaltverzögerungszeit erreicht werden. Weiterhin ist die Ausschaltverlustenergie um etwa ein Fünftel im Vergleich zur konventionellen Widerstandssteuerung niedriger.

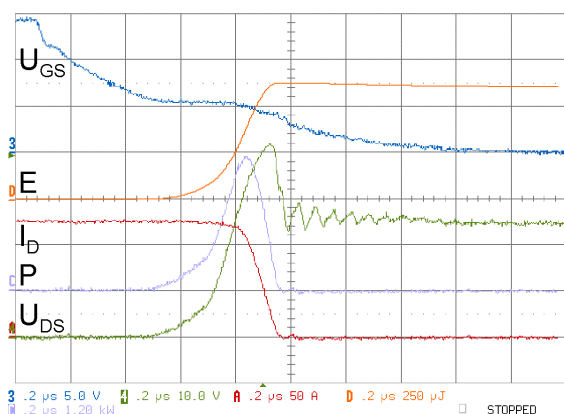


Abb. 8.21: Ausschaltvorgang des ISIT180 bei Widerstandssteuerung während des Umrichterbetriebs; Bed.: $U_{DD} = 24 \text{ V}$, $I_L = 250 \text{ A}$, $R_G = 15 \Omega$, $T_J = 25^\circ \text{ C}$, t 200 ns/div, Ch. 3: U_{GS} 5 V/div, Ch. 4: U_{DS} 10 V/div, Ch. A: I_D 50 A/div, Ch. C: P 1,2 kW/div, Ch. D: E 250 μJ

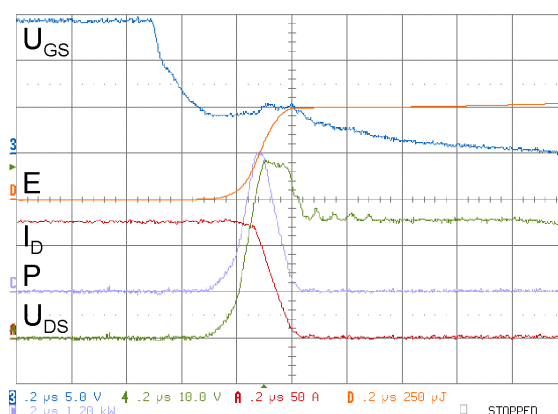


Abb. 8.22: Ausschaltvorgang des ISIT180 bei Kombination aus zweistufiger Ansteuerung und du/dt-control während des Umrichterbetriebs; Bed.: $U_{DD} = 24 \text{ V}$, $I_L = 250 \text{ A}$, $R_G = 15 \Omega$, $R_{G,off2} = 0,5 \Omega$, $C_{GD} = 2,2 \text{ nF}$, $R_{GD} = 100 \Omega$, $T_J = 25^\circ \text{ C}$, t 200 ns/div, Ch. 3: U_{GS} 5 V/div, Ch. 4: U_{DS} 10 V/div, Ch. A: I_D 50 A/div, Ch. C: P 1,2 kW/div, Ch. D: E 250 μJ

Da die Verläufe der Überspannung U_{pk} , der Spannungsanstiegszeit t_{ru} , der Stromfallzeit t_{fi} , der Ausschaltverlustenergie $E_{s(off)}$ sowie der Ausschaltverzögerungszeit $t_{d(off)}$ in Abhängigkeit vom Gate-Widerstand und der jeweiligen Ansteuerungsmethode prinzipiell den Verläufen in Kap. 5 und 6 entsprechen, wird auf eine weitere Darstellung dieser Diagramme an dieser Stelle verzichtet.

In Abb. 8.23 sind die Ergebnisse der Überspannung U_{pk} in Abhängigkeit von der Ausschaltverlustenergie $E_{s(off)}$ der untersuchten Ansteuerungsverfahren abgebildet. Prinzipiell ähneln die Ergebnisse denen in den Kap. 4 und 5. Die größte Reduzierung der Ausschaltverlustenergie $E_{s(off)}$ bei gleichbleibender Überspannung wird mittels der Kombination aus zweistufiger Ansteuerung und Stromeinprägung bzw. du/dt-control sowie der Adaption der Stromsteilheit mittels einer höheren Common Source Induktivität erzielt.

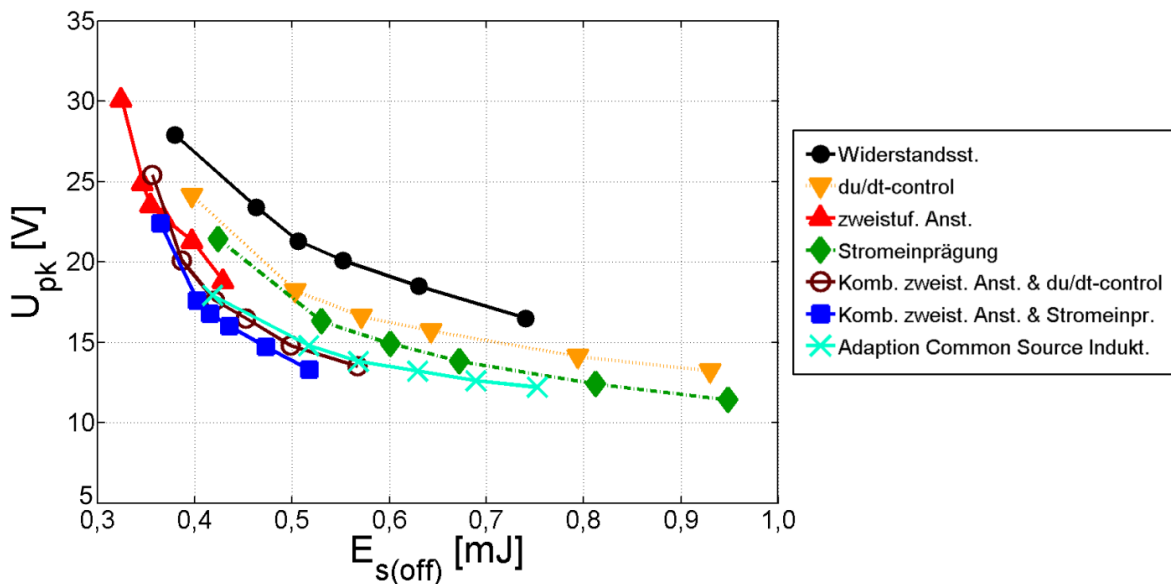


Abb. 8.23: Experimentell erzielte Überspannung U_{pk} in Abhängigkeit von der Ausschaltenergie $E_{s(off)}$ der untersuchten Ansteuerungsverfahren bei Verwendung des ISIT180 während des Umrichterbetriebs; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 250\text{ A}$, $T_J = 25\text{ °C}$

In Abb. 8.24 ist der Betrag der Stromsteilheit beim Abschalten des ISIT180 im Umrichterbetrieb in Abhängigkeit vom Gate-Widerstand R_G für die untersuchten Verfahren dargestellt. Es ist festzustellen, dass mittels der zweistufigen Ansteuerung in dieser Konfiguration der Betrag der Stromsteilheit im Vergleich zur Widerstandssteuerung erhöht wurde, was durch ein zu spätes Wegschalten des niederohmigen Strompfades begründet ist. Eine besonders deutliche Absenkung der Stromsteilheit kann durch die Stromeinprägung und durch die Adaption mittels der Common Source Induktivität erzielt werden. Letzterer Kurvenverlauf flacht jedoch mit steigenden Widerstandswerten ab, da hier durch die sinkende Stromsteilheit auch die Rückkopplung auf das Gate abnimmt.

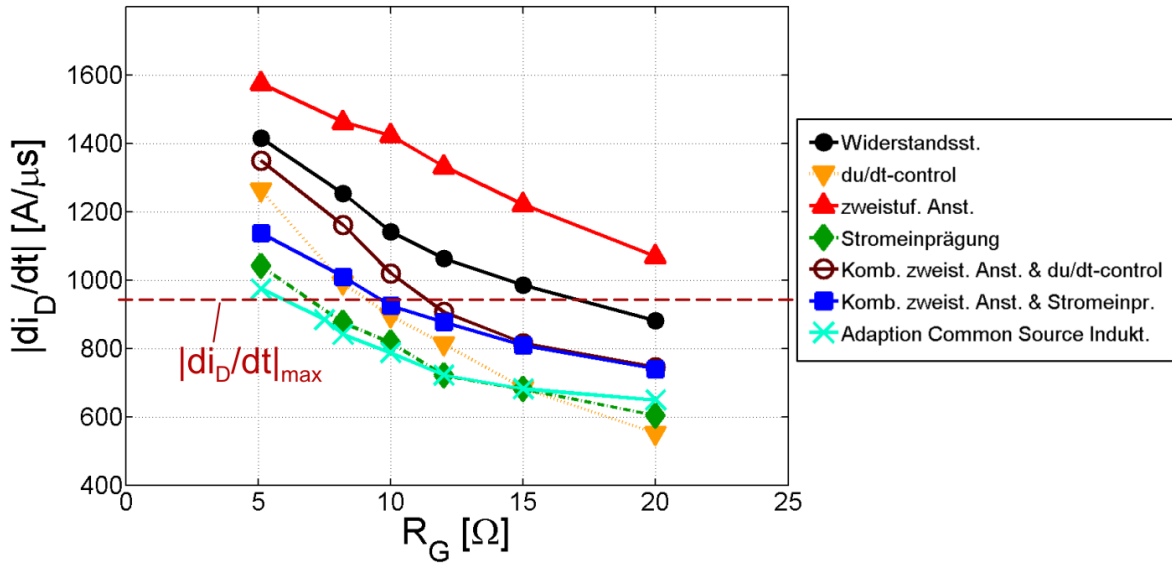


Abb. 8.24: Experimentell erzielte Ergebnisse des Betrages der Stromsteilheit beim Abschalten des ISIT180 in Abhängigkeit vom Gate-Widerstand R_G und der jeweiligen untersuchten Ansteuerverfahren während des Umrichterbetriebs; Bed.: $U_{DD} = 24$ V, $I_L = 250$ A, $T_J = 25$ °C

Es wird wie zuvor das Bewertungs-Kriterium aus Abschnitt 4.2 für einen Vergleich der Verfahren herangezogen. Als Überspannungsreserve wird $k_r = 18\%$ gewählt (Definition von k_r siehe Abschnitt 4.2). Die maximale Zwischenkreisspannung, bei der hier ein Laststrom von $\hat{I}_L = 250$ A zu Grunde gelegt wird, beträgt 36 V. Bei einer Spannungsfestigkeit von $U_{DSS,min} \approx 70$ V ergibt sich ein maximaler Betrag an erlaubter Stromsteilheit beim Abschalten von $|di_D/dt|_{max} = 946$ A/ μ s, was ebenfalls in Abb. 8.24 gekennzeichnet ist.

Anhand Abb. 8.24 kann nun eine Auslegung des Gate-Widerstands für das jeweilige Ansteuerverfahren erfolgen, bei der der niedrigste Gate-Widerstandswert gewählt wird, für den die maximal erlaubte Stromsteilheit nicht überschritten wird. Obwohl bei der zweistufigen Ansteuerung in dem hier betrachteten Widerstandsbereich die Anforderung an die Stromsteilheit nicht eingehalten werden kann, wird diese dennoch mit einem Widerstandswert von $R_G = 20$ Ω weiter betrachtet.

Die verwendeten Beschaltungsparameter der jeweiligen Ansteuerverfahren sind in Tab. 8.3 aufgeführt. Ebenfalls ist in Tab. 8.3 ein Vergleich der Verfahren bei einem Drain-Strom von 125 A pro MOSFET bzw. $I_L = 250$ A gegeben. Wie dort zu entnehmen ist, führt bei nahezu gleicher Überspannung U_{pk} die Kombination aus zweistufiger Ansteuerung und Stromeinprägung bzw. du/dt-control im Vergleich zur Widerstandssteuerung zu einer deutlich kürzeren Spannungsanstiegszeit. Generell zeichnet sich eine erhebliche Reduzierung der Ausschaltverzögerungszeit von bis zu 66 % durch die Ansteuerverfahren im Vergleich zur Widerstandssteuerung ab. Die gesamten Schaltverlustenergien lassen sich für diesen Betriebspunkt um 25 % bis zu 44 % verringern.

| Methode | Widerstandssteuerung | zweistufige Ansteuerung | du/dt-control | Strom-einprägung | Kombination zweistuf. Anst. & du/dt-control | Kombination zweistuf. Anst. & Stromeinpr. | Adaption Common Source Induktivität |
|---|--------------------------|---|--|---|---|---|-------------------------------------|
| Beschaltungsparameter | $R_G = 20\Omega$ | $R_G = 20\Omega,$ $R_{Goff,2} = 0,5\Omega$ | $R_G = 10\Omega,$ $R_{GD} = 100\Omega,$ $C_{GD} = 2,2nF$ | $R_G = 8,2\Omega,$ $R_S = 5,1\Omega$ $U_D = 8,2V$ | $R_G = 12\Omega,$ $R_{Goff,2} = 0,5\Omega,$ $R_{GD} = 100\Omega,$ $C_{GD} = 2,2nF$ | $R_G = 10\Omega,$ $R_{Goff,2} = 0,5\Omega,$ $R_S = 5,1\Omega$ $U_D = 8,2V$ | $R_G = 7,5\Omega$ |
| Charakterisierende Größen bei einem Drain-Strom von $I_D = 125A$ pro MOSFET bzw. $I_L = 250A$ | | | | | | | |
| induzierte Spannung | U_{pk} [V] | 16,5 | 16,6 | 16,3 | 16,5 | 16,8 | 16,3 |
| Spannungsanstiegszeit | t_{ru} [ns] | 246,4 | 157,6 | 132,4 | 98,3 | 92,4 | 107,8 |
| Stromfallzeit | t_{fi} [ns] | 113,5 | 111,8 | 114,3 | 110,2 | 106,8 | 115,1 |
| Ausschaltverzögerung | $t_{d(off)}$ [ns] | 631,0 | 372,1 | 293,1 | 218,9 | 211,3 | 290,8 |
| Reduzierung $t_{d(off)}$ bez. Widerstandsst. | $\Delta t_{d(off)}$ [%] | -/- | 41,0 | 53,5 | 65,3 | 66,5 | 53,9 |
| Einschaltverlustenergie | $E_{s(on)}$ [μJ] | 183 | 114 | 80 | 141 | 101 | 156 |
| Ausschaltverlustenergie | $E_{s(off)}$ [μJ] | 740 | 571 | 530 | 452 | 414 | 517 |
| Schaltverlustenergie | E_s [μJ] | 923 | 685 | 610 | 593 | 515 | 673 |
| Reduzierung Schaltverl. E_s bez. Widerstandsst. | ΔE_s [%] | -/- | 25,7 | 33,9 | 35,7 | 44,2 | 27,1 |

Tab. 8.3: Ergebnisse der untersuchten Methoden zur treiberseitigen Steuerung des Ausschaltverhaltens von Leistungs-MOSFETs bei näherungsweise gleicher induzierter Überspannung U_{pk} ; Bed.: $U_{DD} = 24V, I_D = 125A$ pro MOSFET bzw. $I_L = 250A$

8.3.2.2 Ergebnisse der Bestimmung der Verlustleistung und des Wirkungsgrades

Für die nun ausgewählte Dimensionierung der Ansteuerverfahren (siehe Tab. 8.3) werden die Verlustleistungen und Wirkungsgrade des Umrichters bei konstanter Nenndrehzahl des Motors $N = 3440 \text{ U/min}$ bestimmt. Die Ergebnisse lassen sich jedoch auch auf andere Drehzahlen übertragen. Die Verluste und der Wirkungsgrad werden hier jeweils über das direkte, das indirekte sowie das kalorimetrische Verfahren bestimmt, deren Umsetzung im vorliegenden Fall erläutert wird. Aufgrund der Vielzahl an Messpunkten wird die direkte Messung — und für einen späteren Vergleich auch die indirekte Bestimmung — nicht im thermischen Beharrungszustand des Umrichters durchgeführt.

Die Batterieerlaufspannung $U_{bat,LL}$ beträgt bei der direkten Methode 25,6 V. Als Verriegelungszeit zwischen den Ansteuerimpulsen der High-Side- und Low-Side-Ventile wird bei allen Messungen 854 ns eingestellt.

Es werden nur die Verluste im Leistungsteil sowie in der Treiberschaltung betrachtet. Die Schaltfrequenz der Leistungs-MOSFETs beträgt $f_s = 16 \text{ kHz}$. Andere Verluste, die beispielsweise im Schütz oder Mikrocontroller-Board entstehen, werden an dieser Stelle nicht mitberücksichtigt.

Ergebnisse bei indirekter Bestimmung der Verlustleistung

Aufgrund der relativ hohen Unsicherheit der direkten Bestimmungsmethode bezüglich der Verlustleistung (siehe Abschnitt 8.2.1) wird zusätzlich eine indirekte Bestimmung durchgeführt, die an dieser Stelle kurz erläutert wird:

Mittels des Versuchsaufbaus in Abb. 8.12 mit Labornetzteil und passiver Last wird zunächst eine Kennlinienschar für die Schaltverluste bei Anwendung der jeweiligen Ansteuerverfahren für unterschiedliche Lastströme und Gate-Beschaltungen für $U_{DD} = 24 \text{ V}$ aufgenommen. Mit Hilfe der Kennlinienschar können Polynome nach Gleichung (3.2) erstellt und die Schaltverluste für beliebige Betriebspunkte approximiert werden.

Die Treiberverlustleistung wird ebenfalls für jedes Ansteuerverfahren aufgrund des geringen Aufwandes messtechnisch ermittelt. Während die Bestimmung der Durchlassverluste nach Gleichung (2.23) erfolgt, werden die Kupferverluste mit Hilfe eines einfachen elektrischen Ersatzschaltbildes für die ohmschen Widerstände der jeweiligen Verschienungsabschnitte berechnet.

Die Kalkulation des Kondensatorrippelstromes im Zwischenkreis erfolgt auf Basis von Gleichung (8.1) [134, 135], mittels derer sowie den Angaben des Kondensatorherstellers über den ESR die Verlustleistung in den Zwischenkreiskondensatoren mit ausreichender Genauigkeit bestimmt werden kann.

$$I_c = \hat{I}_L \cdot \sqrt{M \cdot \left[\frac{\sqrt{3}}{4\pi} + \cos^2(\varphi) \cdot \left(\frac{\sqrt{3}}{\pi} - \frac{9M}{16} \right) \right]} \quad (8.1)$$

In den Abbildungen 8.25 und 8.26 sind die Verläufe des Wirkungsgrades in Abhängigkeit vom effektiven Laststrom I_L bei Anwendung der Ansteuerverfahren dargestellt. Aus Anschauungsgründen sind die Verläufe auf zwei Diagramme aufgeteilt. Die Verläufe des Wirkungsgrades in Abhängigkeit von der Ausgangsleistung P_L befinden sich in den Abbildungen 14.27 und 14.28 im Anhang.

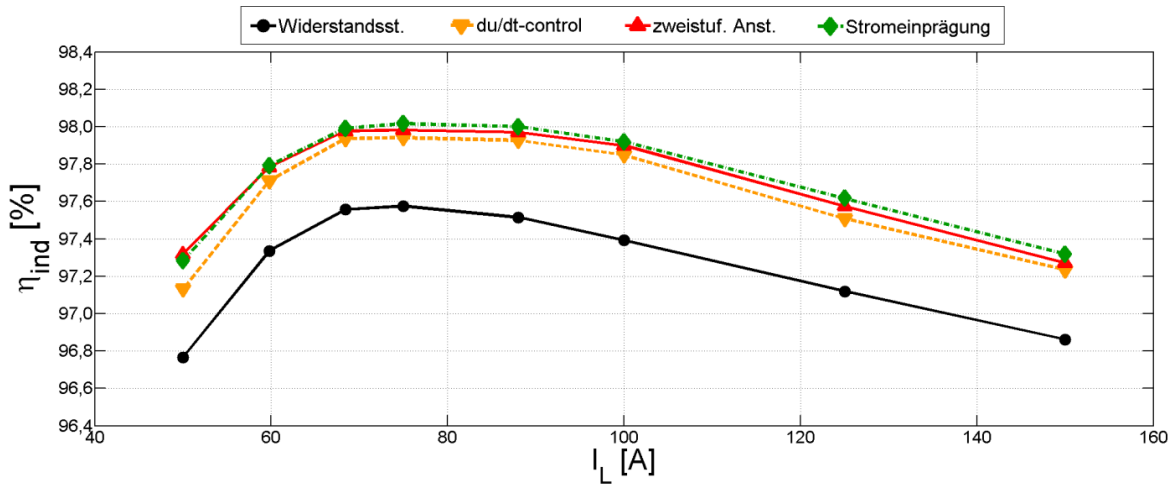


Abb. 8.25: Indirekt ermittelter Wirkungsgrad η_{ind} des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6 \text{ V}$, $N = 3440 \text{ U/min}$, Gate-Beschaltung siehe Tab. 8.3

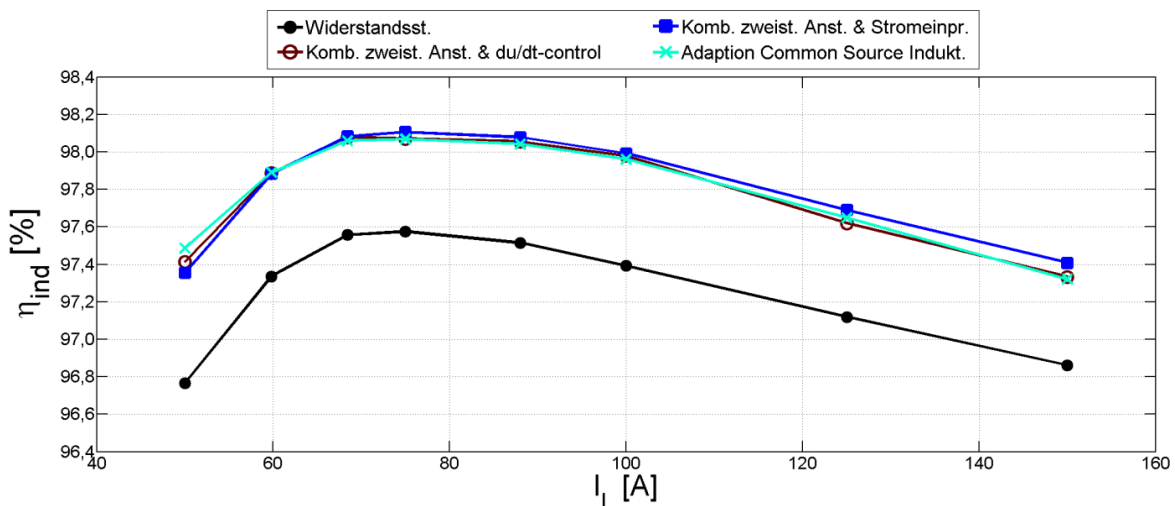


Abb. 8.26: Indirekt ermittelter Wirkungsgrad η_{ind} des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6 \text{ V}$, $N = 3440 \text{ U/min}$, Gate-Beschaltung siehe Tab. 8.3

Prinzipiell steigt der Wirkungsgrad zu Beginn mit zunehmendem Laststrom an, was durch lastunabhängige Verluste, z.B. durch die Treiberschaltung, verursacht wird. Aufgrund der quadratischen Abhängigkeit der Durchlass- und Kupferverluste vom Strom flacht die Wirkungsgradkurve ab ca. 70 A ab und sinkt darauffolgend nun mit steigendem Laststrom I_L .

Generell ist festzustellen, dass alle Methoden über den gesamten betrachteten effektiven Ausgangsbereich von 50 A bis 150 A zu einer Wirkungsgradverbesserung führen. Die Unterschiede im Wirkungsgrad zwischen den Methoden sind jedoch relativ niedrig.

Die durch die indirekte Methode ermittelten Verlustleistungen des 5 kVA DC/AC-Umrichters sind in den Abbildungen 8.27 sowie 8.28 illustriert. Die Reduzierung der Umrichterverluste über den gesamten betrachteten Ausgangsbereich ist hier gut zu erkennen.

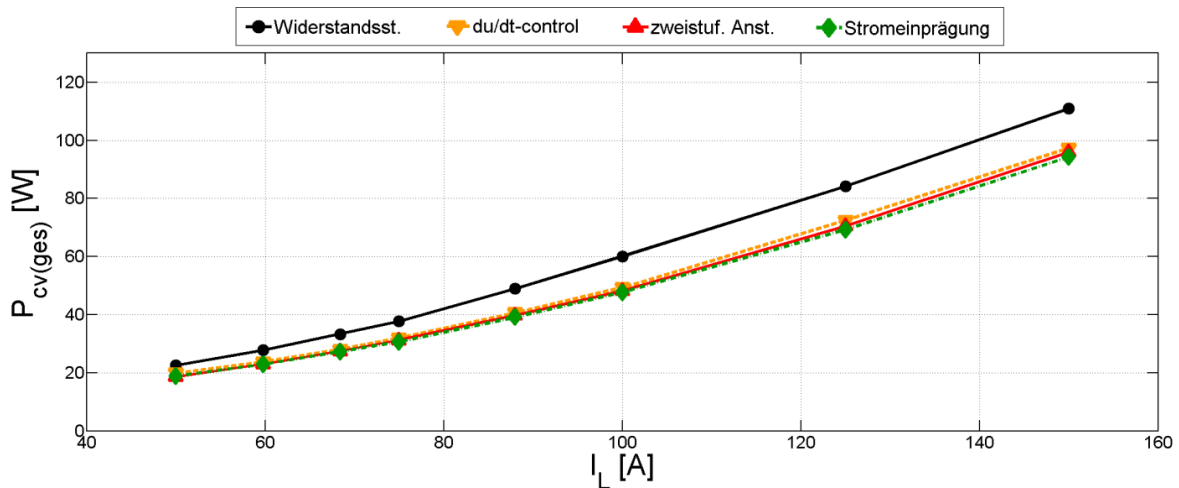


Abb. 8.27: Indirekt ermittelte Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6\text{ V}$, $N = 3440\text{ U/min}$, Gate-Beschaltung siehe Tab. 8.3

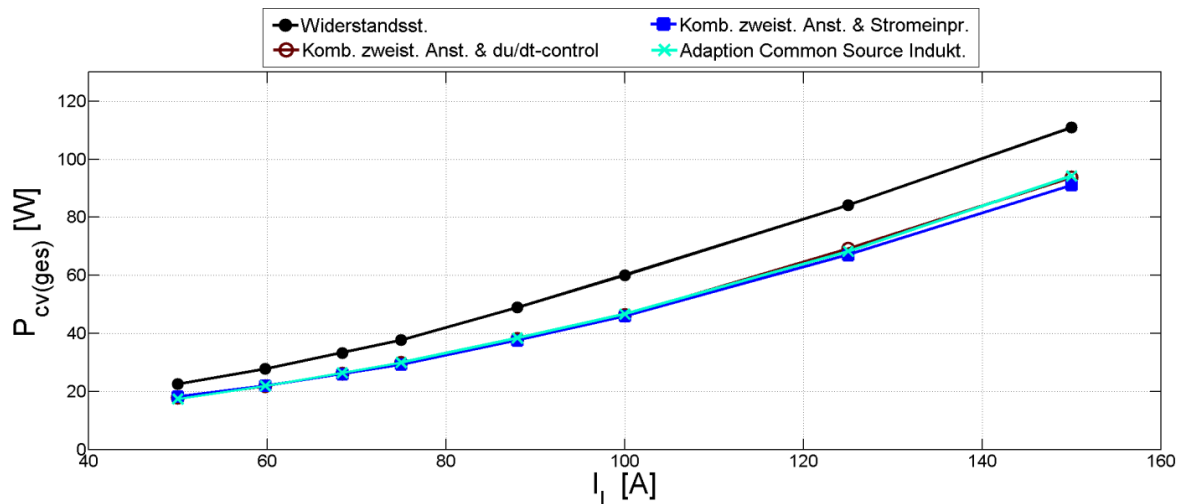


Abb. 8.28: Indirekt ermittelte Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6\text{ V}$, $N = 3440\text{ U/min}$, Gate-Beschaltung siehe Tab. 8.3

| Methode | Widerstands- steuerung | zweistufige Ansteuerung | du/dt-control | Strom- einprägung | Kombination zweistuf. Anst. & du/dt-control | Kombination zweistuf. Anst. & Stromeinpr. | Adaption Common Source Induktivität |
|--|---------------------------|----------------------------|---------------|----------------------|---|---|---|
| Beschaltungsparameter | | | | | | | |
| siehe Tab. 8.3 | | | | | | | |
| Theoretische Verlustleistungen und Wirkungsgrad des Umrichters bei Nennausgangsstrom $I_{L,N} = 125\text{ A}$ (indirekte Methode) | | | | | | | |
| Schaltverluste (*) | P_s [W] | 32,95 | 21,79 | 18,22 | 18,24 | 15,80 | 17,68 |
| Durchlassverluste | P_d [W] | | | 25,32 | | | |
| Zwischenkreisverluste | P_{zvk} [W] | | | 3,43 | | | |
| Verluste im Treiber (*) | P_{Tr} [W] | 3,63 | 3,21 | 4,16 | 3,82 | 4,77 | 3,21 |
| Kupferverluste im Modul + Verschiebung | P_{cu} [W] | | | 11,00 + 7,80 | | | |
| Ausgangsleistung | P_L [W] | | | 2836,05 | | | |
| Gesamtverlustleistung | $P_{cv(ges)}$ [W] | 84,13 | 72,47 | 69,24 | 69,16 | 67,06 | 68,26 |
| theor. Reduzierung $P_{cv(ges)}$ gegenüber Widerstandsst. | $\Delta P_{cv(ges)}$ [%] | -/- | 11,66 | 14,89 | 14,97 | 17,07 | 15,87 |
| indirekt best. Wirkungsgrad des Umrichters | η_{ind} [%] | 97,119 | 97,508 | 97,617 | 97,619 | 97,690 | 97,650 |
| Experimentell erzielte Verlustleistungen und Wirkungsgrade des Umrichters bei Nennausgangsstrom $I_{L,N} \approx 125\text{ A}$ (direkte Methode) | | | | | | | |
| exp. Reduzierung $P_{cv(ges)}$ gegenüber Widerstandsst. | $\Delta P_{cv(ges)}$ [%] | -/- | 6,45 | 4,30 | 8,01 | 8,81 | 5,02 |
| direkt best. Wirkungsgrad des Umrichters | η_{dir} [%] | 97,100 | 97,295 | 97,190 | 97,310 | 97,344 | 97,220 |

(*) ermittelt auf Basis von Messwerten

Tab. 8.4: Theoretische und experimentell ermittelte Verlustleistungen und Wirkungsgrade des Umrichters mittels indirekter Bestimmungsmethode bei Nennausgangsstrom $I_{L,N} = 125\text{ A}$; Bed.: $U_{bat,LL} = 24\text{ V}$, $I_L = 125\text{ A}$, $f_s = 16\text{ kHz}$

Die einzelnen Verluste bei Anwendung der jeweiligen Ansteuerverfahren und bei einem Nennausgangsstrom von $I_{L,N} = 125 \text{ A}$ sind für einen genaueren Vergleich in Tab. 8.4 aufgeführt. Wie zu erkennen ist, liegen bei der zweistufigen Ansteuerung, der Stromeinprägung und der Kombination aus beiden die höchsten Treiberverluste aufgrund der aufwendigeren Ansteuerung vor. Die Gesamtverluste können im Bezug auf die Widerstandssteuerung mittels der Ansteuerverfahren in dem ausgewählten Betriebspunkt um theoretisch ca. 11,6 W bis 17,1 W bzw. ca. 13,8 % bis 20,3 % verringert werden. Die Unterschiede zwischen den Verlustleistungsdifferenzen $\Delta P_{cv(ges)}$ der einzelnen Ansteuerverfahren untereinander sind jedoch relativ gering. Da der Wirkungsgrad mit 97 % bis 98 % in diesem Bereich bereits sehr hoch ist, sind die Wirkungsgradunterschiede ebenfalls niedrig.

Ergebnisse bei direkter Bestimmung der Verlustleistung

Die mittels des Leistungsmessgerätes rein messtechnisch erzielten Verläufe des Wirkungsgrades in Abhängigkeit vom Laststrom bei Anwendung der untersuchten Ansteuerverfahren sind in den Abbildungen 8.29 und 8.30 aufgeführt. Die Ergebnisse für die Wirkungsgradverläufe in Abhängigkeit von der Ausgangsleistung P_L befinden sich in den Abbildungen 14.29 und 14.30 im Anhang. Die höchsten Effizienzsteigerungen konnten bei der du/dt-control sowie bei den Kombinationen aus zweistufiger Ansteuerung mit Stromeinprägung bzw. mit du/dt-control festgestellt werden. Wie schon bei der indirekten Bestimmung kann hier ebenfalls eine Verbesserung des Wirkungsgrades bei allen Ansteuerverfahren gegenüber der Widerstandssteuerung nachgewiesen werden. Generell ist jedoch der Unterschied des direkt ermittelten Wirkungsgrades sowie der Verlustleistung zwischen den untersuchten Ansteuermethoden untereinander niedriger als bei den indirekt ermittelten Werten. Der Effekt spiegelt sich ebenfalls in den Verläufen der Verlustleistungen in den Abbildungen 8.31 und 8.32 wieder.

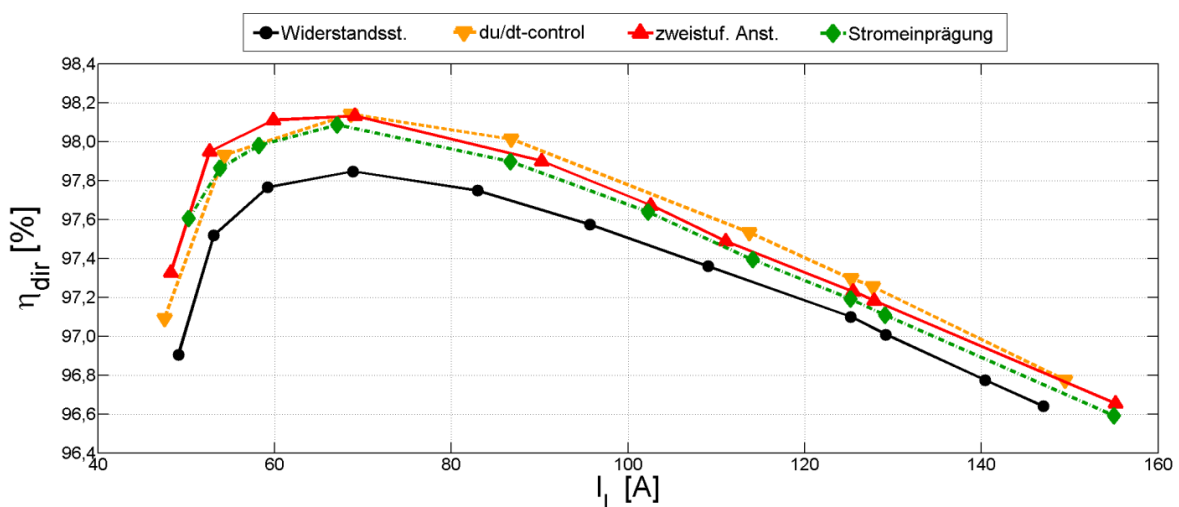


Abb. 8.29: Direkt ermittelter Wirkungsgrad η_{dir} des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6 \text{ V}$, $N = 3440 \text{ U/min}$, Gate-Beschaltung siehe Tab. 8.3

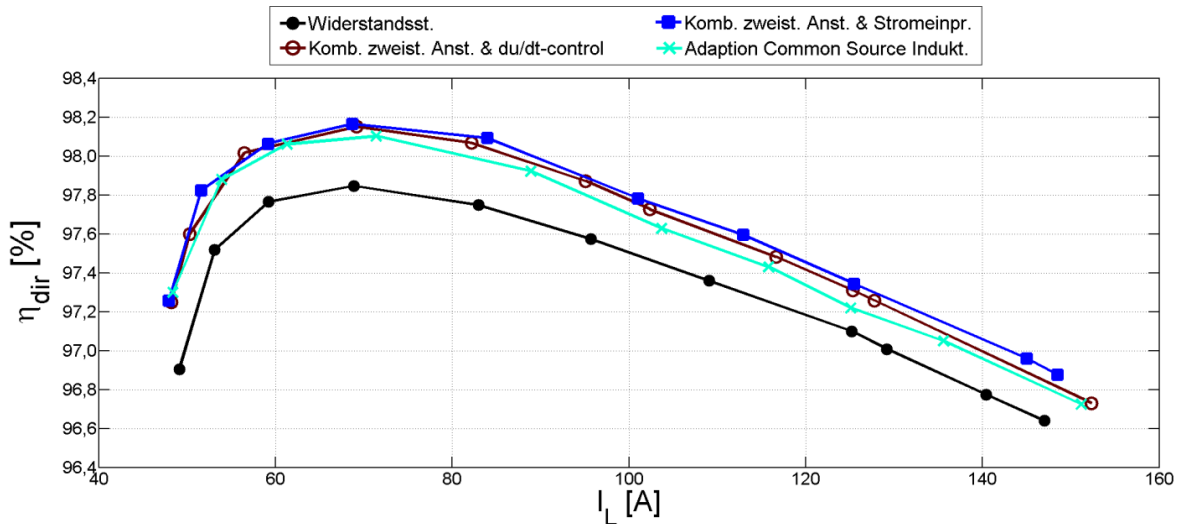


Abb. 8.30: Direkt ermittelter Wirkungsgrad η_{dir} des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung kombinierter Ansteuerungsverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6\text{ V}$, $N = 3440\text{ U/min}$, Gate-Beschaltung siehe Tab. 8.3

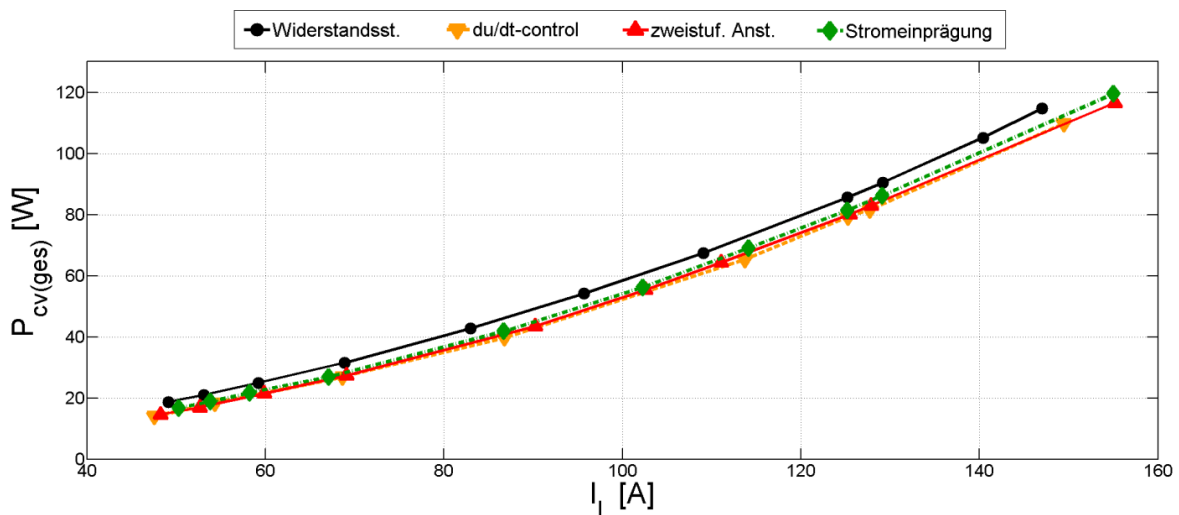


Abb. 8.31: Direkt ermittelte Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6\text{ V}$, $N = 3440\text{ U/min}$, Gate-Beschaltung siehe Tab. 8.3

In Tab. 8.4 sind neben den Ergebnissen der indirekten Bestimmungsmethode auch die direkt ermittelten Werte der Verlustleistungsreduzierung gegenüber der Widerstandssteuerung sowie die Wirkungsgrade für einen besseren Vergleich aufgelistet. Es zeigt sich, dass bei der direkten Bestimmung etwa nur die Hälfte an reduzierter Verlustleistung verglichen zur indirekten Bestimmungsmethode gemessen wurde.

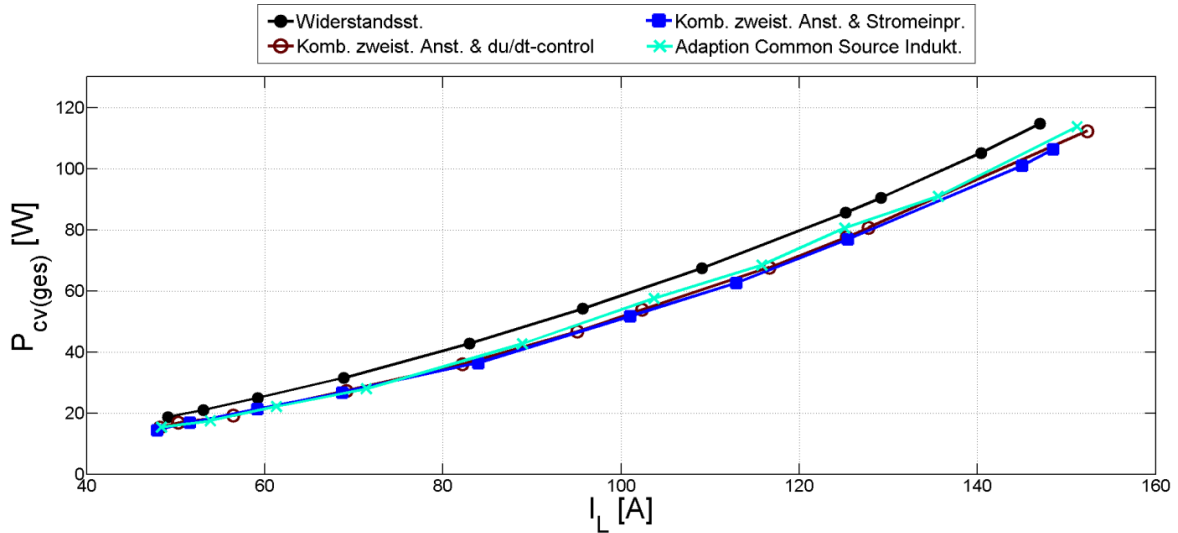


Abb. 8.32: Direkt ermittelte Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung kombinierter Ansteuerungsverfahren sowie der Adaption der Stromteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6$ V, $N = 3440$ U/min, Gate-Beschaltung siehe Tab. 8.3

Diese Abweichung der Verlustleistungsergebnisse zwischen der direkten und indirekten Methode wird durch mehrere Faktoren beeinflusst:

1. Parameterschwankungen der Bauteile (sowohl im Umrichter als auch im Motor),
2. hohe Schwankung der Batterieklemmenspannung in Abhängigkeit vom Batteriestrom und Ladezustand,
3. zusätzliche Verluste durch die längere Leitdauer der antiparallelen Body-Diode.
4. höhere Sperrschichttemperaturen bei der direkten Methode im Vergleich zur indirekten Methode

Bauteilschwankungen können dazu führen, dass die Verluste teilweise etwas höher oder etwas niedriger als theoretisch angenommen ausfallen. Die hohe Schwankung der Batterieklemmenspannung führt zu weiteren Ungenauigkeiten. Um diesen Effekt bei der indirekten Methode zu kompensieren, müssten die Schaltverluste nicht nur in Abhängigkeit vom Laststrom sowie vom Gate-Widerstand sondern auch in Abhängigkeit von der Batteriespannung und ggf. dem Batterieladezustand bestimmt werden. Die Folge ist eine große Schaltverlust-Matrix, deren messtechnischer Ermittlungsaufwand unverhältnismäßig wäre.

Ein weiterer wesentlicher Punkt ist der Einfluss der Leitdauer der Body-Dioden der MOSFETs. Mittels der untersuchten Ansteueremethoden kann neben einer Reduzierung der Schaltverlustenergien ebenfalls eine Verkürzung der Ausschaltverzögerungszeit $t_{d(off)}$ im Vergleich zur Widerstandssteuerung erzielt werden (siehe Tab. 8.3). Da die Verriegelungszeit jedoch mit 854 ns für alle Messungen konstant gehalten wird, verlängert sich damit die Leitdauer der Body-Dioden während dieser Phase gegenüber der Widerstandssteuerung. Zum Einen steigen dadurch die Verluste trotz verhältnismäßig kurzer Leitendphase im Vergleich

zur Schaltperiodendauer aufgrund der nicht unerheblichen Schleusenspannung der Diode. Zum Anderen liegt aufgrund dieser Schleusenspannung etwas weniger Spannung am Motor an. Folglich steigt der Ausgangstrom bei gleicher Ausgangsleistung an und führt somit zu höheren Halbleiter- und Kupferverlusten im Umrichter. Dieser Sachverhalt wird in Abb. 8.33 aufgezeigt. Hier ist zu erkennen, dass bei der Widerstandssteuerung sowie der du/dt-control der Lasteffektivstrom bei gleicher Ausgangsleistung niedriger als bei den anderen Ansteuermethoden mit kürzerer Ausschaltverzögerungszeit ist.

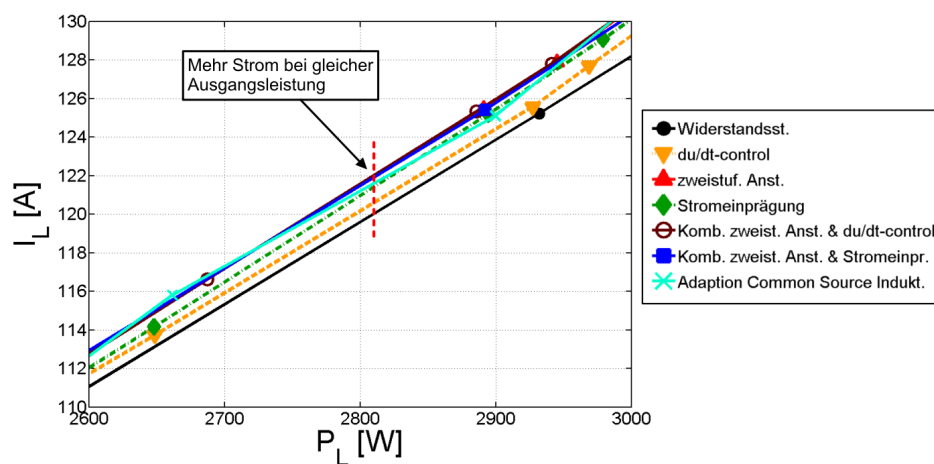


Abb. 8.33: Experimentell ermittelter Verlauf des effektiven Laststromes I_L des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6\text{V}$, $N = 3440\text{U/min}$, Gate-Beschaltung siehe Tab. 8.3

Ergebnisse bei kalorimetrischer Bestimmung der Verlustleistung

Die Ergebnisse der Messungen der Verlustleistung sowie des Wirkungsgrades mittels des kalorimetrischen Verfahrens sind in den Abbildungen 8.34 und 8.35 für einen effektiven Laststrom von $I_L = 100\text{A}$ dargestellt. Generell können bei allen Verfahren geringere Verluste im Vergleich zur Widerstandssteuerung in dem gewählten Betriebspunkt erreicht werden. Es wird bei der Kombination der zweistufigen Ansteuerung mit der Stromeinprägung eine Reduzierung der Verluste um 9,7 W gegenüber der Widerstandssteuerung erzielt, was eine Wirkungsgradsteigerung um 0,44 Prozentpunkte zur Folge hat.

In den Abbildungen 8.36 und 8.37 sind thermografische Bilder des unteren Kühlkörpers des Umrichters für die Widerstandssteuerung sowie für die zweistufige Ansteuerung in Kombination mit der Stromeinprägung aufgeführt. Die Aufnahmen sind im thermischen Beharrungszustand des Umrichters mit einer Wärmebildkamera Ti25 der Firma Fluke bei einem effektiven Laststrom von $I_L = 100\text{A}$ durchgeführt worden. Es ist ersichtlich, dass mittels der Kombination aus zweistufiger Ansteuerung und Stromeinprägung die maximale Außentemperatur des Kühlkörpers um ca. 5,3 °C verringert werden kann.

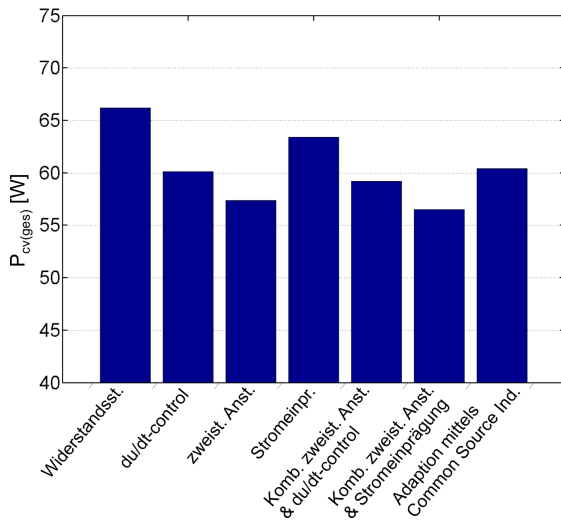


Abb. 8.34: Kalorimetrisch ermittelte Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters bei Anwendung der einzelnen Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6V$, $N = 3440U/min$, $I_L = 100A$, Gate-Beschaltung siehe Tab. 8.3

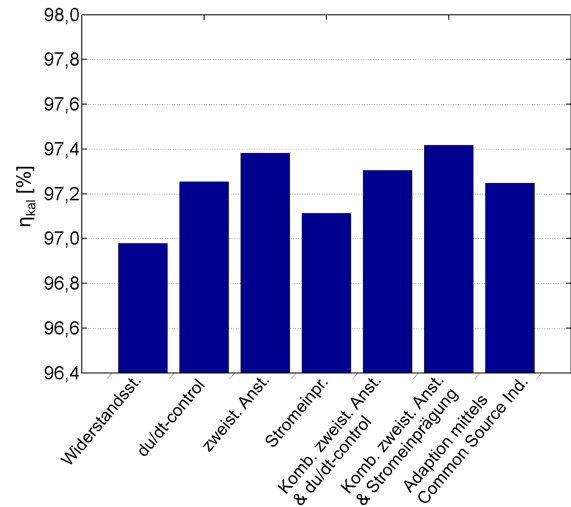


Abb. 8.35: Kalorimetrisch ermittelter Wirkungsgrad η_{kal} des 5 kVA DC/AC-Umrichters bei Anwendung der einzelnen Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6V$, $N = 3440U/min$, $I_L = 100A$, Gate-Beschaltung siehe Tab. 8.3

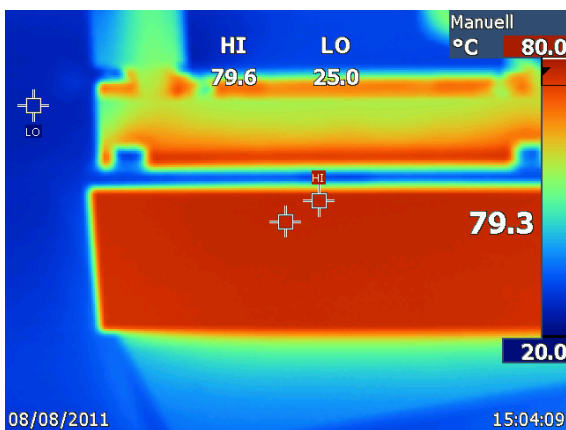


Abb. 8.36: Thermografisches Bild des unteren Kühlkörpers des 5 kVA-Umrichters im thermischen Beharrungszustand bei Anwendung der Widerstandssteuerung; Bed. $N = 3440U/min$, $I_L = 100A$, $T_A = 25^\circ C$, Gate-Beschaltung siehe Tab. 8.3

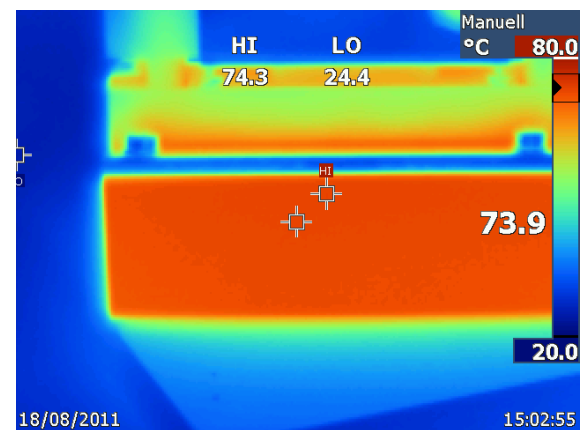


Abb. 8.37: Thermografisches Bild des unteren Kühlkörpers des 5 kVA-Umrichters im thermischen Beharrungszustand bei Anwendung der zweistufigen Ansteuerung in Kombination mit der Stromeinprägung; Bed. $N = 3440U/min$, $I_L = 100A$, $T_A = 25^\circ C$, Gate-Beschaltung siehe Tab. 8.3

Im Gegensatz zur direkten und indirekten Bestimmungsmethode lassen sich die Ergebnisse bei der kalorimetrischen Verlustleistungsbestimmung nur äußerst bedingt mit den anderen beiden Verfahren vergleichen, wofür es zwei entscheidende Gründe gibt:

Zum Einen muss die Verlustleistung im thermischen stationären Betrieb erfolgen. Hierdurch liegen höhere Bauteiltemperaturen als bei der direkten Bestimmungsmethode vor, bei der aufgrund der Vielzahl an Messpunkten und aus Zeitgründen die Messungen nicht im thermischen Beharrungszustand durchgeführt wurden. Es sind daher beim kalorimetrischen Verfahren aufgrund der mit der Temperatur steigenden Durchlasswiderstände der Halbleiter sowie Kupferwiderstände höhere Verluste zu erwarten. Zum Anderen ist die Dauer der kalorimetrischen Messung ein weiterer Grund. Um die Wärmekapazitäten des Prüflings und die des Kalorimeters aufzuladen, muss der Umrichter mehrere Stunden in dem gewünschten Lastpunkt betrieben werden. Mit zunehmender Belastungsdauer sinkt jedoch auch der Ladezustand der Bleibatterie und damit ebenfalls die Batteriespannung erheblich. Die Folge ist ein etwas steigender Batterie- und Laststrom, wodurch abermals die Verluste zunehmen.

8.4 Zusammenfassung und Schlussfolgerungen

Die Anwendung der untersuchten Methoden zur Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit zeigt an dem hier vorgestellten Umrichterkonzept und unter dem hier angewendeten Bewertungskriterium eine Reduzierung der Umrichterverluste im Vergleich zur Widerstandssteuerung auf. Durch die du/dt -control und die zweistufige Ansteuerung in Kombination mit der du/dt -control oder mit der Stromeinprägung können die besten Ergebnisse erzielt werden. Die Reduzierung der Verluste kann sowohl mittels einer direkten, indirekten und kalorimetrischen Bestimmung der Verlustleistung nachgewiesen werden. Die absoluten Ergebnisse der Verluste fallen jedoch zwischen den Methoden etwas unterschiedlich aus. Dies wird unter anderem durch die Eigenschaften der Batterie (Klemmenpannung in Abhängigkeit vom Ladezustand) und durch die unterschiedlichen Messgenauigkeiten der Verfahren bei den hier vorliegenden hohen Wirkungsgraden verursacht.

Mit den Kenntnissen aus Kapitel 7 konnte zudem gezeigt werden, dass eine Detektion von Kurzschlüssen des Typ 2 und damit der Schutz des Leistungs-MOSFETs trotz sehr hoher Detektionsschwelle aufgrund von induzierten Spannungsabfällen an den Streuinduktivitäten zwischen dem Drain- und dem Source-Abgriff des Treibers möglich ist.

9. Zusammenfassung, Schlussfolgerungen und Ausblick

Das Schalt- und Betriebsverhalten von Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit wurden in dieser Arbeit untersucht. Das Ziel einer Reduzierung der Schaltverluste im Vergleich zur konventionellen Widerstandssteuerung wurde erreicht. Weiterhin sind Einflussaspekte auf die Detektion von Fehlerströmen in den hier betrachteten Leistungs-MOSFETs untersucht und aufgezeigt worden.

Zunächst wurden hierfür in Kapitel 2 die Grundlagen von Leistungs-MOSFETs erläutert. Neben einer Beschreibung der Aufbau-Strukturen sowie des statischen und dynamischen Verhaltens von MOSFETs ist die Halbleiterverlustleistungsbestimmung anhand von Hersteller-Datenblattangaben erläutert worden. Auf die grundlegenden Eigenschaften von diskreten Gehäusen und Leistungshalbleitermodulen wurde ebenfalls eingegangen.

Für die Untersuchung der Methoden zur Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs wurde darauffolgend in Kapitel 3 der Versuchsaufbau detailliert beschrieben. Das Schaltverhalten des in dieser Arbeit betrachteten Typs an Leistungs-MOSFET wurde dargestellt. Dabei konnte gezeigt werden, dass nur eine Verbesserung der Ausschaltverhaltens und nicht des Einschaltverhaltens aufgrund der Überspannung bzw. Spannungsentlastung durch die induzierten Spannungen an den Streuinduktivitäten sinnvoll ist. Die Motivation bzw. Relevanz der Arbeit wurde anhand von Verlustleistungsbilanzen verdeutlicht.

Es wurde in Kapitel 4 der prinzipielle Ansatz zur Erfüllung der Zielstellung diskutiert und erläutert, dass die Zielstellung in erster Linie durch eine verbesserte treiberseitige Ansteuerung erreicht werden kann und Kriterien zur Bewertung der Methoden wurde aufgestellt.

Es folgte in Kapitel 5 eine ausführliche Untersuchung der treiberseitigen Ansteuerungsverfahren — sog. Active Gate Control Verfahren — bei Anwendung an dem hier vorliegenden Typ an Leistungs-MOSFET. Durch eine einfache Erweiterung der Gate-Ansteuerung wurde erreicht, dass die Spannungsanstiegszeit beim Abschalten mittels einer zweistufigen Ansteuerung deutlich reduziert wurde und somit die Ausschaltverlustenergien gesunken sind. Weiterhin konnten durch andere Methoden — wie die du/dt -control, die di/dt -control sowie die Stromeinprägung — die Stromfallzeiten im Vergleich zur Widerstandssteuerung verlängert werden. Die Kombination aus zweistufiger Ansteuerung und Stromeinprägung vereinte beide Eigenschaften der Verfahren. Mittels der hier untersuchten Schaltungserweiterungen konnte bei beiden betrachteten Prüflingen eine Verringerung der Ausschaltverlustenergie von 10 % bis 30 % bei gleichbleibender Überspannung im Vergleich zur Widerstandssteuerung erzielt werden. Weiterhin wurde die Ausschaltverzögerungszeit durch die zweistufige Ansteuerung verkürzt. Bei MOSFETs mit sehr niedriger Eingangskapazität konnten zwar ebenfalls Verbesserungen erreicht werden, jedoch fallen diese niedriger als bei Halbleitern mit hohen Eingangskapazitäten aus.

In Kapitel 6 wurde der Ansatz verfolgt, die Stromsteilheit beim Abschalten durch eine gleichzeitige, systematische Einstellung der Common Source Induktivität und des Gate-Widerstandes zu adaptieren. Hierfür wurde zunächst aufgezeigt, dass mittels Simulation oder analytischer Berechnung die Stromsteilheit sowie die Überspannung beim Abschalten als auch die benötigten Streuinduktivitätswerte gut approximiert werden können. Wie bereits bei den Active Gate Control Methoden wurde hier eine Reduzierung der Ausschaltverlustenergie bei gleichbleibender Stromsteilheit und damit gleichbleibender Überspannung gegenüber der konventionellen Widerstandssteuerung erzielt. Dieser Effekt wurde vor allem durch die Verringerung des Gate-Widerstandes und damit einer Verkürzung der Spannungsanstiegszeit erreicht.

Um Leistungshalbleiter vor unzulässig hohen Fehlerströmen zu schützen, werden unterschiedliche Schutzkonzepte heutzutage eingesetzt, von denen sich in erster Linie die sog. Entsättigungserkennung bei Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit eignet. Eine eigenständige Entsättigungserkennung wurde in Kapitel 7 vorgestellt, anhand derer die Einflüsse verschiedener Schaltungsparameter — z.B. Sperrschichttemperatur, Filterkapazität, Streuinduktivitäten — auf die Detektionsschwelle bei den jeweiligen Fehlerstromarten dargelegt wurden. Es wurde unter anderem aufgezeigt, dass die Sperrschichttemperatur sowie die Filterkapazität bei Brückenkurzschlüssen im Gegensatz zu Lastkurzschlüssen oder Überströmen unter Ausnutzung von Streuinduktivitäten im Leistungsteil einen relativ geringen Einfluss auf die Detektionsschwelle der Entsättigungserkennung haben.

Die exemplarische Anwendung der untersuchten Verfahren anhand eines 24 V/5 kW DC/AC-Umrichterkonzeptes, welches innerhalb eines Projektes des Kompetenzzentrums Leistungselektronik Schleswig-Holstein entwickelt wurde, wurde in Kapitel 8 präsentiert. Zunächst erfolgte eine kurze Erläuterung des Umrichterkonzeptes sowie einiger Komponenten. Der Antriebsstrang/Labora Aufbau sowie weitere eingesetzte Messtechnik wurden dargelegt und eine kurze Beschreibung der Bestimmungsmethoden der Verlustleistung und des Wirkungsgrades des Umrichters wiedergegeben. Experimentelle Ergebnisse des Schaltverhaltens des verwendeten Leistungs-MOSFETs während des Umrichterbetriebs sowie die Verlustleistungen und Wirkungsgrade bei Anwendung der treiberseitigen Ansteuermethoden wurden vorgestellt. Es konnte aufgezeigt werden, dass die Verfahren zu einer Effizienzsteigerung des Umrichters über weite Bereiche des Ausgangsstromes führen. Eine Verlustleistungsreduzierung von über 10 % der gesamten Umrichterverluste wurde bei dem hier verwendeten Umrichterkonzept durch die einfache Erweiterung der Treiberansteuerung erreicht.

Zusammenfassend kann die Schlussfolgerung anhand der Untersuchungen aufgestellt werden, dass eine Verringerung der Ausschaltverluste von Leistungs-MOSFETs mit niedriger Spannungsfestigkeit unter 100 V und hoher Stromtragfähigkeit über 100 A möglich ist. Vor allem bei MOSFETs mit einer verhältnismäßig hohen Eingangskapazität kann eine Reduzierung der Ausschaltverluste durch eine Verkürzung der Spannungsanstiegszeit erzielt wer-

den. Dies kann zum Einen durch die Erweiterung der konventionellen Widerstandssteuerung durch aktive Ansteuermethoden als auch zum Anderen durch eine systematische Einstellung der Common Source Induktivität erreicht werden.

Die in dieser Arbeit untersuchten treiberseitigen Verfahren zur Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs können als Grundlage für weitere Untersuchungen in diesem Arbeitsgebiet verwendet werden. Zum Einen ist es denkbar, mittels der vorgestellten Active Gate Control Verfahren ein vom Betriebspunkt abhängiges Schalten (sog. adaptive Active Gate Control), vor allem bei batteriegespeisten Anwendungen mit stark schwankender Batteriespannung, zu betrachten. Ein von der Laststromhöhe sowie dem Zwischenkreisspannungsniveau abhängiges Schalten könnte zu einer weiteren Effizienzsteigerung von Umrichtern führen. Zum Anderen können die untersuchten treiberseitigen Verfahren auf leitungsgebundene und gestrahlte Emission untersucht werden. Die Verkürzung der Leitdauer der Body-Dioden führt möglicherweise zu einer geringeren Emission. Steilere Spannungsflanken verursachen gegebenenfalls eine Erhöhung der Emission. Eine Untersuchung der leitungsgebundenen und gestrahlten Emissionen bei einem vom Betriebspunkt abhängigen Schalten ist ebenfalls denkbar.

10. Literatur- und Quellenverzeichnis

- [1] G. Belverde, C. Guastella, M. Melito, S. Musumeci, and A. Raciti, *A low-voltage MOSFET with small on-resistance: an extended characterization in high-efficiency power converter applications*. Conference Record of the 2001 IEEE Industry Applications Conference, Chicago, 2001.
- [2] A. Laschek-Enders, *High Power TrenchMOSFET Solutions in Automotive Designs*, Power Electronics Europe, vol. 4, pp. 22 – 24, 2003.
- [3] A. Lindemann, *Optimisation of Low Voltage Power MOSFET Components for High Current Applications*, EPE Journal, vol. 15, no. 3, pp. 5–10, 2005.
- [4] A. Lindemann, *A High Current Dual Inline Packaged Trench MOSFET Three Phase Full Bridge as Contribution to Automotive System Integration*. Application Note, IXYS Semiconductor GmbH, <http://www.ixys.com>, 2009.
- [5] J. Schröder, B. Wittig, and F. Fuchs, *High Efficient Battery Backup System for Lift Trucks Using Interleaved-Converter and Increased EDLC Voltage Range*. 36th Annual Conference of the IEEE Industrial Electronics Society, Phoenix, 2010.
- [6] O. Mühlfeld, B. Wittig, F. Fuchs, and J. Rudzki, *High Efficient Power Converter for Low Voltage Traction Applications with Power Multiplication*, Bodo's Power Systems, vol. September, 2011.
- [7] A. Lindemann, *New Trench Power MOSFETs in Isolated Packages*. Application Note, IXYS Semiconductor GmbH, <http://www.ixys.com>, 2009.
- [8] W. Franke, B. Carstens, F. Fuchs, and N. Eggert, *A Detailed Analysis of a Power Converter to Buffer the Battery Voltage in Lift Trucks*. 35th Annual Conference of the IEEE Industrial Electronics Society, Porto, 2009.
- [9] C. Rudolph, *Hybrid System of an Industrial Truck Using a Three-Phase DC-DC Converter Feeding Ultra-Capacitors*. 13th European Conference on Power Electronics and Applications, Barcelona, 2009.
- [10] A. Emadi, *Handbook of Automotive Power Electronics and Motor Drives*. CRC Press, Boca Raton, 2005.
- [11] A. Lindemann and S. Foerster, *Design Aspects for Power MOSFET Components in Automotive Electronics*. 12th International Power Electronics and Motion Control Conference, EPE-PEMC, Maribor, 2006.
- [12] J. Lutz, *Halbleiter-Leistungsbaulemente - Physik, Eigenschaften, Zuverlässigkeit*. Springer Verlag, Heidelberg, 2006.
- [13] D. Schröder, *Elektrische Antriebe 3 - Leistungselektronische Bauelemente*. Springer

- Verlag, Heidelberg, 2006.
- [14] M. Rashid, *Power Electronics Handbook*. Academic Press, Burlington, 2007.
- [15] V. Benda and D. Gowar, J. Grant, *Power Semiconductor Devices, Theory and Applications*. John Wiley & Sons Ltd, Chichester, 1999.
- [16] J. Korec and C. Bull, *History of FET Technology and the Move to NexFET*, Bodo's Power Systems, vol. May, 2009.
- [17] B. Baliga, *Fundamentals of Power Semiconductor Devices*. Springer Verlag, New York, 2008.
- [18] A. Wintrich, U. Nicolai, W. Tursky, and T. Reimann, *Applikationshandbuch Leistungshalbleiter*. Semikron International GmbH, ISLE Verlag, 2010.
- [19] P. Shenoy, A. Bhalla, and G. Dolny, *Analysis of the effect of charge imbalance on the static and dynamic characteristics of the super junction MOSFET*. IEEE International Symposium on Power Semiconductor Devices & IC's, Toronto, 1999.
- [20] T. Henson and J. Cao, *Low Voltage Super Junction MOSFET Simulation and Experimentation*. IEEE International Symposium on Power Semiconductor Devices & IC's, Cambridge, 2003.
- [21] NXP, *Power MOSFET single-shot and repetitive avalanche ruggedness rating, Application Note AN10273*. NXP Semiconductors, <http://www.nxp.com>, 2009.
- [22] G. Sarma, G. Nitin, Ramanan, Manivannan, K. Metha, and A. Bhattacharjee, *Reliability Studies on High Current Power Modules with Parallel MOSFETs*. European Microelectronics and Packaging Conference, Rimini, 2009.
- [23] B. Baliga, *Power Semiconductor Devices*. PWS Publishing Company, Boston, 1996.
- [24] A. Castellazzi, R. Kraus, N. Seliger, and D. Schmitt-Landsiedel, *Influence of parasitic inductances on the switching behaviour of Power MOSFET's used in automotive applications*. 10th European Conference on Power Electronics and Applications, Toulouse, 2003.
- [25] Infineon, *The influence of parasitic network parameters on the switching behavior of power mosfets when switching ohmic/inductive loads*. Infineon Technologies AG, Application Note, <http://www.infineon.com>, 2008.
- [26] W. Teulings, J. Schanen, and J. Roudet, *MOSFET switching behaviour under influence of PCB stray inductance*. Conference Record of the 1996 IEEE Industry Applications Conference, 1996.
- [27] Fairchild, *Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC*. Application Note AN-6076, Fairchild Semiconductor, <http://www.fairchildsemi.com>, 2009.

-
- [28] IRF, *HV Floating MOS-Gate Driver ICs*. International Rectifier, Application Note AN-978, <http://www.irf.com>, 2007.
- [29] H. Blanchette and K. Al-Haddad, *Switching Power MOSFET Performance: A Compromise Between EMI Generation and Thermal Consideration*. International Symposium on Industrial Electronics, Montréal, 2006.
- [30] T. Wernicke, S. Dieckerhoff, T. Kirfe, G. Feix, S. Guttowski, and H. Reichl, *Experimental Characterization Methods for Power MOSFET Assemblies*. 12th European Conference on Power Electronics and Applications, Aalborg, 2007.
- [31] H. Yilmaz, K. Owyang, P. Shafer, and C. Borman, *Optimization of Power MOSFET Body Diode for Speed and Ruggedness*, IEEE Transactions on Industry Applications, vol. 26, no. 4, 1990.
- [32] E. Motto, *Hybrid Circuits Optimize Gate Drive and Protect High Power IGBT Modules*, Power Electronics Technology, Jun 1, 2010.
- [33] M. Helsper, *Analyse und Verbesserung des Verhaltens von Planar- und Trench-IGBT-Modulen in hart bzw. weich schaltenden Applikationen*. Dissertation, Christian-Albrechts-Universität zu Kiel, Shaker Verlag, Kiel, 2003.
- [34] O. Mühlfeld, W. Franke, and F. Fuchs, *Design Strategies for Stray Inductance optimized Wire-Bond Power Modules*. International Exhibition & Conference for Power Electronics, Intelligent Motion, Power Quality, PCIM, Nürnberg, 2010.
- [35] A. Elbanhawy and J. Ejury, *Investigations of the Influence of PCB Layout Parasitic Inductances In DC/DC-Converters on the Efficiency*. International Exhibition & Conference for Power Electronics, Intelligent Motion, Power Quality, Nürnberg, 2004.
- [36] D. Graovac, M. Pürschel, and A. Kniep, *MOSFET Power Losses Calculation Using the Data-Sheet Parameters*. Infineon Technologies AG, <http://www.infineon.com>, 2008.
- [37] N. Mohan, T. Undeland, and W. Robbins, *Power Electronics - Converters, Applications and Design*. John Wiley & Sons, New York, 1995.
- [38] R. Sodhi, S. Brown, and D. Kinzer, *Integrated Design Environment for DC/DC Converter FET Optimization*. 11th International Symposium of Power Semiconductor Devices ICs, 1999.
- [39] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics – Second Edition*. Kluwer Academic Publishers, 2001.
- [40] Y. Xiong, S. Sun, H. Jia, P. Shea, and Z. Shen, *New Physical Insights on Power MOSFET Switching Losses*, IEEE Transactions on Power Electronics, vol. 24, no. 2, 2009.
- [41] Y. Xiao, T. Chow, and R. Gutmann, *Analytical modeling and experimental evaluation of interconnect parasitic inductance on MOSFET switching characteristics*. 19th

- Annual IEEE Applied Power Electronics Conference and Exposition, Anaheim, California, 2004.
- [42] Y. Xiao, *Integrated Flip-Chip Flex-Circuit packaging for Power Electronics Applications*. PhD Thesis, Rensselaer Polytechnic Institute, Troy, New York, 2003.
- [43] D. Grant and J. Gowar, *Power MOSFETs - Theory and Applications*. John Wiley & Sons Inc., New York, 1989.
- [44] D. Graovac, *Three Ways to Calculate the Voltage Switching Times of Automotive Power MOSFET*. Infineon Technologies AG, <http://www.infineon.com>, 2006.
- [45] S. Musumeci, A. Raciti, A. Testa, A. Galluzzo, and M. Melito, *Switching-Behavior Improvement of Insulated Gate-Controlled Devices*, IEEE Transactions on Power Electronics, vol. 12, no. 4, 1997.
- [46] A. Galluzzo, M. Melito, G. Belverde, S. Musumeci, A. Raciti, and A. Testa, *Switching Characteristic Improvement of Modern Gate Controlled Devices*. Fifth European Conference on Power Electronics and Applications, Brighton, 1993.
- [47] D. Srajber and W. Lukasch, *The Calculation of Power Dissipation for the IGBT and the Inverse Diode*. Kluwer Academic Publishers, Massachusetts, 1992.
- [48] IRF, *Website*. International Rectifier, <http://www.irf.com>, 2011.
- [49] S. Janouch, *Leistungs-MOSFET: Neues Gehäuse für besseren Schutz*. Elektronik automotive, vol. 8/9, 2009.
- [50] NXP, *BUK9620-100A, TrenchMOS logic level FET, Datasheet*. NXP Semiconductors, <http://www.nxp.com>, 2009.
- [51] IRF, *HEXFET Power MOSFET IRF3805S, Datasheet*. International Rectifier, <http://www.irf.com>, 2010.
- [52] IRF, *DirectFET Technology Board Mounting Application Note, AN-1035*. International Rectifier, <http://www.irf.com>, 2009.
- [53] Infineon, *OptiMOS 3 Power-Transistor IPB016N06L3G, Datasheet*. Infineon Technologies, <http://www.infineon.com>, 2009.
- [54] IRF, *HEXFET Power MOSFET IRFS3006-7PPbF, Datasheet*. International Rectifier, <http://www.irf.com>, 2011.
- [55] DK, *Website*. Digi-Key Elektronik, <http://digikey.de>, 2011.
- [56] KLSH, *Projekt: „Neue Umrichterkonzepte für 24/48V, 5 bis 20KVA“*. Kompetenzzentrum Leistungselektronik Schleswig-Holstein, 2011.
- [57] O. Muehlfeld and F. Fuchs, *Optimization of the Stray Inductance in Three-Phase MOSFET Power Modules Aided by means of PEEC Simulation*. 13th European Con-

- ference on Power Electronics and Applications, Barcelona, 2009.
- [58] J. Schanen, C. Martin, D. Frey, and R. Pasterczyk, *Impedance Criteration for Power Modules Comparison*, IEEE Transactions on Power Electronics, vol. 21, no. 1, 2006.
- [59] P. Mourick, J. Steger, and W. Tursky, *750 A, 75 V MOSFET Power Module with Sub-nH Inductance*. Proceedings of the 14th International Symposium on Power Semiconductor Devices and ICs, 2002.
- [60] Mitsubishi, *FM400TU-07A, Power MOSFET Module, Datasheet*. Mitsubishi Electric Corporation, <http://www.mitsubishichips.com>, 2010.
- [61] LeCroy, *Waverunner Operator's Manual 1999, LT Series*. LeCroy Corporation, <http://www.lecroy.com>, 1999.
- [62] Isabellenhütte, *Datenblätter ISA-PLAN® - SMD Präzisionswiderstände*. Isabellenhütte Heusler GmbH & Co. KG, <http://www.isabellenhuette.de>, 2010.
- [63] PEM, *Datenblatt, CWT Ultra Mini, CWT 1R UM, Stromsensor*. PEM UK Ltd., <http://www.pemuk.com>, 2009.
- [64] PEM, *Positional accuracy and external currents, CWT Ultra Mini*. Application Note, PEM UK Ltd., <http://www.pemuk.com>, 2007.
- [65] PEM, *Datenblatt, CWT Mini, CWT 15R, Stromsensor*. PEM UK Ltd., <http://www.pemuk.com>, 2009.
- [66] S. Dieckerhoff, T. Wernicke, C. Kallmayer, S. Guttowski, and H. Reichl, *Improved Switching Characteristics for Fast Power MOSFETs Applying Solder Bump Technology*, International Journal of Power Management Electronics, vol. 2008, 2008.
- [67] B. Wittig, O. Muehlfeld, and F. Fuchs, *Adaption of MOSFETs Current Slope by Systematic Adjustment of Common Source Stray Inductance and Gate Resistance*. 14th European Conference on Power Electronics and Applications, Birmingham, 2011.
- [68] Credat, *Software InCa3D*. Credat Group, <http://www.credat.com>, 2011.
- [69] NEC, *NP110N055PUG, Switching N-Channel Power MOSFET, Datasheet*. NEC Electronics Corporation, <http://www.necel.com>, 2009.
- [70] IRF, *HEXFET Power MOSFET IRFS3306PbF, Datasheet*. International Rectifier, <http://www.irf.com>, 2009.
- [71] D. Schröder, *Leistungselektronische Schaltungen: Funktion, Auslegung und Anwendung*. Springer Verlag, Berlin, 1998.
- [72] C. Dörlemann, *Geregelte Ansteuerung von Insulated Gate Bipolar Transistoren (IGBT)*. Dt. Dissertation, Ruhr-Universität Bochum, Shaker Verlag, Aachen, 2002.
- [73] K. Hoffmann, J. Kärst, and W. Rexhausen, *Reduced IGBT Conducting Power Losses*

- by Miller Effect Triggered Gate Current Injection*. International Exhibition & Conference for Power Electronics, Intelligent Motion, Power Quality, Nürnberg, 2006.
- [74] P. Todd, *Snubber Circuits: Theory, Design and Application*. Application Note, International Rectifier, <http://www.irf.com>, 1993.
- [75] J. Teigelkötter, *Schaltverhalten und Schutzbeschaltungen von Hochleistungshalbleitern*. Dt. Dissertation, Ruhr-Universität Bochum, VDI Verlag, 1996.
- [76] M. Hermwille, *Gate Resistor - Principles and Applications*. Application Note AN-7003, Semikron International GmbH, <http://www.semikron.de>, 2007.
- [77] F. Zach, *Leistungselektronik - Ein Handbuch, Band 1*. Springer Verlag, 2010.
- [78] B. Wittig, W. Franke, and F. Fuchs, *Turn-off Active Gate Control of Low Voltage Automotive Power MOSFETs with High Current Ratings*. International Exhibition & Conference for Power Electronics, Intelligent Motion, Power Quality, PCIM, Nürnberg, 2010.
- [79] B. Wittig and F. Fuchs, *Analysis and Improvement of the Switching Behaviour of Low Voltage Power MOSFETs with High Current Ratings under Hard Switching Conditions*. IEEE International Symposium on Industrial Electronics, Bari, 2010.
- [80] B. Wittig and F. Fuchs, *Current Injection Gate Drive Circuit for Controlling the Turn-Off Characteristic of Low Voltage Power MOSFETs with High Current Ratings*. IEEE International Symposium on Industrial Electronics, Bari, 2010.
- [81] B. Wittig and F. Fuchs, *Analysis and Comparison of Turn-Off Active Gate Control Methods for Low Voltage Power MOSFETs with High Current Ratings*, IEEE Transactions on Power Electronics, vol. 27, no. 3, pp. 1632 – 1640, 2012.
- [82] J. Berry, *MOSFET Operating Under Hard Switching Mode: Voltage And Current Gradients Control*. 4th European Conference on Power Electronics and Applications. Florence, 1991.
- [83] C. Gerster and P. Hofer, *Gate-Controlled dv/dt- and di/dt-Limitation in High Power IGBT Converters*, EPE Journal, vol. 5, no. 3/4, pp. 11–16, 1996.
- [84] S. Park and T. Jahns, *Flexible dv/dt and di/dt Control Method for Insulated Gate Power Switches*, IEEE Transactions on Industry Applications, vol. 39, no. 3, pp. 657–664, 2003.
- [85] H. Lee, Y. Lee, B. Suh, and D. Hyun, *An Improved Control Scheme for Snubberless Operation of High Power IGBTs*. Conference Record of the 32nd IEEE Industry Applications Conference, New Orleans, 1997.
- [86] H. Rothwangl and H. Schamböck, *Advanced IGBT Control Strategies Improvement of the Switching Characteristics via Active Gate Control*. 10th European Conference on

- Power Electronics and Applications, Toulouse, 2003.
- [87] T. Abdelhedi, *Maßnahmen zur Verbesserung der Schalteigenschaften von Insulated-Gate-Bipolar-Transistoren*. Dt. Dissertation, Universität-GH, Wuppertal, 1994.
- [88] J. Kagerbauer and T. Jahns, *Development of an Active dv/dt Control Algorithm for Reducing Inverter Conducted EMI with Minimal Impact on Switching Losses*. IEEE Power Electronics Specialists Conference, Orlando, 2007.
- [89] T. Shimizu and K. Wada, *A gate drive circuit of power MOSFETs and IGBTs for low switching losses*. 7th International Conference on Power Electronics, Daegu, 2007.
- [90] H. Yee, *An EMI Suppression MOSFET Driver*. Applied Power Electronics Conference and Exposition, Vancouver, 1997.
- [91] P. Grbovic, *An IGBT Gate Driver for Feed-Forward Control of Turn-on Losses and Reverse Recovery Current*, IEEE Transactions on Power Electronics, vol. 23, no. 2, 2008.
- [92] P. Grbovic, F. Gruson, N. Idir, and P. Le Moigne, *Turn-ON Performance of Reverse Blocking IGBT (RB IGBT) and Optimization Using Advanced Gate Driver*, IEEE Transactions on Power Electronics, vol. 25, no. 4, 2010.
- [93] X. Zhou, Z. Liang, and A. Huang, *A High-Dynamic Range Current Source Gate Driver for Switching-Loss Reduction of High-Side Switch in Buck Converter*, IEEE Transactions on Power Electronics, vol. 25, no. 6, 2010.
- [94] M. Cacciato, A. Consoli, G. Frascadore, A. Testa, G. Giannini, and R. Nisci, *Driving Optimization of IGBT Devices for Traction Applications*. 11th European Conference on Power Electronics and Applications, Dresden, 2005.
- [95] C. Licitra, S. Musumeci, A. Raciti, A. Galluzzo, R. Letor, and M. Melito, *A New Driving Circuit for IGBT Devices*, IEEE Transactions on Power Electronics, vol. 10, no. 3, 1995.
- [96] M. Rose and J. Krupar, *A New Gate Control Approach for Power MOSFET to Reduce Conductive EMI*. International Exhibition & Conference for Power Electronics, Intelligent Motion, Power Quality, PCIM, Nürnberg, 2010.
- [97] G. Schmitt, R. Kennel, and J. Holtz, *Voltage gradient limitation of IGBTs by optimised gate-current profiles*. IEEE Power Electronics Specialists Conference, Rhodos, 2008.
- [98] B. Weis and M. Bruckmann, *A New Gate Driver Circuit for Improved Turn-Off Characteristics of High Current IGBT Modules*. IEEE IAS Annual Meeting, St. Louis, 1998.
- [99] M. Kimata, S. Chikai, T. Tanaka, and K. Ishii, *High performance gate drive circuit of high voltage IPMs (HVIPMs)*. Record. 29th Annual IEEE Power Electronics Specia-

- lists Conference, Fukuoka, 1998.
- [100] V. John, B. Suh, and T. Lipo, *High-Performance Active Gate Drive for High-Power IGBTs*, IEEE Transactions on Industry Applications, vol. 35, no. 5, 1999.
- [101] S. Mazumder and T. Sarkar, *Optically-Activated Gate Control for Power Electronics*, IEEE Transactions on Power Electronics, vol. 24, no. 1, 2009.
- [102] H. Sawezyn and R. Bausière, *A Feedback Voltage Control of Insulated Gate Power Transistors*, Control and Intelligent Systems, vol. 31, no. 3, 2003.
- [103] N. Idir, R. Bausière, and J. Franchaud, *Active Gate Voltage Control of Turn-on di/dt and Turn-off dv/dt in Insulated Gate Transistors*, IEEE Transactions on Power Electronics, vol. 21, no. 4, pp. 849–855, 2006.
- [104] K. Takao, K. Adachi, Y. Hayashi, and H. Ohashi, *Novel Power Loss Limit Analysis Method for High-speed, Ultra-low Loss Power Converter*. IEEE 36th Power Electronics Specialists Conference, Recife, 2005.
- [105] J. Zhang, *Choosing The Right Power MOSFET Package*. Technical Paper, International Rectifier, <http://www.irf.com>, 2004.
- [106] E. Persson, *What really limits MOSFET performance: silicon, package, driver or circuit board? (Part 1 of 2)*. EETimes Design Article, 7/30/2010, <http://www.eetimes.com>, 2010.
- [107] F. Wu, H. Gao, L. Sun, and K. Zaho, *Suppression of Gate Oscillation of Power MOSFET with Bridge Topology*. Proceedings of the 6th World Congress on Intelligent Control and Automation, Dalian, 2006.
- [108] Fairchild, *Mathematical Treatment for HS MOSFET Turn Off*. The Fifth International Conference on Power Electronics and Drive Systems, Singapore, 2003.
- [109] B. Wittig, M. Böttcher, and F. Fuchs, *Analysis and Design Aspects of a Desaturation Detection Circuit for Low Voltage Power MOSFETs*. 14th International Power Electronics and Motion Control Conference, Ohrid, 2010.
- [110] G. Busatto, G. Persiano, and F. Iannuzzo, *Experimental and Numerical Investigation on MOSFET's Failure During Reverse Recovery of its Internal Diode*, IEEE Transactions on Electron Devices, vol. 46, no. 6, pp. 1268–1273, 1999.
- [111] J. Krapp, *Safety First - Sicheren Schutz mit IGBT Treibern zur Verfügung stellen*. elektronik Journal, Sonderausgabe April, 2010.
- [112] M. Lind and W. Dunford, *A Practical Tutorial on an IGBT Drive*. IEEE International Symposium on Industrial Electronics, Montreal, 2006.
- [113] A. Pérez, X. Jordà, P. Godignon, M. Vellvehi, J. Gálvez, and J. Millán, *An IGBT gate driver integrated circuit with full-bridge output stage and short circuit protections*.

- International Semiconductor Conference, Vol. 2, 2003.
- [114] R. Chokhawala, J. Catt, and L. Kiraly, *A discussion on IGBT short-circuit behavior and fault protection schemes*, IEEE Transactions on Industry Applications, vol. 31, no. 2, pp. 256–263, 1995.
- [115] J. Huselstein, C. Gauthier, and C. Glaize, *Use of the MOSFET Channel Reverse Conduction in an Inverter for Suppression of the Integral Diode Recovery Current*. Fifth European Conference on Power Electronics and Applications, Brighton, 1993.
- [116] IRF, *Current Sensing Single Channel Driver, IR2127, Datasheet*. International Rectifier, <http://www.irf.com>, 2009.
- [117] Micrel, *MIC5020, Current-Sensing Low-Side MOSFET Driver, Datasheet*. Micrel, <http://www.micrel.com>, 2010.
- [118] B. Wittig, O. Muehlfeld, and F. Fuchs, *Methoden zur Effizienzsteigerung von Niederspannungs-Umrichtern mit hohen Lastströmen*. ETG-Kongress, Würzburg, 2011.
- [119] O. Mühlfeld, B. Wittig, and F. Fuchs, *Development of an Optimized Power Section for a 5 kW Low Voltage Traction Inverter*. 14th European Conference on Power Electronics and Applications, Birmingham, 2011.
- [120] J. Forsythe, *Paralleling Of Power MOSFETs For Higher Power Output*. International Rectifier, Application Note, <http://www.irf.com>, 2010.
- [121] B. Taylor, *Power MOSFET Design*. John Wiley & Sons Ltd, Chichester, 1993.
- [122] H. Rüedi, *Intelligent Paralleling - A new approach to paralleling IGBT modules with individual drivers*, Bodo's Power Systems, vol. März, pp. 20–22, 2009.
- [123] IRF, *Paralleling HEXFET Power MOSFETs*. International Rectifier, Application Note AN-941, <http://www.irf.com>, 2010.
- [124] Yokogawa, *WT1800, High Performance Analyzer, Datasheet*. Yokogawa Electric Corporation, <http://tmi.yokogawa.com/>, 2011.
- [125] R. Lerch, *Elektrische Meßtechnik - Analoge, digitale und computergestützte Verfahren*. Berlin: Springer-Verlag, (Berlin), 1996.
- [126] E. Schrüfer, *Elektrische Meßtechnik*. München: Carl Hanser Verlag, (München), 2004.
- [127] F. Fuchs, *Ermittlung des Wirkungsgrades von Umrichterantrieben, Abschlussbericht des ad-hoc Arbeitskreises der Technischen Kommission der Fachverbände 1 und 3 im ZVEI*. Fachverband Elektrische Antriebe im ZVEI, 1991.
- [128] I. S. IEC, *IEC 60034-2-1: Rotating electrical machines - Part 2-1: Standard methods for determining losses and efficiency from tests*. Edition 1.0, 2007.

-
- [129] F. Fuchs, B. Wittig, and J. Schröder, *Determination of Power Losses in Power Electronic Converters - Review and Applications*. eingereicht bei IEEE Transactions on Power Electronics.
- [130] B. Wittig, J. Schröder, and F. Fuchs, *Determination of the efficiency factor of power converters in low voltage applications and SI operation*. Arbeitspapier des AK 226.0.92 im AK 226.0.9 „Energie- und Ökobilanzen von Leistungselektronik, Schaltergeräte und Antriebssystemen“ im DKE, 2011.
- [131] M. Stöck and K. Winterling, *Elektrische Meßtechnik*. Teubner Verlag, 1987.
- [132] M. Glavanovics, *Methoden zur Ermittlung der Verlustleistung von dreiphasigen Transistor-Pulswechselrichtern*. Dissertation, Technische Universität Wien, 1994.
- [133] Y. Li, *Regelung und Wirkungsgradmessung einer Netzeinspeisungsanlage zur Windenergienutzung*. Dissertation, Technische Universität Berlin, 1994.
- [134] J. Kolar, H. Ertl, and F. Zach, *Approximate Determination of the Current RMS Value of the DC Link Capacitor of Single-Phase And Three-Phase PWM Converter Systems*. Proceedings of the 23rd International Intelligent Motion Conference, Nürnberg, 1993.
- [135] M. Bierhoff, *Ein Vergleich von Netzpulsstromrichtern mit eingepprägtem Strom- und Spannungszwischenkreis*. PhD thesis, Dissertation, Christian-Albrechts-Universität zu Kiel, Shaker Verlag, Kiel, 2008.

11. Eigene Veröffentlichungen

Erstautor-Veröffentlichungen

B. Wittig, W.T. Franke, F.W. Fuchs, Design and Analysis of a DC/DC/AC Three Phase Solar Converter with Minimized DC Link Capacitance, 13th European Conference on Power Electronics and Applications, Barcelona, 2009

B. Wittig, W.T. Franke, F.W. Fuchs, Turn-off Active Gate Control of Low Voltage Automotive Power MOSFETs with High Current Ratings, International Exhibition & Conference for Power Electronics, Intelligent Motion, Power Quality, Nürnberg, 2010

B. Wittig, F.W. Fuchs, Analysis and Improvement of the Switching Behaviour of Low Voltage Power MOSFETs with High Current Ratings under Hard Switching Conditions, IEEE International Symposium on Industrial Electronics, Bari, 2010

B. Wittig, F.W. Fuchs, Current Injection Gate Drive Circuit for Controlling the Turn-Off Characteristic of Low Voltage Power MOSFETs with High Current Ratings, IEEE International Symposium on Industrial Electronics, Bari, 2010

B. Wittig, M. Böttcher, F.W. Fuchs, Analysis and Design Aspects of a Desaturation Detection Circuit for Low Voltage Power MOSFETs, 14th International Power Electronics and Motion Control Conference, Ohrid, 2010

B. Wittig, O. Mühlfeld, F.W. Fuchs, Adaption of MOSFETs Current Slope by Systematic Adjustment of Common Source Stray Inductance and Gate Resistance, 14th European Conference on Power Electronics and Applications, Birmingham, 2011

B. Wittig, F.W. Fuchs, Analysis and Comparison of Turn-Off Active Gate Control Methods for Low Voltage Power MOSFETs with High Current Ratings, IEEE Transactions on Power Electronics, Volume 27, Issue 3, Pages 1632 - 1640, 2012

B. Wittig, O. Mühlfeld, F.W. Fuchs, Methoden zur Effizienzsteigerung von Niederspannungs-Umrichtern mit hohen Lastströmen, ETG-Kongress, Würzburg, 2011

Co-Autor-Veröffentlichungen

M. Mohr, W.T. Franke, B. Wittig, F.W. Fuchs, Converter Systems for Fuel Cells in the Medium Power Range — A Comparative Study, IEEE Transactions on Industrial Electronics, Vol. 57, No. 6, 2010

J. Schröder, B. Wittig, F.W. Fuchs, High Efficient Battery Backup System for Lift Trucks Using Interleaved-Converter and Increased EDLC Voltage Range, 36th Annual Conference of the IEEE Industrial Electronics Society, Phoenix, 2010

O. Mühlfeld, B. Wittig, F.W. Fuchs, Development of an Optimized Power Section for a 5 kW Low Voltage Traction Inverter, 14th European Conference on Power Electronics and Applications, Birmingham, 2011

O. Mühlfeld, B. Wittig, F.W. Fuchs, J. Rudzki, High Efficient Power Converter for Low Voltage Traction Applications with Power Multiplication, Bodo's Power Systems, September, 2011

12. Abbildungsverzeichnis

| | | |
|------|--|----|
| 1.1 | Batteriegespeicher Pulswechselrichter mit lastseitigem Drehstrommotor | 1 |
| 2.1 | Aufbaustruktur eines vertikalen DMOS Transistors | 5 |
| 2.2 | Aufbaustruktur lateraler MOSFETs: a) lateraler MOS, b) lateraler DMOS | 6 |
| 2.3 | Aufbaustruktur eines Planar MOSFETs | 6 |
| 2.4 | Aufbau eines Planar-MOSFETs mit hexagonaler Anordnung der Zellen | 7 |
| 2.5 | Aufbaustruktur eines Trench MOSFETs | 8 |
| 2.6 | Aufbaustruktur eines Superjunction-MOSFETs | 8 |
| 2.7 | Prinzipielle Aufbaustruktur einer pin-Diode: a) Aufbaustruktur, b) Verlauf der Raumladungsdichte und des Feldes | 10 |
| 2.8 | Statisches Ausgangskennlinienfeld und Übertragungskennlinie eines MOSFETs | 11 |
| 2.9 | Prinzipielles Ersatzschaltbild eines Leistungs-MOSFETs | 13 |
| 2.10 | Prinzipielle Schaltung zur Charakterisierung des harten Schaltverhaltens von Leistungs-MOSFETs in einer Halbbrückenkonfiguration | 13 |
| 2.11 | Schaltverhalten eines Leistungs-MOSFETs beim harten Schalten und induktiver Last | 14 |
| 2.12 | Schaltverhalten der inversen Body-Diode eines Leistungs-MOSFETs beim harten Schalten und induktiver Last | 18 |
| 2.13 | Reverse-Recovery-Prozess einer Diode | 19 |
| 2.14 | Umrichterphase mit MOSFETs bei Sinusmodulation nach dem Unterschwingungsverfahren | 27 |
| 2.15 | Diskretes MOSFET-Gehäuse: a) prinzip. Aufbaustruktur b) diskreter MOSFET-Gehäusotyp D ² PAK | 28 |
| 2.16 | Parasitäre Bauelement-Widerstände und -Induktivitäten eines diskreten MOSFET-Gehäuses | 29 |
| 2.17 | Technologien neuer diskreter Gehäuseformen | 30 |
| 2.18 | Gehäusestruktur eines gemoldeten „Sixpack-Moduls“ | 31 |
| 3.1 | Zeitlicher Verlauf des Drain-Stromes und der Gate-Source-Spannung beim Doppelpulstest | 32 |
| 3.2 | Prinzipschaltbild des Teststandes | 33 |
| 3.3 | Prinzipielles Schaltbild der Treiberschaltung des Teststandes | 34 |
| 3.4 | Leistungsteillayout der Testschaltung im Doppelpulsversuch | 36 |
| 3.5 | Elektrisches Ersatzschaltbild des Leistungsteils im Doppelpulsversuch | 37 |
| 3.6 | Einschaltvorgang des NP110N055PUG bei induktiver Last | 40 |
| 3.7 | Einschaltvorgang des IRFS3306PbF bei induktiver Last | 40 |
| 3.8 | Stromanstiegszeit t_{ri} der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen | 41 |
| 3.9 | Einschaltenergie $E_{s(on)}$ der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen | 41 |

| | | |
|------|---|----|
| 3.10 | Einschaltverzögerungszeit $t_{d(on)}$ der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen | 41 |
| 3.11 | Ausschaltvorgang des NP110N055PUG bei induktiver Last | 42 |
| 3.12 | Ausschaltvorgang des IRFS3306PbF bei induktiver Last | 42 |
| 3.13 | Spannungsanstiegszeit t_{ru} der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen | 43 |
| 3.14 | Stromfallzeit t_{fi} der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen | 43 |
| 3.15 | Überspannung U_{pk} beim Abschalten der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen | 44 |
| 3.16 | Ausschaltenergie $E_{s(off)}$ der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen | 44 |
| 3.17 | Ausschaltverzögerungszeit $t_{d(off)}$ der Prüflinge bei Widerstandssteuerung und unterschiedlichen Sperrschichttemperaturen | 44 |
| 3.18 | Ausschaltverhalten der Diode des NP110N055PUG | 45 |
| 3.19 | Ausschaltverhalten der Diode des IRFS3306PbF | 45 |
| 3.20 | Vergleich der messtechnisch ermittelten Spannungsanstiegs- und Fallzeiten des NP110N055PUG mit den Ergebnissen der Q_{GD} - und C_{GD} -Approximation | 46 |
| 3.21 | Vergleich der messtechnisch ermittelten Spannungsanstiegs- und Fallzeiten des IRFS3306PbF mit den Ergebnissen der Q_{GD} - und C_{GD} -Approximation | 46 |
| 3.22 | Vergleich der messtechnisch ermittelten Stromanstiegszeiten und Fallzeiten des NP110N055PUG mit den Ergebnissen der theoretischen Approximation | 46 |
| 3.23 | Vergleich der messtechnisch ermittelten Stromanstiegszeiten und Fallzeiten des IRFS3306PbF mit den Ergebnissen der theoretischen Approximation | 46 |
| 3.24 | Vergl. kalkulierter ($E_{s,kal}$), simulativ ($E_{s,sim}$) und experimentell ($E_{s,mess}$) erzielter Schaltenergien des NP110N055PUG in Abhängigkeit vom Gate-Vorwiderstand bei der Widerstandssteuerung | 48 |
| 3.25 | Vergl. kalkulierter ($E_{s,kal}$), simulativ ($E_{s,sim}$) und experimentell ($E_{s,mess}$) erzielter Schaltenergien des IRFS3306PbF in Abhängigkeit vom Gate-Vorwiderstand bei der Widerstandssteuerung | 48 |
| 3.26 | Aufteilung der Halbleiterverluste des NP110N055PUG bei sinusförmigem Laststrom und Sinus-Dreieck-Pulsweitenmodulation sowie bei unterschiedlicher Anzahl an parallelen MOSFETs in Abhängigkeit von der Schaltfrequenz | 50 |
| 3.27 | Aufteilung der Halbleiterverluste des IRFS3306PbF bei sinusförmigem Laststrom und Sinus-Dreieck-Pulsweitenmodulation sowie bei unterschiedlicher Anzahl an parallelen MOSFETs in Abhängigkeit von der Schaltfrequenz | 50 |
| 3.28 | Aufteilung der Halbleiterverluste des NP110N055PUG in Abhängigkeit vom Effektivwert des Drainstromes während der Leitendphase und bei konstantem Tastverhältnis | 50 |

| | | |
|------|--|----|
| 3.29 | Aufteilung der Halbleiterverluste des IRFS3306PbF in Abhängigkeit vom Effektivwert des Drainstromes während der Leitendphase und bei konstantem Tastverhältnis | 50 |
| 4.1 | Übersicht über Lösungsansätze zur Verbesserung des Ausschaltverhaltens von Leistungs-MOSFETs | 51 |
| 5.1 | Prinzipielle Funktion der di/dt-control und der du/dt-control | 56 |
| 5.2 | Prinzipielle Funktion der Ansteuerung mit zusätzlicher Stromquelle und -senke | 57 |
| 5.3 | Prinzipielle Realisierungsmöglichkeiten der zweistufigen Ansteuerung | 58 |
| 5.4 | Prinzipielle Funktion der Ansteuerung mittels eines optimierten Gate-Signals . | 58 |
| 5.5 | Prinzip. Schaltungen der du/dt-control: a) ohne Zenerdiode, b) mit Zenerdiode | 60 |
| 5.6 | Ein- und Ausschaltverhalten des NP110N055PUG bei der du/dt-control ohne Zenerdiode im Vergleich zur Widerstandssteuerung | 61 |
| 5.7 | Spannungsanstiegszeit t_{ru} bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 62 |
| 5.8 | Stromfallzeit t_{fi} bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 62 |
| 5.9 | Überspannung U_{pk} beim Abschalten bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 62 |
| 5.10 | Ausschaltenergie $E_{s(off)}$ bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 62 |
| 5.11 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 63 |
| 5.12 | Prinzipielle Schaltungen der di/dt-control: a) mittels Zenerdiode, b) mittels Signal-MOSFET | 64 |
| 5.13 | Ein- und Ausschaltverhalten des NP110N055PUG bei der di/dt-control im Vergleich zur Widerstandssteuerung | 65 |
| 5.14 | Spannungsanstiegszeit t_{ru} bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 66 |
| 5.15 | Stromfallzeit t_{fi} bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 66 |
| 5.16 | Überspannung U_{pk} beim Abschalten bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 67 |
| 5.17 | Ausschaltenergie $E_{s(off)}$ bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 67 |
| 5.18 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 67 |
| 5.19 | Prinzipielle Schaltung der zweistufigen Ansteuerung | 68 |

| | | |
|------|---|----|
| 5.20 | Ein- und Ausschaltverhalten des NP110N055PUG bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung | 69 |
| 5.21 | Spannungsanstiegszeit t_{ru} bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 70 |
| 5.22 | Stromfallzeit t_{fi} bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 70 |
| 5.23 | Überspannung U_{pk} beim Abschalten bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 70 |
| 5.24 | Ausschaltenergie $E_{s(off)}$ bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 70 |
| 5.25 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der zweistufigen Ansteuerung im Vergleich zur konventionellen Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 71 |
| 5.26 | Prinzipielle Schaltung der Stromeinprägung | 72 |
| 5.27 | Ausschaltvorgang des NP110N055PUG bei niedriger Zwischenkreisspannung und ausgeschalteter Stromeinprägung | 73 |
| 5.28 | Ausschaltvorgang des NP110N055PUG bei hoher Zwischenkreisspannung und eingeschalteter Stromeinprägung | 73 |
| 5.29 | Ein- und Ausschaltverhalten des NP110N055PUG bei der Stromeinprägung bei Variation der Steuerspannung U_d | 74 |
| 5.30 | Spannungsanstiegszeit t_{ru} bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 76 |
| 5.31 | Stromfallzeit t_{fi} bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 76 |
| 5.32 | Überspannung U_{pk} während des Abschaltens bei der Stromeinprägung im Vergleich zur Widerstandssteuerung unter Verwendung des NP110N055PUG | 76 |
| 5.33 | Ausschaltenergie $E_{s(off)}$ bei der Stromeinprägung im Vergleich zur Widerstandssteuerung unter Verwendung des NP110N055PUG | 76 |
| 5.34 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der Stromeinprägung im Vergleich zur konventionellen Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 77 |
| 5.35 | Prinzipielle Schaltung der Kombination aus der zweistufigen Ansteuerung und der Stromeinprägung | 77 |
| 5.36 | Ein- und Ausschaltverhalten des NP110N055PUG bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung | 78 |

| | | |
|------|--|----|
| 5.37 | Spannungsanstiegszeit t_{ru} bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 80 |
| 5.38 | Stromfallzeit t_{fi} bei der Kombination aus zweistuf. Ansteuerung und Stromeinpr. im Vergleich zur Widerstandsst. bei Verwendung des NP110N055PUG | 80 |
| 5.39 | Überspannung U_{pk} während des Abschaltens bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 80 |
| 5.40 | Ausschaltenergie $E_{s(off)}$ bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des NP110N055PUG | 80 |
| 5.41 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der Stromeinprägung im Vergleich zur konventionellen Widerstandssteuerung bei Verwendung des NP110N055PUG in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 81 |
| 5.42 | Experimentell erzielte Ergebnisse des Betrages der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit vom jeweiligen Ansteuerverfahren | 82 |
| 5.43 | Experimentell erzielte Ergebnisse des Betrages der Stromsteilheit beim Abschalten des IRFS3306PbF in Abhängigkeit vom jeweiligen Ansteuerverfahren | 82 |
| 5.44 | Experimentell erzielte Überspannung U_{pk} in Abhängigkeit von der Ausschaltenergie $E_{s(off)}$ der Ansteuerverfahren bei Verwendung des NP110N055PUG | 82 |
| 5.45 | Prozentuale Reduzierung der Ausschaltverlustenergie der verschiedenen Ansteuermethoden bezogen auf eine Widerstandssteuerung und $U_{pk} = 20\text{V}$ bei Verwendung des NP110N055PUG | 82 |
| 5.46 | Experimentell erzielte Überspannung U_{pk} in Abhängigkeit von der Ausschaltenergie $E_{s(off)}$ der Ansteuerverfahren bei Verwendung des IRFS3306PbF | 83 |
| 5.47 | Prozentuale Reduzierung der Ausschaltverlustenergie der verschiedenen Ansteuermethoden bezogen auf eine Widerstandssteuerung und $U_{pk} = 20\text{V}$ bei Verwendung des IRFS3306PbF | 83 |
| 5.48 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ in Abhängigkeit vom Gate-Widerstand R_G der untersuchten Ansteuerverfahren bei Verwendung des NP110N055PUG | 83 |
| 5.49 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ in Abhängigkeit vom Gate-Widerstand R_G der untersuchten Ansteuerverfahren bei Verwendung des IRFS3306PbF | 83 |
| 6.1 | Prinzipieller Ansteuerkreis des Leistungs-MOSFETs unter Berücksichtigung der Common Source Induktivität $L_{S\sigma 2}$ | 86 |
| 6.2 | Ausschnitt des Layouts der Testschaltung zur Erläut. der Hilfssource-Abgriffe | 88 |

| | | |
|------|---|-----|
| 6.3 | Analytisch und simulativ ermittelte Beträge der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit von $L_{S\sigma 2}$ und R_G | 90 |
| 6.4 | Analytische Ergebnisse des Betrages der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit von der Gate-Source-Schwellenspannung $U_{GS,th}$ und des Drain-Stromes I_D | 91 |
| 6.5 | Analytische Ergebnisse des Betrages der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ und der Übertragungssteilheit g_m | 91 |
| 6.6 | Simulierte Stromfall- und Anstiegszeiten des NP110N055PUG für $R_G = 3,9\Omega$ und 15Ω in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ | 91 |
| 6.7 | Experimentell ermittelte Ergebnisse des Betrages der Stromsteilheit beim Abschalten des NP110N055PUG in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ und des Gate Widerstands R_G | 92 |
| 6.8 | Vergleich experimentell, simulativ und analytisch erzielter Ergebnisse der Stromsteilheiten des NP110N055PUG beim Abschalten in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ | 92 |
| 6.9 | Experimentell ermittelte Stromfall- und Anstiegszeiten des NP110N055PUG in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ für $R_G = 3,9\Omega$ und 15Ω | 93 |
| 6.10 | Experimentell ermittelte Einschaltenergien $E_{s(on)}$ des NP110N055PUG in Abhängigkeit von der Common Source Induktivität $L_{S\sigma 2}$ für $R_G = 3,9\Omega$ und 15Ω | 93 |
| 6.11 | Experimentell ermittelte Überspannungen U_{pk} in Abhängigkeit von der Ausschaltverlustenergie $E_{s(off)}$ für verschiedene Werte der Common Source Induktivität $L_{S\sigma 2}$ bei Verwendung des NP110N055PUG | 93 |
| 6.12 | Ein- und Ausschaltverhalten des NP110N055PUG bei $L_{S\sigma 2} = 4,5\text{ nH}$ und $R_G = 15\Omega$ bzw. $L_{S\sigma 2} = 7,4\text{ nH}$ und $R_G = 3,9\Omega$ | 95 |
| 7.1 | Kurzschluss-Typen in Halbbrückenkonfigurationen | 97 |
| 7.2 | Prinzipschaltbild zweier Kurzschluss-Schutzkonzepte: a) mittels Shunt, b) mittels Sense-FET | 98 |
| 7.3 | Prinzipschaltbild zweier Kurzschluss-Schutzkonzepte: a) mittels Entsättigungserkennung, b) mittels Streuinduktivität | 99 |
| 7.4 | Symbolerklärungen für die Kurzschlussversuche | 101 |
| 7.5 | Prinzipschaltbild der Entsättigungserkennung | 102 |
| 7.6 | Ein- und Ausschaltvorgang des Leistungs-MOSFETs IRFS3306PbF bei Verwendung einer Entsättigungserkennung im fehlerfreien Betrieb | 104 |
| 7.7 | Ausschaltvorgang des IRFS3306PbF bei Detektion eines Überstromes | 105 |
| 7.8 | Ausschaltvorgang des IRFS3306PbF bei Detektion eines Kurzschlusses von Typ 1 an der Last ($L_{Lr} = 1,26\mu\text{H}$) | 105 |
| 7.9 | Ausschaltvorgang des IRFS3306PbF bei Detektion eines Kurzschlusses von Typ 1 am Umrichter ($L_{Lr} = 300\text{ nH}$) | 106 |

| | | |
|------|---|-----|
| 7.10 | Ausschaltvorgang des IRFS3306PbF bei Detektion eines Kurzschlusses von Typ 2 | 106 |
| 7.11 | Verlauf der Kurzschlussstrom-Detektionsschwelle der Entsättigungserkennung in Abhängigkeit von der Streuinduktivität $L_{S\sigma 2} + L_{D\sigma 2}$ | 108 |
| 7.12 | Verlauf der Ansprechzeit der Entsättigungserkennung in Abhängigkeit von der Streuinduktivität $L_{S\sigma 2} + L_{D\sigma 2}$ | 108 |
| 7.13 | Verlauf der experimentell erzielten Kurzschlussdetektionsschwelle $I_{D,ks(th)}$ in Abhängigkeit von der theoretischen Detektionsschwelle $I_{D,ks(th),soll}$ ohne Berücksichtigung von $L_{D\sigma 2}$ und $L_{S\sigma 2}$ | 108 |
| 7.14 | Verlauf der Kurzschlussstrom-Detektionsschwelle der Entsättigungserkennung in Abhängigkeit von der EingangsfILTERkapazität C_f | 109 |
| 7.15 | Verlauf der Ansprechzeit der Entsättigungserkennung in Abhängigkeit von der Filterkapazität C_f | 109 |
| 8.1 | Foto des 24 V/5 kVA - DC/AC-Umrichters des KLSH | 111 |
| 8.2 | Einschaltvorgang des ISIT180 während des Umrichterbetriebs | 113 |
| 8.3 | Ausschaltvorgang des ISIT180 während des Umrichterbetriebs | 113 |
| 8.4 | Prinzipielle Aspekte des hier verwendeten MOSFET-Moduls: a) Layout, b) Kommutierungsweg in einer Halbbrücke des Umrichters | 114 |
| 8.5 | Prinzipieller Aufbau des dreiphasigen 5 kVA DC/AC-Umrichters mit Leistungshalbleitermodulen (LHL-Module) ohne Umrichtergehäuse und oberen Kühlkörper | 115 |
| 8.6 | Prinzipieller Aufbau des 15 kVA DC/AC Umrichters mittels Parallelschaltung von drei 5 kVA Metamodulen | 115 |
| 8.7 | Ausschaltvorgang zweier, räumlich dicht beinander liegender, paralleler MOSFETs des Typs NP110N055PUG bei induktiver Last | 116 |
| 8.8 | Ausschaltvorgang zweier, räumlich weit entfernter, paralleler MOSFETs des Typs NP110N055PUG bei induktiver Last | 116 |
| 8.9 | Einschaltvorgang zweier paralleler MOSFETs des Typs ISIT180 während des Umrichterbetriebs | 117 |
| 8.10 | Ausschaltvorgang zweier paralleler MOSFETs des Typs ISIT180 während des Umrichterbetriebs | 117 |
| 8.11 | Massekonzept des Treibers des verwendeten Umrichter-Aufbaukonzepts | 118 |
| 8.12 | Prinzipschaltbild des Versuchsaufbaus mit 24V/5kVA DC/AC-Umrichter des KLSH | 118 |
| 8.13 | Relative Messunsicherheit $\Delta P_{cv(ges)}/P_{cv(ges)}$ der Verlustleistung in Abhängigkeit vom Wirkungsgrad η bei Anwendung der in dieser Arbeit durchgeführten indirekten Bestimmungsmethode | 120 |
| 8.14 | Relative Messunsicherheit $\Delta P_{cv(ges)}/P_{cv(ges)}$ der Verlustleistung in Abhängigkeit vom Wirkungsgrad η bei Anwendung der in dieser Arbeit durchgeführten direkten Bestimmungsmethode | 120 |

| | | |
|------|--|-----|
| 8.15 | Maximale Messunsicherheit $\Delta P_{cv(ges)}/P_{cv(ges)}$ der Verlustleistung in Abhängigkeit vom Wirkungsgrad η bei Anwendung der in dieser Arbeit durchgeführten kalorimetrischen Verlustleistungsbestimmung | 121 |
| 8.16 | Ausschaltvorgang des ISIT180 bei Detektion eines Kurzschlusses von Typ 2 im vorliegenden Metamodul | 122 |
| 8.17 | Ausschaltvorgang des ISIT180 bei Detektion eines Kurzschlusses von Typ 2 und Verlauf der Zwischenkreisspannung im vorliegenden Metamodul | 122 |
| 8.18 | Verlauf des Kurzschluss-Abschaltstromes $I_{D,ks(off)}$ der Ent sättigungserkennung in Abhängigkeit von der EingangsfILTERkapazität C_f | 123 |
| 8.19 | Verlauf der Ansprechzeit $t_{sc,res}$ der Ent sättigungserkennung in Abhängigkeit von der EingangsfILTERkapazität C_f | 123 |
| 8.20 | Verlauf der exp. erzielten Kurzschlussstrom-Detektionsschwelle $I_{D,ks(th)}$ in Abhängigkeit von der theoretischen Detektionsschwelle $I_{D,ks(th),soll}$ ohne Berücksichtigung von $L_{D\sigma 2}$ und $L_{S\sigma 2}$ | 123 |
| 8.21 | Ausschaltvorgang des ISIT180 bei Widerstandssteuerung während des Umrichterbetriebs | 124 |
| 8.22 | Ausschaltvorgang des ISIT180 bei Kombination aus zweistufiger Ansteuerung und du/dt-control während des Umrichterbetriebs | 124 |
| 8.23 | Experimentell erzielte Überspannung U_{pk} in Abhängigkeit von der Ausschaltenergie $E_{s(off)}$ der Ansteuerverfahren bei Verwendung des ISIT180 während des Umrichterbetriebs | 125 |
| 8.24 | Experimentell erzielte Ergebnisse des Betrages der Stromsteilheit beim Abschalten des ISIT180 in Abhängigkeit vom Gate-Widerstand R_G und der jeweiligen untersuchten Ansteuerverfahren während des Umrichterbetriebs | 126 |
| 8.25 | Indirekt ermittelter Wirkungsgrad η_{ind} des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung | 129 |
| 8.26 | Indirekt ermittelter Wirkungsgrad η_{ind} des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung | 129 |
| 8.27 | Indirekt ermittelte Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung | 130 |
| 8.28 | Indirekt ermittelte Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung | 130 |

| | | |
|------|--|-----|
| 8.29 | Direkt ermittelter Wirkungsgrad η_{dir} des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung | 132 |
| 8.30 | Direkt ermittelter Wirkungsgrad η_{dir} des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung | 133 |
| 8.31 | Direkt ermittelte Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung | 133 |
| 8.32 | Direkt ermittelte Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters in Abhängigkeit vom Laststrom I_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung | 134 |
| 8.33 | Experimentell ermittelter Verlauf des eff. Laststromes I_L des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung | 135 |
| 8.34 | Kalorimetrisch ermitt. Umrichterverluste $P_{cv(ges)}$ des 5 kVA DC/AC-Umrichters bei Anwendung der einzelnen Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung | 136 |
| 8.35 | Kalorimetrisch ermittelter Wirkungsgrad η_{kal} des 5 kVA DC/AC-Umrichters bei Anwendung der einzelnen Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung | 136 |
| 8.36 | Thermografisches Bild des unteren Kühlkörpers des 5 kVA-Umrichters im thermischen Beharrungszustand bei Anwendung der Widerstandssteuerung | 136 |
| 8.37 | Thermografisches Bild des unteren Kühlkörpers des 5 kVA-Umrichters im thermischen Beharrungszustand bei Anwendung der zweistufigen Ansteuerung in Kombination mit der Stromeinprägung | 136 |
| 14.1 | Prinzipaufbau des Kalorimeters bei modifizierter indirekter kalorimetrischer Verlustleistungsbestimmung | 167 |
| 14.2 | Spannungsanstiegszeit t_{ru} bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 169 |
| 14.3 | Stromfallzeit t_{fi} bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 169 |
| 14.4 | Überspannung U_{pk} beim Abschalten bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 169 |
| 14.5 | Ausschaltenergie $E_{s(off)}$ bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 169 |

| | | |
|-------|--|-----|
| 14.6 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 170 |
| 14.7 | Spannungsanstiegszeit t_{ru} bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 170 |
| 14.8 | Stromfallzeit t_{fi} bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 170 |
| 14.9 | Überspannung U_{pk} beim Abschalten bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 171 |
| 14.10 | Ausschaltenergie $E_{s(off)}$ bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 171 |
| 14.11 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 171 |
| 14.12 | Spannungsanstiegszeit t_{ru} bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 172 |
| 14.13 | Stromfallzeit t_{fi} bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 172 |
| 14.14 | Überspannung U_{pk} beim Abschalten bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 172 |
| 14.15 | Ausschaltenergie $E_{s(off)}$ bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 172 |
| 14.16 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der zweistufigen Ansteuerung im Vergleich zur Widerstandsst. bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 173 |
| 14.17 | Spannungsanstiegszeit t_{ru} bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 173 |
| 14.18 | Stromfallzeit t_{fi} bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 173 |
| 14.19 | Überspannung U_{pk} beim Abschalten bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 174 |
| 14.20 | Ausschaltenergie $E_{s(off)}$ bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 174 |
| 14.21 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 174 |
| 14.22 | Spannungsanstiegszeit t_{ru} bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 175 |

| | | |
|-------|--|-----|
| 14.23 | Stromfallzeit t_{fi} bei der Kombination aus zweistuf. Ansteuerung und Stromeinprägung im Vergleich zur Widerstandsst. bei Verwendung des IRFS3306PbF . | 175 |
| 14.24 | Überspannung U_{pk} beim Abschalten bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 175 |
| 14.25 | Ausschaltenergie $E_{s(off)}$ bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF | 175 |
| 14.26 | Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der Stromeinprägung im Vergleich zur Widerstandsst. bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur | 176 |
| 14.27 | Indirekt ermittelter Wirkungsgrad η_{ind} des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung | 176 |
| 14.28 | Indirekt ermittelter Wirkungsgrad η_{ind} des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung | 177 |
| 14.29 | Direkt ermittelter Wirkungsgrad η_{dir} des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung | 177 |
| 14.30 | Direkt ermittelter Wirkungsgrad η_{dir} des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung | 178 |

13. Tabellenverzeichnis

| | | |
|-----|---|-----|
| 3.1 | Liste der im Teststand verwendeten Komponenten und Messgeräte | 35 |
| 3.2 | Messtechnisch ermittelte Werte der Streuinduktivitäten des Kommutierungsweges der Testschaltung | 38 |
| 3.3 | Übersicht über charakter. Eigenschaften der verwendeten Leistungs-MOSFETs | 39 |
| 5.1 | Übersicht über die Literatur zu Active Gate Control Verfahren sortiert nach prinzipieller Methodik und nach Anwendung auf MOSFETs oder IGBTs | 59 |
| 5.2 | Ausschaltverhalten bei der du/dt -control und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$ | 61 |
| 5.3 | Ausschaltverhalten bei der di/dt -control und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$ | 66 |
| 5.4 | Ausschaltverhalten bei der zweistufigen Ansteuerung und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$ | 69 |
| 5.5 | Ausschaltverhalten bei der Stromeinprägung und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$, $R_G = 3,9\Omega$ | 75 |
| 5.6 | Ausschaltverhalten der Prüflinge durch Kombination aus zweistufiger Ansteuerung und Stromeinprägung sowie der Widerstandssteuerung; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$ | 79 |
| 6.1 | Gemessene Ergebnisse der Common Source Induktivität $L_{S\sigma 2}$ der jeweiligen Abgriffe der Treiberschaltung mittels des Einzelpuls-Verfahrens | 89 |
| 6.2 | Kennwerte für verschiedene Common Source Induktivitäten und Gate Widerstände bei Einhaltung einer Überspannung von 18 bis 19 V beim Abschalten des NP110N055PUG | 94 |
| 7.1 | Gemessene Kurzschlussstrom-Detektionsschwellen $I_{D,ks(th)}$ der Entsättigungserkennung im Falle eines Kurzschluss-Typs 1 an der Last für verschiedene Sperrschichttemperaturen T_J mit und ohne Temperaturkompensation | 105 |
| 7.2 | Experimentelle Kurzschlussstrom-Detektionsschwellen $I_{D,ks(th)}$ und Kurzschluss-Abschaltströme $I_{D,ks(off)}$ der Entsättigungserkennung ohne Temperaturkompensation im Falle eines Kurzschluss-Typs 2 in Anhängigkeit von der Sperrschichttemperaturen T_J | 107 |
| 8.1 | Übersicht über charakter. Eigenschaften des Leistungs-MOSFETs ISIT180 . . . | 112 |
| 8.2 | Liste der zur Verlustleistungs- und Wirkungsgradbestimmung verwendeten Messgeräte | 119 |
| 8.3 | Ergebnisse der untersuchten Methoden zur treiberseitigen Steuerung des Ausschaltverhaltens von Leistungs-MOSFETs bei näherungsweise gleicher induzierter Überspannung U_{pk} | 127 |
| 8.4 | Theoretische und experimentell ermittelte Verlustleistungen und Wirkungsgrade des Umrichters mittels indirekter bzw. direkter Bestimmungsmethode bei Nennausgangsstrom $I_{L,N} = 125\text{ A}$ | 131 |

-
- 14.1 Ergebnisse des Ausschaltverhaltens bei der du/dt -control mit Zenerdiode und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$ 168

14. Anhang

14.1 Gleichungen zur Bestimmung des Messfehlers

14.1.1 Messunsicherheit bei maximal möglichen Fehler

Zur Berechnung des Fehlers y_F einer Funktion $f(x_1, x_2, \dots, x_n)$, deren Variablen mit systematischen, absoluten Fehlern x_{Fi} behaftet sind, berechnet sich nach [125, 126, 130] aus dem totalen Differential wie folgt:

$$y_F = \sum_{i=1}^n \frac{\delta f}{\delta x_i} \cdot x_{Fi} = \frac{\delta f}{\delta x_1} \cdot x_{F1} + \frac{\delta f}{\delta x_2} \cdot x_{F2} + \dots + \frac{\delta f}{\delta x_n} \cdot x_{Fn} \quad (14.1)$$

Die folgende beispielhafte Funktion

$$\eta = \frac{U_{out} \cdot I_{out}}{U_{in} \cdot I_{in}} = U_{out}^1 \cdot I_{out}^1 \cdot U_{in}^{-1} \cdot I_{in}^{-1} \quad (14.2)$$

lässt sich allgemein schreiben als:

$$y = x_1^{\alpha_1} \cdot x_2^{\alpha_2} \cdot \dots \cdot x_n^{\alpha_n}. \quad (14.3)$$

Der Fehler y_F ergibt sich zu:

$$y_F = y \cdot \left(\alpha_1 \frac{x_{F1}}{x_1} + \alpha_2 \frac{x_{F2}}{x_2} + \dots + \alpha_n \frac{x_{Fn}}{x_n} \right). \quad (14.4)$$

Es folgt für den relativen maximalen Fehler (maximale Messunsicherheit):

$$\frac{y_F}{y} = \alpha_1 \frac{x_{F1}}{x_1} + \alpha_2 \frac{x_{F2}}{x_2} + \dots + \alpha_n \frac{x_{Fn}}{x_n}. \quad (14.5)$$

14.1.2 Messabweichung bei zufällig auftretenden Fehlern

Unter der Annahme von zufällig auftretenden Fehlern wird zur Berechnung der Toleranz bzw. der Messgenauigkeit die Standardabweichung herangezogen. Es gilt für die Standardabweichung s_y bei zufälligen Fehlern unabhängiger Messgrößen x_i mit den Standardabweichungen s_i :

$$s_y = \sqrt{\sum_{i=1}^n \left(\frac{\delta y}{\delta x_i} s_i \right)^2}. \quad (14.6)$$

Es wird dabei mitberücksichtigt, dass sowohl positive als auch negative Abweichungen der Messwerte auftreten können. Es gilt damit für den relativen stochastischen Fehler (stochastische Messunsicherheit):

$$\Delta\eta = \frac{s_y}{y} = \sqrt{\sum_{i=1}^n \left(\alpha_i \frac{s_i}{x_i}\right)^2}. \quad (14.7)$$

14.2 Kalorimetrische Verlustleistungsmessung

Bei der kalorimetrischen Verlustleistungsbestimmung wird der Wirkungsgrad bzw. die Verlustleistung kalorimetrisch über eine Wärmeabfuhr — in der Regel über das Kühlmedium Luft — bestimmt und muss daher im thermischen stationären Betrieb erfolgen. Zur Bestimmung des Wirkungsgrades muss weiterhin die Eingangs- oder Ausgangsleistung bekannt sein. Es wird daher hier die Eingangsleistung elektrisch gemessen. Der zu vermessende Prüfling muss bei der kalorimetrischen Verlustleistungsbestimmung zusätzlich wärmeisoliert sein. Die kalorimetrische Messung kann in drei verschiedene Methoden — direkte Messung, indirekte Messung sowie modifizierte indirekte Messung — unterteilt werden [130]. Aufgrund der Einfachheit der Anwendung der modifizierten, indirekten Methode sowie der Unabhängigkeit der Messung von Luftfeuchte und -dichte wird dieses Verfahren hier angewendet. Der prinzipielle Aufbau des in dieser Arbeit verwendeten Kalorimeters ist in Abb. 14.1 dargestellt.

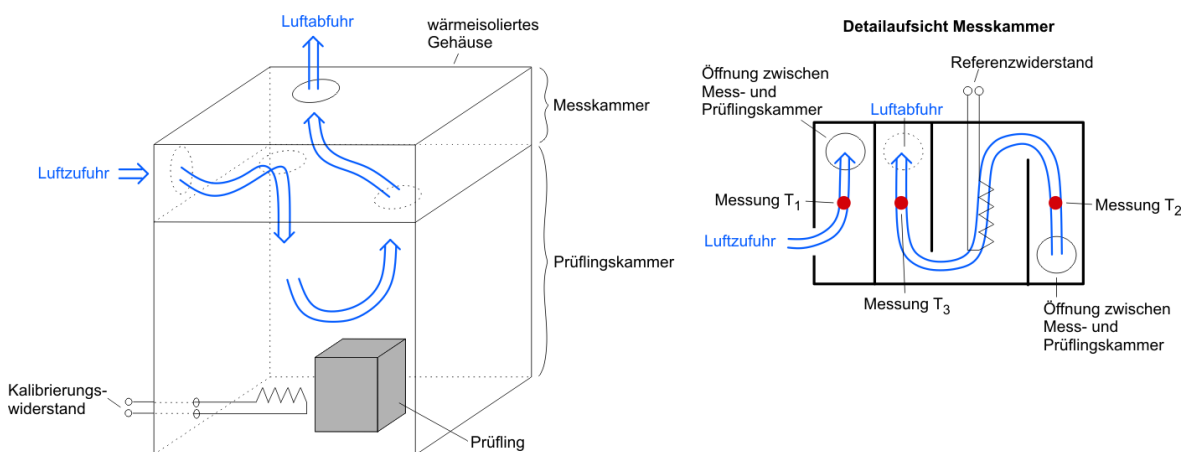


Abb. 14.1: Prinzipaufbau des Kalorimeters bei modifizierter indirekter kalorimetrischer Verlustleistungsbestimmung

Wie in Abb. 14.1 zu erkennen ist, liegt der Prüfling in der Prüflingskammer, über die sich räumlich übergeordnet die Messkammer befindet. Beide Kammern sind durch zwei Öffnungen für den Luftstrom miteinander verbunden. In der Prüflingskammer ist weiterhin ein Kalibrierungswiderstand vorhanden, über den die Ermittlung einer Kalibrierungskennlinie möglich ist.

Die Messkammer ist in zwei voneinander getrennte Abschnitte unterteilt. Im ersten Abschnitt wird die Temperatur T_1 der dem Kalorimeter zugeführten Luft gemessen. Die Temperatur T_2 der durch die Verlustleistung des Prüflings erwärmten Luft wird im zweiten Abschnitt der Messkammer ermittelt. Die darauffolgende Temperatur T_3 , die mittels der Verlustleistung im Referenzwiderstand erhöht wird, wird vor der Luftabfuhr des Kalorimeters bestimmt.

Die Messung der drei Temperaturen T_1 bis T_3 erfolgt durch eine Vierleiter-Widerstandsmessung von PT100-Sensoren. Pro Messpunkt werden zwei Sensoren verwendet, über deren Messwerte gemittelt wird. Als Messdatenaufzeichnungsgeräts wird ein HP 34970A der Firma Hewlett-Packard eingesetzt, dessen Messgenauigkeit für die Vierleiterwiderstandsmessung bei 0,01 % des Messwertes liegt.

Die Verlustleistung $P_{cv(ges)}$ des Prüflings kann bei dieser kalorimetrischen Messmethode über Gleichung 14.8 anhand der gemessenen Temperaturen T_1 bis T_3 und der Referenzleistung $P_{v,ref}$ berechnet werden [130].

$$P_{cv(ges)} = \frac{T_2 - T_1}{T_3 - T_2} \cdot P_{v,ref} \quad (14.8)$$

14.3 Diagramme und Tabellen

| | NP110N055PUG | | IRFS3306PbF | |
|-----------------------------------|------------------|--|------------------|--|
| | Widerstandsst. | du/dt-control mit Zenerdiode | Widerstandsst. | du/dt-control mit Zenerdiode |
| Beschaltung | $R_G = 10\Omega$ | $R_G = 10\Omega, U_z = 39V,$ $C_{GDex} = 2,2nF, R_{GDex} = 300\Omega$ | $R_G = 10\Omega$ | $R_G = 10\Omega, U_z = 39V,$ $C_{GDex} = 2,2nF, R_{GDex} = 300\Omega$ |
| Überspannung V_{pk} | 21,6V | 19,4V | 19,4V | 17,4V |
| Stromsteilheit di_D/dt | 753 A/ μ s | 726 A/ μ s | 671 A/ μ s | 614 A/ μ s |
| Spannungsanstiegszeit t_{ru} | 91,3 ns | 85,5 ns | 41,7 ns | 38,7 ns |
| Stromfallzeit t_{fi} | 159,3 ns | 165,2 ns | 178,7 ns | 195,2 ns |
| Ausschaltverzögerung $t_{d(off)}$ | 306,2 ns | 296,7 ns | 101,7 ns | 102,6 ns |
| Ausschaltenergie $E_{s(off)}$ | 741 μ J | 775 μ J | 762 μ J | 776 μ J |

Tab. 14.1: Ergebnisse des Ausschaltverhaltens bei der du/dt-control mit Zenerdiode und der Widerstandssteuerung der Prüflinge; Bed.: $I_L = 150\text{ A}$, $U_{DD} = 24\text{ V}$, $T_J = 25^\circ\text{C}$

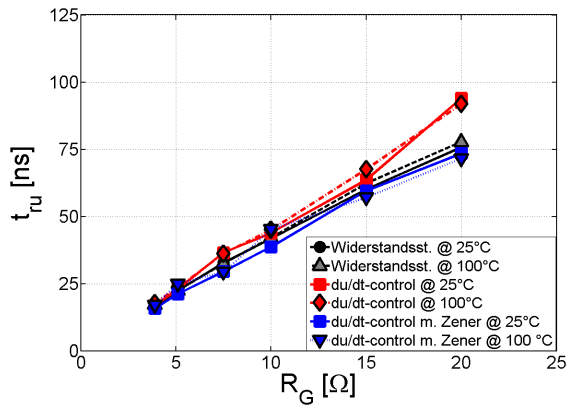


Abb. 14.2: Spannungsanstiegszeit t_{ru} bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\ \Omega$, $U_z = 39\text{ V}$

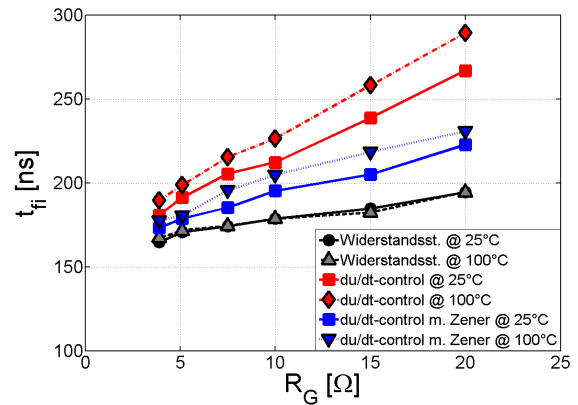


Abb. 14.3: Stromfallzeit t_{fi} bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\ \Omega$, $U_z = 39\text{ V}$

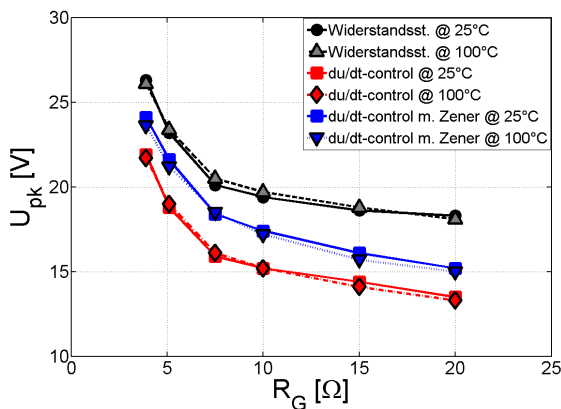


Abb. 14.4: Überspannung U_{pk} beim Abschalten bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\ \Omega$, $U_z = 39\text{ V}$

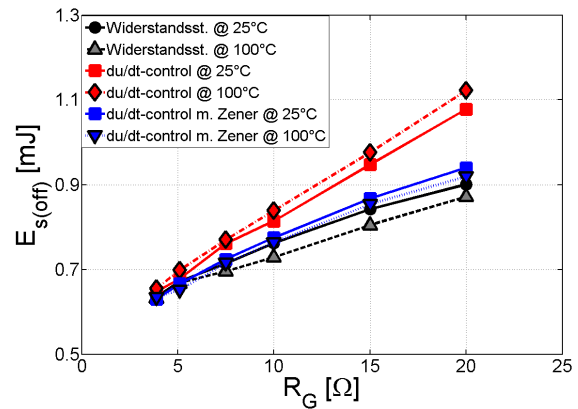


Abb. 14.5: Ausschaltenergie $E_{s(off)}$ bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\ \Omega$, $U_z = 39\text{ V}$

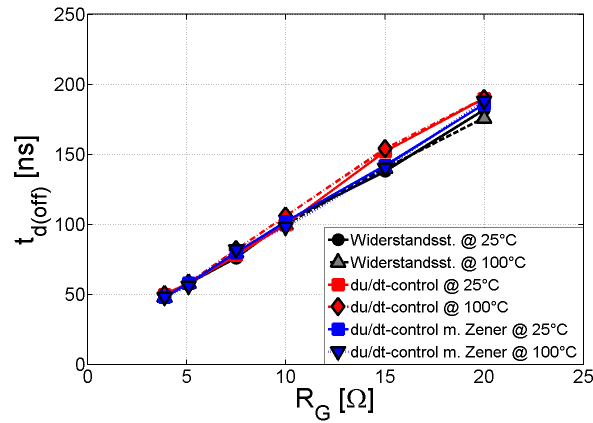


Abb. 14.6: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der du/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $C_{GDex} = 2,2\text{ nF}$, $R_{GDex} = 300\text{ Ω}$, $U_z = 39\text{ V}$

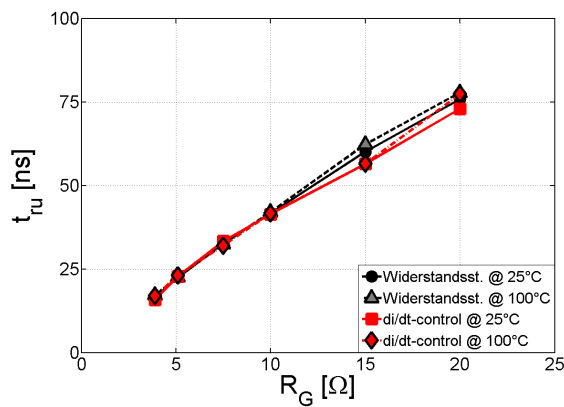


Abb. 14.7: Spannungsanstiegszeit t_{ru} bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 0,3\text{ Ω}$

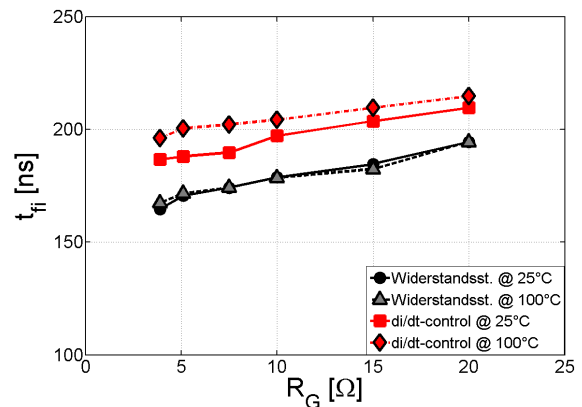


Abb. 14.8: Stromfallzeit t_{fi} bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 0,3\text{ Ω}$

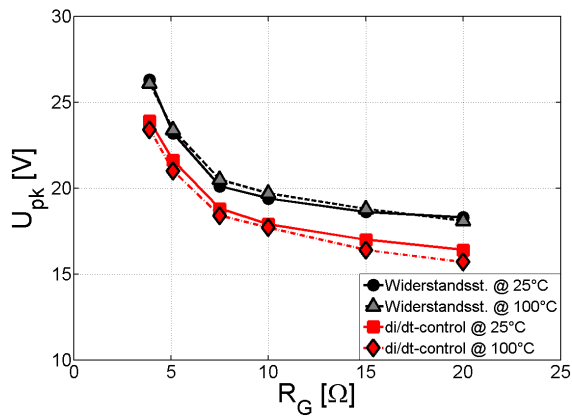


Abb. 14.9: Überspannung U_{pk} beim Abschalten bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 0,3\ \Omega$

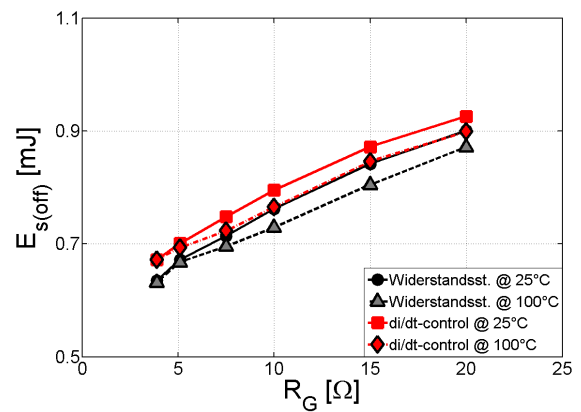


Abb. 14.10: Ausschaltenergie $E_{s(off)}$ bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 0,3\ \Omega$

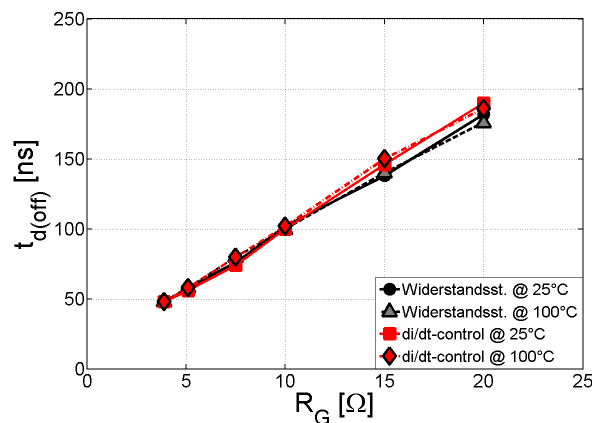


Abb. 14.11: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der di/dt-control im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 0,3\ \Omega$

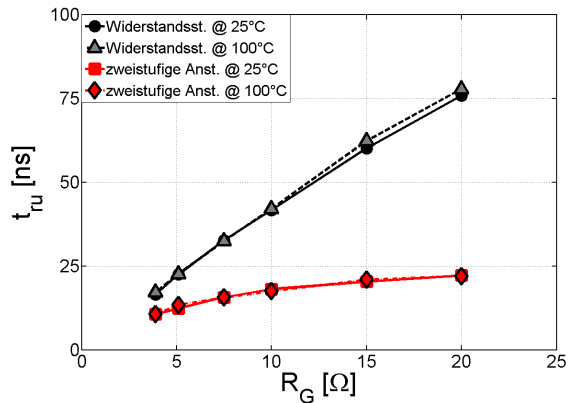


Abb. 14.12: Spannungsanstiegszeit t_{ru} bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

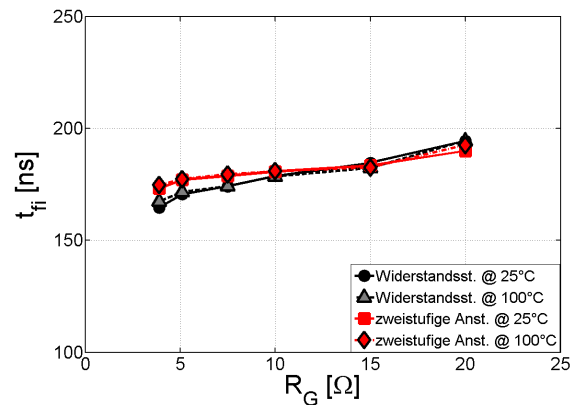


Abb. 14.13: Stromfallzeit t_{fi} bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

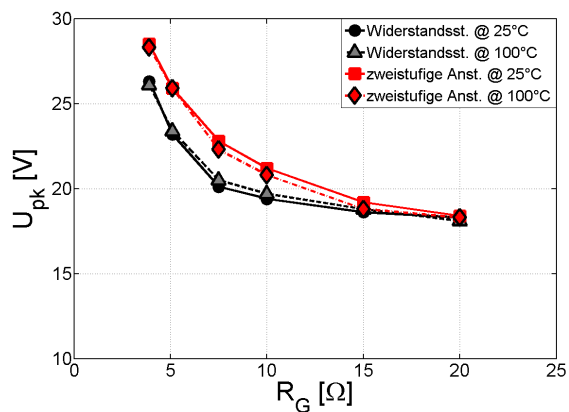


Abb. 14.14: Überspannung U_{pk} beim Abschalten bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

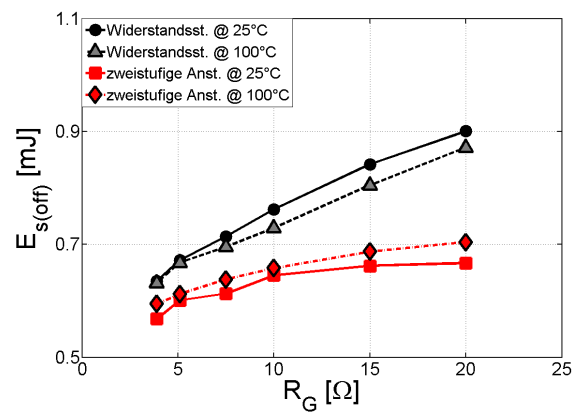


Abb. 14.15: Ausschaltenergie $E_{s(off)}$ bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

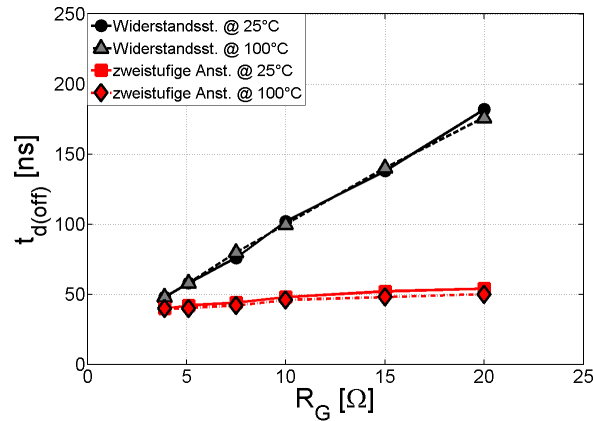


Abb. 14.16: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der zweistufigen Ansteuerung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_{Goff,2} = 0,47\ \Omega$

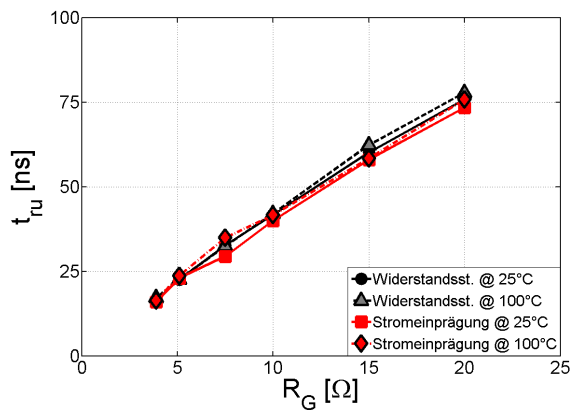


Abb. 14.17: Spannungsanstiegszeit t_{ru} bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$

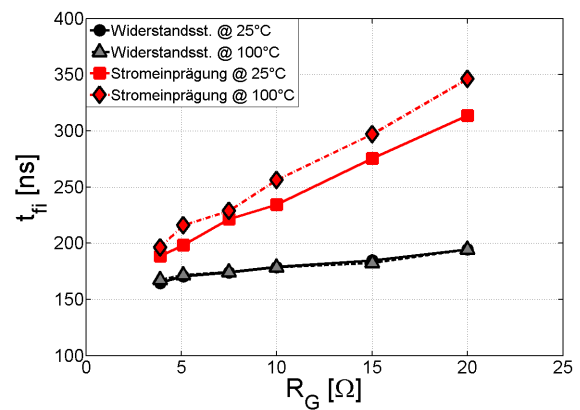


Abb. 14.18: Stromfallzeit t_{fi} bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$

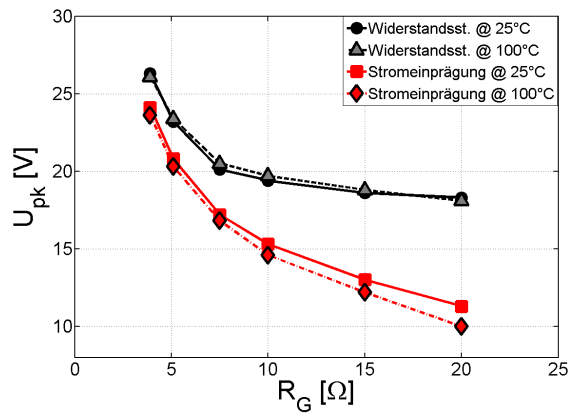


Abb. 14.19: Überspannung U_{pk} beim Abschalten bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$

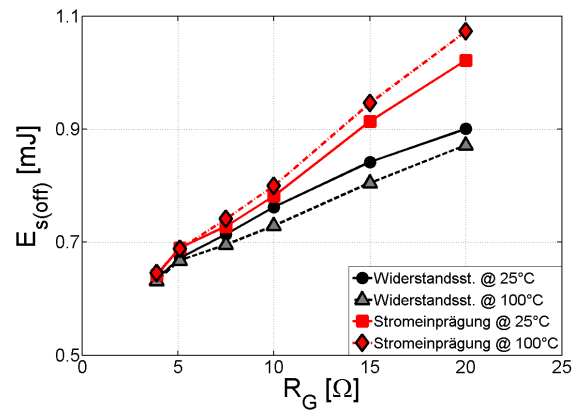


Abb. 14.20: Ausschaltenergie $E_{s(off)}$ bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$

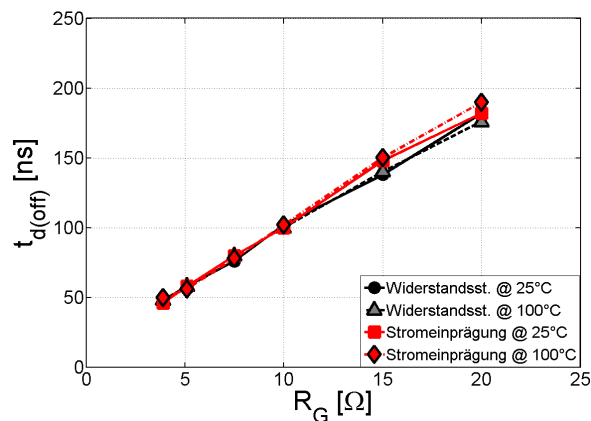


Abb. 14.21: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$

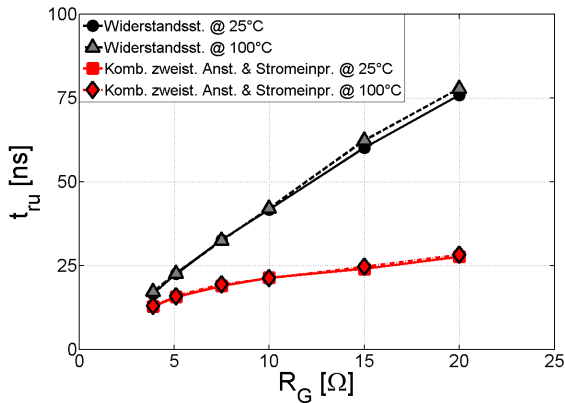


Abb. 14.22: Spannungsanstiegszeit t_{ru} bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$, $R_{Goff,2} = 0,47\ \Omega$

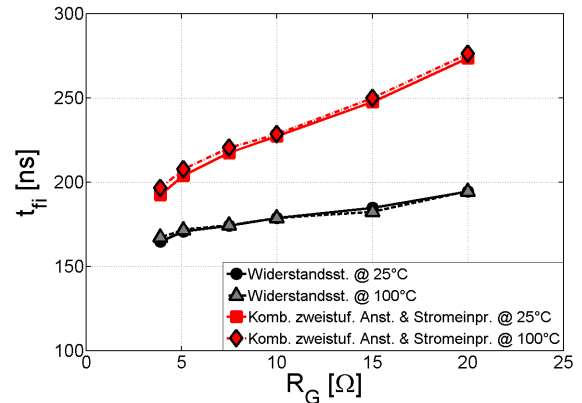


Abb. 14.23: Stromfallzeit t_{fi} bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$, $R_{Goff,2} = 0,47\ \Omega$

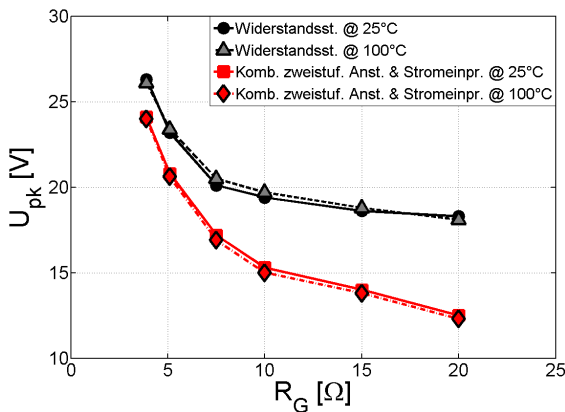


Abb. 14.24: Überspannung U_{pk} beim Abschalten bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$, $R_{Goff,2} = 0,47\ \Omega$

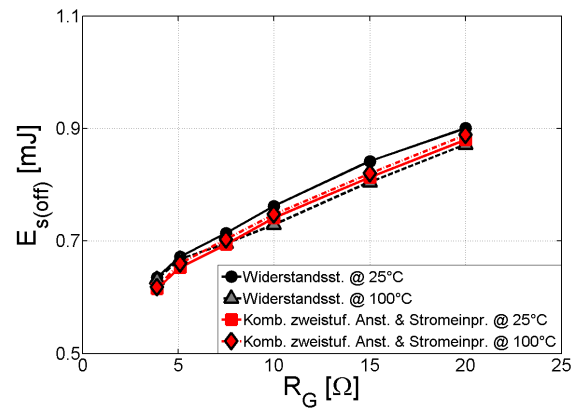


Abb. 14.25: Ausschaltenergie $E_{s(off)}$ bei der Kombination aus zweistufiger Ansteuerung und Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF; Bed.: $U_{DD} = 24\text{ V}$, $I_L = 150\text{ A}$, $R_s = 5,1\ \Omega$, $U_d = 5,1\text{ V}$, $R_{Goff,2} = 0,47\ \Omega$

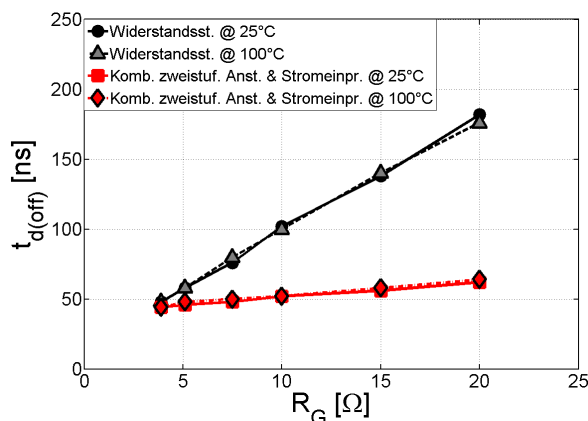


Abb. 14.26: Experimentell erzielte Ausschaltverzögerungszeit $t_{d(off)}$ bei der Stromeinprägung im Vergleich zur Widerstandssteuerung bei Verwendung des IRFS3306PbF in Abhängigkeit vom Gate-Widerstand und der Sperrschichttemperatur; Bed.: $U_{DD} = 24 \text{ V}$, $I_L = 150 \text{ A}$, $R_s = 5,1 \Omega$, $U_d = 5,1 \text{ V}$, $R_{Goff,2} = 0,47 \Omega$

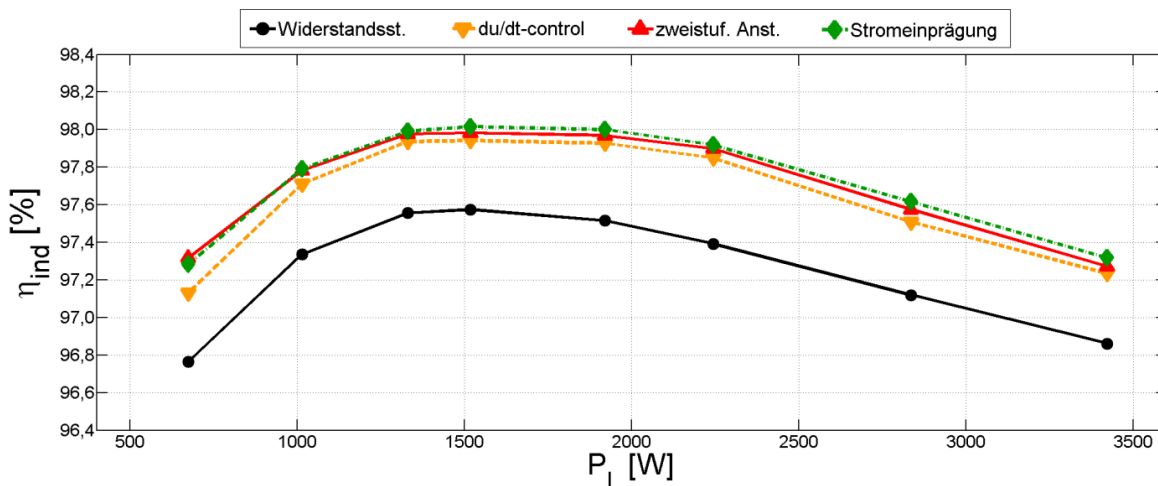


Abb. 14.27: Indirekt ermittelter Wirkungsgrad η_{ind} des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6 \text{ V}$, $N = 3440 \text{ U/min}$, Gate-Beschaltung siehe Tab. 8.3

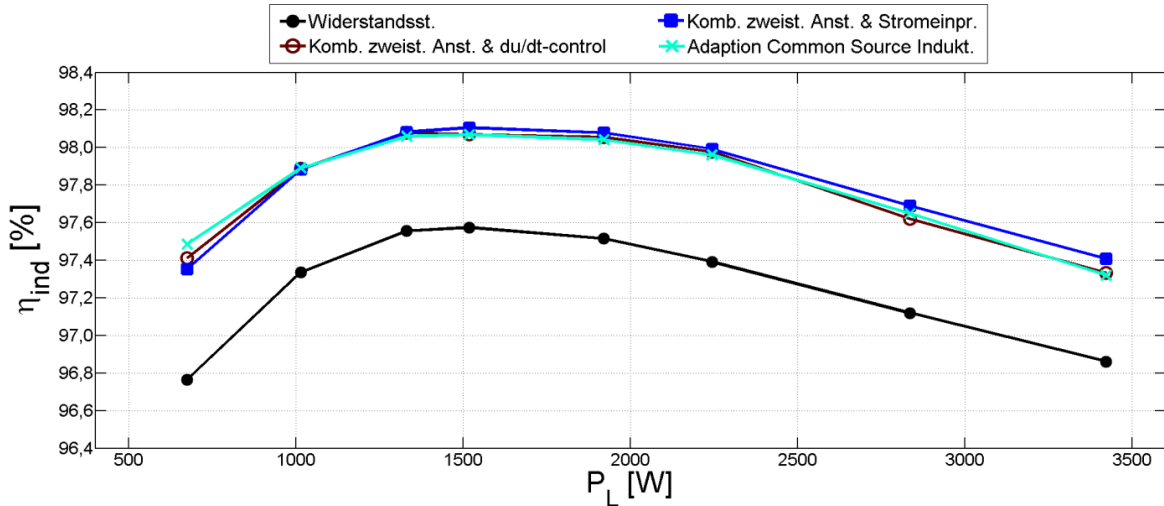


Abb. 14.28: Indirekt ermittelter Wirkungsgrad η_{ind} des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6\text{V}$, $N = 3440\text{U/min}$, Gate-Beschaltung siehe Tab. 8.3

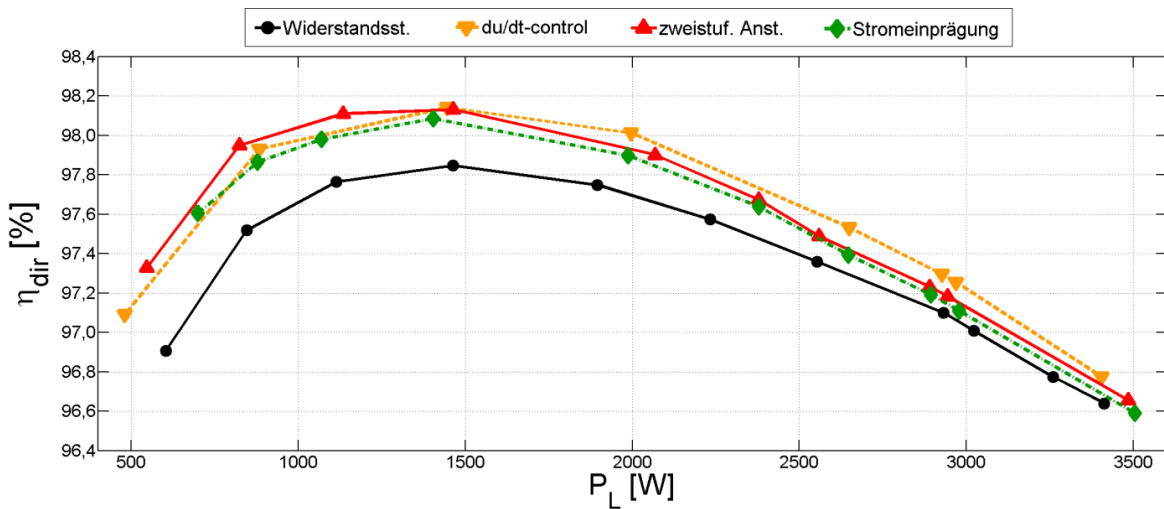


Abb. 14.29: Direkt ermittelter Wirkungsgrad η_{dir} des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung der einzelnen Verfahren im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6\text{V}$, $N = 3440\text{U/min}$, Gate-Beschaltung siehe Tab. 8.3

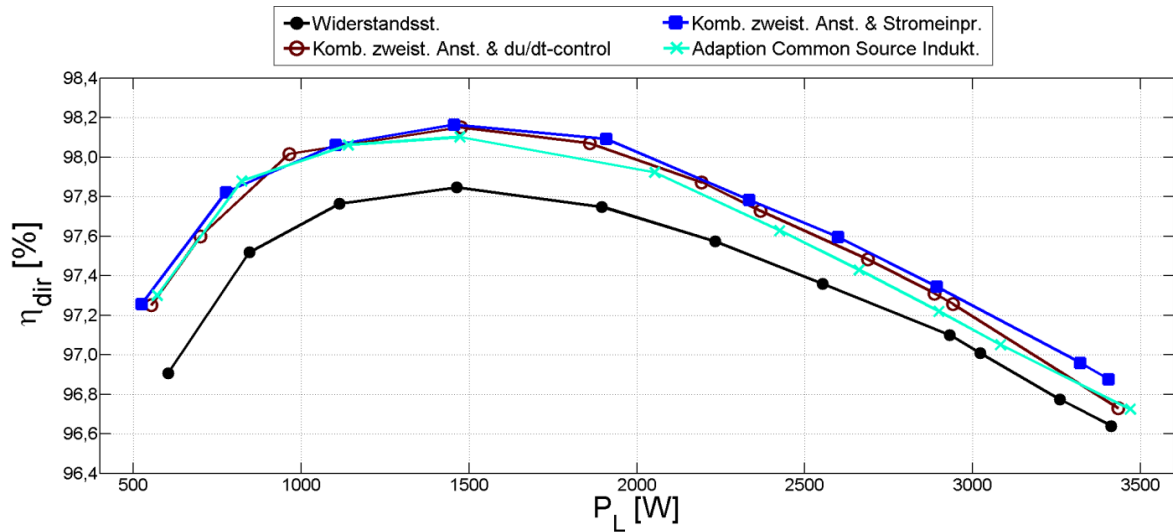


Abb. 14.30: Direkt ermittelter Wirkungsgrad η_{dir} des 5 kVA DC/AC-Umrichters in Abhängigkeit von der Ausgangsleistung P_L bei Anwendung kombinierter Ansteuerverfahren sowie der Adaption der Stromsteilheit mittels Common Source Induktivität im Vergleich zur Widerstandssteuerung; Bed.: $U_{bat,LL} = 25,6\text{ V}$, $N = 3440\text{ U/min}$, Gate-Beschaltung siehe Tab. 8.3

15. Kurzlebenslauf

Persönliche Angaben

Name: Björn Wittig
Geburtsdatum: 22.12.1981
Geburtsort: Kiel
Familienstand: ledig
Staatsangehörigkeit: deutsch



Bildungs- und Berufsweg

10/2011 - heute Entwicklungsingenieur Senior bei der Jungheinrich
Norderstedt AG & Co. KG

07/2008 - 09/2011 Wissenschaftlicher Mitarbeiter am Lehrstuhl für Leistungselektronik
und Elektrische Antriebe, Christian-Albrechts-Universität zu Kiel

10/2002 - 05/2008 Christian-Albrechts Universität zu Kiel, Diplomstudiengang
Elektrotechnik und Informationstechnik, Abschluss:
Diplomingenieur Elektrotechnik, Mai 2008

07/2001 - 06/2002 Wehrdienst: Flugabfertigungsgast im Einsatzbüro der fliegenden Staffel
des Marinefliegergeschwaders 5, Kiel - Holtenau

08/1992 - 07/2001 Gymnasium Hebbelschule Kiel, Allgemeine Hochschulreife