

**Charakterisierung und Optimierung parasitärer Elemente in
Umrichtern mit niedrigen Zwischenkreisspannungen
und hohen Betriebsströmen**

Dissertation

zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften

(Dr.-Ing.)

der Technischen Fakultät

der Christian-Albrechts-Universität zu Kiel

vorgelegt von

Ole Mühlfeld

Kiel

2013

1. Gutachter: Prof. Dr.-Ing. Friedrich W. Fuchs

2. Gutachter: Prof. Dr.-Ing. Hans-Günter Eckel

Datum der mündlichen Prüfung: Dienstag, 19.02.2013

Erklärung

Hiermit versichere ich, dass die Abhandlung, abgesehen von der Beratung durch den Betreuer, nach Inhalt und Form meine eigene Arbeit ist, sie weder als Ganzes noch teilweise an einer anderen Stelle im Rahmen eines Prüfungsverfahrens vorgelegen hat, veröffentlicht worden ist oder zur Veröffentlichung eingereicht wurde und dass die Arbeit unter Einhaltung der Regeln guter wissenschaftlicher Praxis der Deutschen Forschungsgemeinschaft entstanden ist.

Kiel, den 04.01.2013

Ole Mühlfeld

Vorwort

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Lehrstuhl für Leistungselektronik und elektrische Antriebe der Technischen Fakultät der Christian-Albrechts-Universität zu Kiel.

Mein besonderer Dank gilt Herrn Prof. Dr.-Ing. Friedrich W. Fuchs für die Überlassung des interessanten Themas und die Betreuung und Unterstützung dieser Arbeit, sowie für die Bereitstellung der sehr guten Lehrstuhlinfrastruktur.

Herrn Prof. Dr.-Ing. Hans-Günter Eckel danke ich sehr herzlich für die Übernahme des Koreferates und die hilfreichen Kommentare in diesem Zusammenhang.

Weiterhin möchte ich mich beim Land Schleswig-Holstein sowie der Fraunhofer Gesellschaft bedanken, durch deren Förderung im Rahmen des „Kompetenzzentrum Leistungselektronik“ meine Arbeit als wissenschaftlicher Mitarbeiter am Lehrstuhl ermöglicht wurde.

Darüber hinaus möchte ich mich bei allen Mitarbeitern des Lehrstuhls bedanken. Den wissenschaftlichen Mitarbeitern danke ich herzlich für die vielen fachlichen Diskussionen und Anregungen sowie für das freundschaftliche Arbeitsklima.

Dem Lehrstuhlsekretariat, bestehend aus Frau Petra Bekendorf und Frau Margit Marter, sowie dem Lehrstuhltechniker Herrn Bernd Doneit danke ich für die verlässliche Unterstützung in allen administrativen und technischen Belangen.

Mein ganz persönlicher Dank gilt nicht zuletzt meinen Eltern, meinen Geschwistern und meiner Freundin, die durch ihre unermüdliche moralische Unterstützung und ihren Rückhalt entschieden zum Gelingen dieser Arbeit beigetragen haben.

Kurzfassung

Parasitäre Elemente sind physikalischer Bestandteil jedes elektrischen Leiters oder Halbleiters. Sie werden heute als Hauptursache für die meist unerwünschten Abweichungen vom idealen Verhalten einer leistungselektronischen Schaltung betrachtet und können unter bestimmten Bedingungen sogar eine Fehlfunktion oder einen Ausfall der Schaltung verursachen. Es ist daher von besonderem Interesse, ihre grundlegenden Ursachen zu verstehen, ihre Größe zu bestimmen und geeignete Optimierungsmaßnahmen zu ergreifen, die ihre negativen Auswirkungen auf ein vertretbares Maß reduzieren oder gar eine nutzbringende Verwendung ihrer Eigenschaften ermöglichen.

Im Rahmen dieser Arbeit werden die Ursachen, die Auswirkungen und die Möglichkeiten zur Bestimmung von parasitären Elementen in der Leistungselektronik untersucht. Dabei liegt der Schwerpunkt auf der Analyse von Umrichtern mit hohen Betriebsströmen und Leistungsmosfets niedriger Spannungsfestigkeit als Halbleitern, da sich in den damit verbundenen Applikationen insbesondere die Auswirkungen von parasitären Induktivitäten gut darstellen lassen. Die Bestimmung von parasitären Elementen erfolgt auf analytische, simulative und messtechnische Weise. Die für Fragestellungen der Leistungselektronik geeigneten Verfahren werden zu Beginn der Arbeit vorgestellt.

Die Analyse der Auswirkungen parasitärer Elemente zeigt vielschichtige Abhängigkeiten verschiedener elektrischer, aber auch thermischer und lebensdauerbezogener Parameter von der Größe der parasitären Induktivitäten. Des Weiteren werden die Wechselwirkungen von parasitären Elementen und der Emission leitungsgebundener Störungen untersucht und qualitative Zusammenhänge herausgearbeitet. Dabei steht die Betrachtung des leistungselektronischen Gesamtsystems im Vordergrund, um systematisch die beeinflussten Parameter aufzuzeigen.

Es wird gezeigt, dass im Zuge einer erfolgreichen Systemoptimierung ganzheitliche Ansätze verfolgt werden müssen, bei denen eine kombinierte Optimierung von elektrischen, thermischen und mechanischen Eigenschaften des Umrichters anzustreben sind. Diese wirken sich auf das Design der verwendeten Leistungsmodule, der Zwischenkreisverschienung und der Kondensatoranbindung aus.

Basierend auf den erzielten Ergebnissen werden Optimierungsansätze und -methoden erarbeitet und auf ihre Anwendbarkeit untersucht. Als praxisrelevantes Beispiel wird darauf aufbauend die Entwicklung und Optimierung eines Antriebsumrichters für niedrige Zwischenkreisspannungen und hohe Betriebsströme gezeigt.

Abstract

Parasitic elements are an inevitable part of any type of electrical conductors or semiconductors. They are considered to be the main reason for the undesired differences between the idealized (theoretical) and real behaviour of power electronic circuits. Their influence on the circuit can lead to malfunction or even to complete failure in the worst case scenario.

Therefore the understanding of the basic principles of parasitic elements, the analysis and estimation of their size, the optimization and prevention of their negative effects or even their conscious usage to achieve desired effects is of particular interest.

In the framework of this thesis the basic principles, the resulting effects and the methods for an analysis of the parasitic elements are investigated. The focus is on the analysis of high current applications with low-voltage power MOSFETs as semiconductors, as these applications are very sensitive with regard to the consequences of parasitic inductances.

The characterization of parasitic elements is based on analytical, simulative and measurement methods. Different approaches suitable for power electronic applications are given and compared in the first part of the thesis.

The analysis of their effects reveals eclectic dependencies not only to electrical, but also to thermal and reliability-related properties. Additionally, the interaction of parasitic elements and conducted electromagnetic interferences is investigated and qualitative coherence is ascertained. The system approach is used to determine and characterize influenced parameters.

It is shown that the full system optimization has to include comprehensive approaches with respect to electrical, thermal and mechanical properties, as all these parts have strong interactions and influence the overall performance of the inverter. The optimization methods take into account the design of the power modules used, the shape of the dc link busbar as well as the connection of the dc link capacitors.

Based on the results obtained, optimization approaches and methods are developed and tested with regard to their applicability to power electronics. To give a practice-oriented example for the mentioned methods, the development and optimization of the power section of a battery powered inverter for high currents and low dc link voltages is presented.

Inhaltsverzeichnis

Kurzfassung	VII
Abstract	IX
Symbolverzeichnis	XVI
1. Einleitung	1
2. Grundlagen zu parasitären Elementen und zur elektromagnetischen Verträglichkeit	4
2.1 Einführung	4
2.2 Betriebsverhalten von Leistungshalbleitern	5
2.3 Parasitäre Elemente	7
2.3.1 Parasitäre Widerstände	10
2.3.2 Parasitäre Induktivitäten	10
2.3.3 Parasitäre Kapazitäten	12
2.4 Kopplungen parasitärer Elemente	12
2.4.1 Kopplung parasitärer Induktivitäten	13
2.4.2 Kopplung parasitärer Kapazitäten	14
2.4.3 Kopplung parasitärer Induktivitäten mit Kapazitäten	14
2.5 Frequenzabhängigkeit parasitärer Elemente	15
2.5.1 Frequenzbereiche moderner Umrichter	15
2.5.2 Beeinflussung parasitärer Elemente durch den Skineneffekt	16
2.5.3 Beeinflussung parasitärer Elemente durch den Proximityeffekt	20
2.5.4 Bewertung der Frequenzabhängigkeit parasitärer Elemente	21
2.6 Elektromagnetische Verträglichkeit	21
2.6.1 Leitungsgebundene Störungen	21
2.6.2 Gleichtakt- und Gegentaktstörungen	24
2.6.3 Abgestrahlte Störemissionen	24
2.7 Messung leitungsgebundener Störemissionen	25
2.8 Zusammenfassung	26
3. Analytische, simulative und messtechnische Methoden zur Bestimmung parasitärer Elemente	28
3.1 Einführung	28
3.2 Vorbemerkung und Begrifflichkeiten	28

3.3	Analytische Methoden und Ansätze	29
3.3.1	Bestimmung parasitärer Widerstände	29
3.3.2	Bestimmung parasitärer Induktivitäten	29
3.4	Deduktion semi-analytischer Formeln zur Verbesserung der Abschätzungs- genauigkeit	32
3.4.1	Berechnungsansätze zur Bestimmung parasitärer Induktivitäten in Leis- tungsmodulen	32
3.4.2	Bewertung der abgeleiteten Berechnungsansätze	34
3.4.3	Bestimmung parasitärer Kapazitäten	35
3.4.4	Vergleich und Bewertung der analytischen Methoden	37
3.5	Simulationsmethoden für parasitäre Elemente	40
3.5.1	Die finite Elemente Methode	40
3.5.2	Die PEEC-Methode	41
3.5.3	Randbedingungen der PEEC-Methode	44
3.5.4	Vergleich und Bewertung der PEEC- und der FE-Methode	45
3.6	Verfahren zur Messung parasitärer Elemente	45
3.6.1	Messung parasitärer Widerstände	46
3.6.2	Messung parasitärer Induktivitäten	46
3.6.3	Einzelstrompulsversuch	47
3.6.4	Doppelpulsversuch	48
3.6.5	Messung des Oszillationsfrequenz	50
3.6.6	Zeitbereich Reflektometrie	50
3.6.7	Netzwerk-Analysator	51
3.6.8	Messung mittels Reihenschwingkreis	51
3.6.9	LCR-Messgerät	52
3.6.10	Vergleich und Bewertung der vorgestellten messtechnischen Verfahren .	52
3.7	Zusammenfassung und Schlussfolgerungen	53
4.	Auswirkungen parasitärer Elemente in der Leistungselektronik	54
4.1	Einführung	54
4.2	Leistungshalbleitermodule	54
4.2.1	Aufbau eines Leistungsmoduls	55
4.2.2	Parasitäre Elemente in Leistungsmodulen	57
4.2.3	Größenordnungen parasitärer Elemente in Leistungsmodulen	58
4.3	Parasitäre Elemente im diskreten Aufbau	61
4.3.1	Parasitäre Elemente diskreter Gehäuse	61
4.3.2	Parasitäre Elemente der Leiterbahnen	61
4.4	Auswirkungen von parasitären Widerständen	63
4.4.1	Gleichstromverluste	63
4.4.2	Spannungsabfälle	63

4.4.3	Wechselstromverluste	63
4.5	Auswirkungen von parasitären Induktivitäten	64
4.5.1	Einfluss auf die erforderliche Sperrspannung der Leistungshalbleiter . .	64
4.5.2	Einfluss auf die Durchlassverluste	65
4.5.3	Einfluss auf die maximalen Stromgradienten	66
4.5.4	Einfluss der partiellen Schaltungsinduktivitäten auf das Schaltverhalten	67
4.5.5	Beeinflussung der Schaltverluste durch $L_{\sigma,Zwk}$	72
4.5.6	Einfluss auf die thermischen Eigenschaften	73
4.5.7	Einfluss auf LC-Oszillationen	74
4.5.8	Einfluss auf die Lebensdauer der Bauelemente	75
4.5.9	Einfluss auf Stromsymmetrie bei Parallelschaltung von Leistungshalbleitern	75
4.5.10	Einfluss der parasitären Elemente von Bonddrähten in Leistungsmodulen	77
4.5.11	Einfluss auf die Systemkosten	79
4.6	Auswirkungen von parasitären Kapazitäten	79
4.6.1	Auswirkungen parasitärer Kapazitäten auf das Schaltverhalten	79
4.6.2	Entstehung von Leckströmen	80
4.7	Auswirkung der parasitären Elemente auf die elektromagnetische Verträglichkeit	80
4.7.1	Beeinflussung der EMV durch parasitäre Induktivitäten	80
4.7.2	Beeinflussung der EMV durch parasitäre Kapazitäten	81
4.7.3	Abschätzung des Einflusses parasitärer Kapazitäten auf die Modulperformance	82
4.8	Zusammenfassung und Schlussfolgerungen	83
5.	Auswirkungen parasitärer Elemente auf leitungsgebundene Störemissionen	84
5.1	Einführung	84
5.1.1	Vorüberlegungen zu Emissionsspektren	85
5.1.2	Frequenzanalyse unterschiedlicher Signalarten in Umrichtern	86
5.2	Labora Aufbau	88
5.3	Analyse der Auswirkungen parasitärer Elemente	89
5.3.1	Auswirkungen der Leistungshalbleiter	89
5.3.2	Auswirkungen der parasitären Induktivitäten	89
5.3.3	Auswirkungen der parasitären Kapazitäten	89
5.4	Messtechnische Untersuchungen	90
5.4.1	Messung des Emissionsspektrums für unterschiedliche Gatevorwiderstände	93
5.4.2	Messung des Emissionsspektrums für unterschiedliche parasitäre Induktivitäten	96
5.4.3	Messung des Emissionsspektrums für unterschiedliche parasitäre Kapazitäten	99

5.5	Sensitivitätsanalyse	102
5.6	Zusammenfassung und Schlussfolgerungen	102
6.	Herleitung und Anwendung von Optimierungsansätzen für parasitäre Elemente . . .	104
6.1	Einführung	104
6.2	Generelle Optimierungsmethodik	105
6.3	Optimierung parasitärer Widerstände	107
6.4	Optimierung der parasitären Induktivitäten in Leistungsmodulen	107
6.4.1	Methoden zur Optimierung der Gegeninduktivität in Leistungsmodulen	108
6.4.2	Methoden zur Minimierung der Selbstinduktivität in Leistungsmodulen	112
6.5	Optimierung der parasitären Kapazitäten	116
6.6	Optimierung einer Busbarverschienung	117
6.6.1	Ersatzschaltbild einer Busbarverschienung	119
6.6.2	Parasitäre Induktivität von Busbarverschienungen	119
6.6.3	Parasitäre Kapazität von Busbarverschienungen	120
6.7	Zusammenfassung und Schlussfolgerungen	120
7.	Ganzheitliche Optimierung parasitärer Elemente und thermischer Eigenschaften von Leistungsmodulen	123
7.1	Einführung	123
7.2	Methode zur ganzheitlichen Optimierung	124
7.3	Anwendungsbeispiel zur ganzheitlichen Optimierung	126
7.3.1	Optimierung eines Halbbrückenmoduls	126
7.3.2	Durchführung der ganzheitlichen Optimierung	131
7.3.3	Evaluierung der Gesamtperformance	133
7.4	Zusammenfassung und Schlussfolgerungen	134
8.	Optimierung des Leistungsteils eines Umrichters für 24 V, 5-15 kVA	135
8.1	Einführung	135
8.2	Konzeptionierung und Auslegung des Leistungsteils	136
8.2.1	Anforderungsprofil für den Leistungsteil	138
8.2.2	Der Leistungshalbleiter und das Modul	138
8.2.3	Das elektromechanische Grundkonzept	139
8.3	Parallelbetrieb von MOSFET-Modulen im Umrichter	140
8.3.1	Anforderungen an die Treiberelektronik	141
8.3.2	Anforderungen an den Leistungshalbleiter	141
8.3.3	Anforderungen an den Aufbau des Leistungsteils	141
8.4	Optimierung des Leistungshalbleitermoduls	142
8.4.1	Optimierung der parasitären Induktivitäten des DCB	143
8.4.2	Optimierung der DCB Symmetrie	145
8.4.3	Optimierung der Anschlussterminals	145

8.5	Optimierung der Busbarverschiebung	146
8.5.1	Optimierung der vertikalen Busbarverschiebung	146
8.5.2	Die horizontale Busbarverschiebung	150
8.6	Aufbau des Leistungsteils des 5 kVA-Umrichters	152
8.7	Messung der Stromverteilung im 5 kVA-Umrichter	153
8.8	Parasitäre Induktivität des Kommutierungskreises	154
8.8.1	Bestimmung der Kommutierungsinduktivität aus Kurzschlussversuch	154
8.8.2	Bestimmung der Kommutierungsinduktivität durch Messung der induzierten Spannungen	155
8.9	Thermische Entkopplung des Leistungsmoduls	156
8.10	Leistungserhöhung durch Parallelschaltung mehrerer Umrichter	157
8.11	Stromverteilung im 15 kVA-Umrichter	159
8.11.1	Messtechnische Untersuchung der Stromverteilung	159
8.12	Zusammenfassung und Schlussfolgerungen	161
9.	Zusammenfassung und Ausblick	163
10.	Literaturverzeichnis	166
11.	Anhang	180
11.1	Datenblatt des verwendeten Leistungshalbleitermoduls	180
11.2	Übersicht über die untersuchten Modulentwürfe	181
11.3	Vollständiges Ersatzschaltbild des Leistungshalbleitermoduls	182
11.4	Zeichnung des 5 kVA-Umrichters	183
11.5	Zeichnung des 15 kVA-Umrichters	184
12.	Eigene Veröffentlichungen	185

Symbolverzeichnis

Allgemeine Schreibweisen

Allgemeine Variablendarstellung

$u(t), u$	Zeitlicher Augenblickswert
\bar{u}	arithmetischer Mittelwert
\tilde{u}	Effektivwert
\hat{u}	Spitzenwert, Maximalwert

Tiefgestellte Indizes

AC	Wechselstrom
D	Drain
DC	Gleichstrom
DCB	auf das Substrat eines Moduls bezogene Größe
DS	Drain-Source
GD	Gate-Drain
GS	Gate-Source
i	strombezogene Größe
kk	auf den Kühlkörper bezogen
oszi	oszillierend
RMS	Quadratischer Mittelwert
st	Störgröße
u	spannungsbezogene Größe
Zwk	auf den Zwischenkreis bezogene Größe

Spezielle Formelzeichen

A	Fläche / Querschnittsfläche
A_{mean}	gemittelter Amplitudenwert
A_{max}	maximaler Amplitudenwert
\vec{A}_p	Vektorpotential
B	magnetische Flussdichte
C	Kapazität

C_{DC+}	parasitäre Kapazität des DC+ Anschlusses
C_{DC-}	parasitäre Kapazität des DC- Anschlusses
C_{DS}	parasitäre Drain-Source-Kapazität
C_{GD}	parasitäre Gate-Drain-Kapazität
C_{GS}	parasitäre Gate-Source-Kapazität
C_{ges}	Gesamtkapazität
C_{par}	parasitäre Kapazität
C_{phase}	Kapazität des Phasenanschlusses
C_{oszi}	Kapazität des Schwingkreises
C_{Zwk}	Zwischenkreiskapazität
d	Abstand zweier Flächen
δ	Eindringtiefe des Skin效ekts
E	Energie
E_{block}	Sperrenergie (eines Halbleiters)
E_{cond}	Durchlassenergie (eines Halbleiters)
E_{sw}	Schaltenergie
$E_{sw(on)}$	Einschaltenergie
$E_{sw(off)}$	Ausschaltenergie
E_{max}	maximale Feldstärke (Durchschlagsfestigkeit)
ϵ_0	Dielektrizitätskonstante des Vakuums (Permittivität)
ϵ_r	relative Dielektrizitätskonstante
f	Frequenz
f_0	Resonanzfrequenz
f_{sw}	Trägerfrequenz, auch Schaltfrequenz der PWM
f_{equiv}	zu einer Schaltflanke äquivalente Frequenz
f_k	Korrekturfaktor (wählbar)
f_{out}	Frequenz des Umrichterausgangsstromes
γ	Dämpfungskonstante
H	Magnetfeld
H_i	inneres Magnetfeld
I	Strom
I_D	Drainstrom
I_{disp}	Verschiebungsstrom
I_E	Erdstrom
I_G	Gatestrom
I_{ges}	Gesamtstrom
κ	elektrische Leitfähigkeit
KK	Kühlkörper
$k_{m,n}$	Kopplungsfaktor (von m auf n)
l	Länge

λ	Wellenlänge
L	Induktivität
L_i	innere Induktivität
$L_{i,j}$	Induktive Kopplung von Leiter i auf Leiter j
L_S	Lastinduktivität
L_σ	Parasitäre Induktivität
$L_{\sigma,Bond}$	Parasitäre Induktivität der Bonddrähte
$L_{\sigma,Cu}$	Parasitäre Induktivität der Kupferleitungen
$L_{\sigma,CS}$	Parasitäre Induktivität der gemeinsamen Source-Leitung
$L_{\sigma,D}$	Parasitäre Induktivität des Drain-Anschlusses eines MOSFETs
$L_{\sigma,DC+}$	Parasitäre Induktivität des DC+ Anschlusses
$L_{\sigma,DC-}$	Parasitäre Induktivität des DC- Anschlusses
$L_{\sigma,G}$	Parasitäre Induktivität des Gateanschlusses
$L_{\sigma,GHS}$	Parasitäre Induktivität des Gateanschlusses für die High-Side
$L_{\sigma,GLS}$	Parasitäre Induktivität des Gateanschlusses für die Low-Side
$L_{\sigma,GS}$	Parasitäre Induktivität der Gate-Source Leitung
$L_{\sigma,S}$	Parasitäre Induktivität des Source-Anschlusses eines MOSFETs
$L_{\sigma,Zwk}$	Parasitäre Induktivität der Zwischenkreiszuleitungen
M	Gegeninduktivität
μ_0	Permeabilitätskonstante des Vakuums ($4\pi \cdot 10^{-7}$)
μ_r	spezifische Permeabilität eines Stoffes
n	Anzahl
ω	Kreisfrequenz
φ	Phasenverschiebung
Ψ	magnetischer Fluss
P	Leistung
p	Spannungspegel (in $dB\mu V$)
P_V	Verlustleistung
$P_{V,sw}$	Verlustleistung beim Schalten
ϕ	magnetischer Fluss
Q_G	Gateladung
R	Widerstand
r	Radius
r_a	Außenradius
R_{Cu}	Kupferwiderstand
$R_{DS(on)}$	Drucklasswiderstand (eines Halbleiters)
R_g	Gatevorwiderstand
r_i	Innenradius
R_σ	Parasitärer Widerstand
R_{th}	thermischer Widerstand

$R_{th(j,c)}$	thermischer Widerstand zwischen Sperrschicht und Gehäuse
R_w	Durchlasswiderstand einer Diode
ρ	spezifischer Widerstand
S	Stromdichte
t	Zeit
t_{sw}	Schaltzeit
T	Periodendauer
T_{amb}	Umgebungstemperatur
T_{cap}	Kondensatortemperatur
T_j	Sperrschichttemperatur
T_{kk}	Kühlkörpertemperatur
T_{max}	Höchsttemperatur
$t_{d(on)}$	Einschaltverzögerungszeit
$t_{d(off)}$	Ausschaltverzögerungszeit
t_{on}	Einschaltzeit
t_{off}	Ausschaltzeit
$t_{loss,on}$	Zeit, in der Einschaltverluste auftreten
$t_{loss,off}$	Zeit, in der Ausschaltverluste auftreten
t_r	Anstiegszeit
t_f	Abfallzeit
θ	Temperatur
U	Spannung
U_0	Bezugsspannung
U_a	Ausgangsspannung
$U_{BR,DSS}$	Durchbruchspannung
U_D	Diodenspannung
U_{DS}	Drain-Source-Spannung
U_{DR}	Treiberspannung
U_{GS}	Gate-Source-Spannung
$U_{GS,HS}$	Gate-Source-Spannung des High-Side-MOSFETs
$U_{GS,LS}$	Gate-Source-Spannung des Low-Side-MOSFETs
$U_{GS,th}$	Threshold-Spannung (Schwellenspannung)
U_i	Eingangsspannung
U_{ind}	induzierte Überspannung
U_{max}	maximale Spannung
$U_{plateau}$	Plateauspannung
U_{st}	Störspannung
w	Breite (engl. <i>width</i>)
w_i	Gewichtungsfaktor
Z	Impedanz

Abkürzungen

DCB	<i>Direct Copper Bonded</i> (Trägermaterial von Schaltungen in Modulen)
DUT	<i>Device Under Test</i> (Prüfling)
EMV	Elektromagnetische Verträglichkeit
ESR	<i>Equivalent Series Resistance</i> (Serieller Widerstand eines Bauteils)
FFT	<i>Fast Fourier Transformation</i> (Schnelle Fouriertransformation)
HL	Halbleiter
IMS	<i>Insulated Metal Substrate</i> (Trägermaterial von diskreten Schaltungen)
PCB	<i>Printed Circuit Board</i> (Elektronikflachbaugruppe)
ZWK	Zwischenkreis

1. Einleitung

Aufgrund der zunehmenden Verbreitung der Elektromobilität und der damit einhergehenden Nutzung von elektrischen Fahrtrieben stellt die Entwicklung und Optimierung batteriegepeister Wechselrichter in diesem Bereich eine Aufgabe von zentraler Bedeutung dar. Die Umformung der Gleichspannung aus den Fahrbatterien in einen dreiphasigen Wechselstrom zum Antrieb des Drehstrommotors bildet die Grundfunktion der sogenannten Antriebsumrichter.

Ziele der aktuellen Forschungs- und Entwicklungsarbeit sind hierbei vor allem das Erreichen einer möglichst hohen Effizienz und Zuverlässigkeit bei kleinem Bauvolumen und Gewicht zu geringen Kosten [1].

Insbesondere bei Antriebssystemen mit niedrigen Zwischenkreisspannungen (12 V - 48 V), wie sie bei Flurförderfahrzeugen oder anderen leichten Nutzfahrzeugen gebräuchlich sind, kommt es bedingt durch die hohe Leistungsanforderung der Fahrtriebe, die hier typischerweise im Bereich von 5 - 20 kVA liegen, unvermeidlich zu hohen Strombelastungen. Vor diesem Hintergrund stellen die Begrenzung von Leit- und Schaltverlusten, die Reduzierung induzierter Überspannungen bei Schaltvorgängen und die Einhaltung gültiger Normen zur elektromagnetischen Verträglichkeit (EMV) wesentliche Entwicklungsziele dar. Hierbei ist insbesondere die Auslegung des Leistungsteils, der aus den Leistungshalbleitern, den Leistungsanschlüssen und -verschienungen sowie dem Zwischenkreis besteht, maßgeblich für die Erfüllung der geforderten Designziele.

Ursächlich für die Abweichung vom idealen Schaltungsverhalten und die Emission elektromagnetischer Störungen sind die parasitären Elemente des Kommutierungskreises, weshalb ihrer Analyse und Optimierung besondere Bedeutung zufällt.

In [2] werden grundlegende Untersuchungen zur Charakterisierung des Einflusses parasitärer Elemente auf leistungselektronische Systeme dargestellt, die größtenteils auf Simulationen und daraus abgeleiteten Analysen basieren.

In der vorliegenden Arbeit werden darauf aufbauend unterschiedliche Methoden zur analytischen, simulativen und messtechnischen Bestimmung parasitärer Elemente in leistungselektronischen Systemen vorgestellt und verglichen. Des Weiteren werden die Ursachen parasitärer Elemente dargestellt, ihre Auswirkungen charakterisiert und ihre Einflüsse auf die elektrischen und thermischen Entwicklungsziele des Gesamtsystems diskutiert. Der Fokus liegt dabei auf der simulativen und messtechnischen Bestimmung dieser Elemente, der Analyse von Optimierungsmöglichkeiten und der Anwendung dieser Methoden bei der Entwicklung des Prototyps eines Niedrigstspannungsumrichters mit hoher Stromtragfähigkeit.

Die Entwicklung und Fertigung des Leistungsteils eines Umrichters, basierend auf den gewonnenen Erkenntnissen, wird am Ende der Arbeit beschrieben. Hierbei kommt es, getrieben durch die Forderung nach einem kompakten Aufbau, zu einer Verstärkung der Kopplungen elektrischer und thermischer Effekte, weshalb der kombinierten Optimierung des Leistungsteils besondere Bedeutung zuteil wird.

Eine Darstellung der Grundlagen von parasitären Elementen und ihren Auswirkungen in leistungselektronischen Systemen bildet nach dieser Einleitung das zweite Kapitel der Arbeit. Hierbei wird auch auf die auftretenden Kopplungen und die Frequenzabhängigkeit dieser Elemente eingegangen.

Eine Übersicht über analytische, simulative und messtechnische Methoden zur Bestimmung parasitärer Elemente in leistungselektronischen Systemen erfolgt in Kapitel 3. Die Methoden werden verglichen und hinsichtlich ihrer Genauigkeit und Anwendbarkeit bewertet. Außerdem wird ein semi-analytischer Ansatz entwickelt, der die Bestimmung parasitärer Elemente innerhalb von Leistungsmodulen erleichtern soll.

Die in diesem Kapitel vorgestellten Extraktionsansätze bilden die Grundlage für die Analyse der Auswirkungen parasitärer Elemente und ihrer Optimierung, die in den folgenden Kapiteln dargestellt wird.

Im vierten Kapitel wird auf die Auswirkungen parasitärer Elemente auf ein leistungselektronisches System eingegangen, welche im vorliegenden Fall beispielhaft anhand von Niederspannungs-MOSFETs mit hohen Betriebsströmen aufgezeigt werden. Dabei werden sowohl elektrische und thermische Einflussgrößen als auch Zuverlässigkeit und Lebensdauer beeinflussende Faktoren abgeleitet. Aus den gewonnen Erkenntnissen werden Designstrategien abgeleitet, die eine Minimierung parasitärer Elemente bereits in der Konzeptionierungsphase eines Umrichters ermöglichen.

Das fünfte Kapitel zeigt die Einflüsse parasitärer Elemente auf die leitungsgebundenen Störemissionen. Dabei wird systematisch der Einfluss einzelner Parametervariationen anhand eines geeigneten Umrichters messtechnisch untersucht und bewertet. Eine Sensitivitätsanalyse zur Darstellung der gefundenen Abhängigkeiten bildet den Abschluss des Kapitels.

Optimierungsmethoden und -ansätze, welche genutzt werden können, um die Größe und damit den Einfluss parasitärer Elemente zu minimieren, werden in den Kapiteln 6 und 7 vorgestellt. Dabei wird in Kapitel 6 primär auf die Optimierung parasitärer Elemente innerhalb von Leistungsmodulen und Busbarverschienungen eingegangen, wodurch sich ihre elektrischen Eigenschaften verbessern lassen. Hier wird ein systematischer Optimierungsansatz vorgestellt, der auf der möglichst effizienten Nutzung gegebener Designfreiheitsgrade basiert.

In Kapitel 7 werden als weitere Optimierungsparameter die thermischen Eigenschaften eines Leistungsmoduls und ihre Kopplung an die elektrischen Parameter aufgenommen. Die thermischen Parameter des Moduls werden durch die Einführung und Demonstration eines ganzheitlichen Optimierungsansatzes in die Optimierung einbezogen.

In Kapitel 8 wird die Entwicklung und Optimierung eines Hochstromantriebsumrichters dargestellt. An dieser Stelle werden Designregeln und Ansätze abgeleitet, die eine verbesserte elektrische Performance liefern. Dabei werden viele der in den Abschnitten 6 und 7 benann-

ten Methoden angewendet. Es folgt anschließend der Aufbau des entworfenen Umrichters und der Test im Labor. Eine experimentelle Verifikation der geforderten Entwicklungsziele bildet den Abschluss dieses Kapitels.

Die Arbeit wird mit einer Zusammenfassung der gewonnenen Erkenntnisse und einem Ausblick abgeschlossen.

2. Grundlagen zu parasitären Elementen und zur elektromagnetischen Verträglichkeit

2.1 Einführung

Das Ziel bei der Entwicklung leistungselektronischer Schaltungen ist, so man dies allgemein benennen kann, das Erreichen einer möglichst verlustarmen Betriebsweise, einer hohen Zuverlässigkeit und einer möglichst kompakten, leichten Bauweise zu einem akzeptablen Preis [1], [3].

Dabei zeichnet sich für die Zukunft ein Trend mit dem Schwerpunkt auf Gewichts- und Volumenreduktion bei gleichzeitiger Optimierung der Verluste ab, was vor allem durch den Einsatz von Umrichter in mobilen Applikationen begründet ist. In zweiter Instanz gehen diese Trends in Richtung Optimierung der Zuverlässigkeit und Systemkosten. Abbildung 2.1 stellt die heutigen Entwicklungsziele denen gegenüber, die für die Zukunft prognostiziert werden [1]. Die genannten Entwicklungsziele beeinflussen sich gegenseitig, weshalb eine Optimierung nur mit Hilfe ganzheitlicher Ansätze und unter Berücksichtigung der Wechselwirkungen elektrischer und thermischer Parameter auf die Gesamtleistung des Systems erfolgen kann. So wird beispielsweise bei gegebener Leistung durch Volumen- und Gewichtsreduktion die Leistungsdichte erhöht, wodurch die Abfuhr von Verlustwärme mit der Konsequenz erschwert wird, dass gleichzeitig eine Reduktion der Verlustleistungen erforderlich ist, was wiederum eine elektrische Optimierung notwendig macht. Die Grundlage der elektrischen und thermischen Optimierung bildet die vertiefende Analyse der Schaltung. Im Gegensatz zu den idealisierten Darstellungen in Ersatzschaltbildern zeigen sich in der Realität die meist unerwünschten Einflüsse der stets nicht idealen elektrischen Bauteileigenschaften. Sie werden unter dem Oberbegriff „parasitäre Elemente“ zusammengefasst.

In diesem Kapitel soll zunächst auf die relevanten Grundlagen eingegangen werden. Dabei wird zuerst das Betriebsverhalten von Leistungshalbleitern betrachtet, da erst durch die Schaltdynamik der verwendeten Bauteile der Effekt parasitärer Elemente deutlich wird.

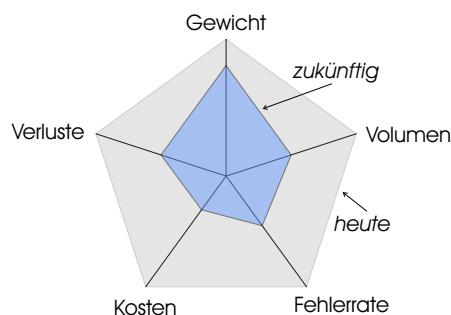


Abb. 2.1: Heutige und zukünftig erforderliche Entwicklungsziele für leistungselektronische Systeme [1]

Im Hauptteil des Kapitels wird auf die physikalischen Ursachen parasitärer Elemente eingegangen und auftretende Kopplungen werden beschrieben. Außerdem werden die Frequenzabhängigkeiten und die daraus resultierenden Effekte dargestellt, da die in leistungselektronischen Anwendungen üblichen Strom- und Spannungsverläufe zu einer erheblichen Abweichung vom stationären (d.h. Gleichstrom-) Verhalten dieser Elemente führen.

Am Ende des Kapitels werden die relevanten Grundlagen des Bereichs „Elektromagnetische Verträglichkeit“ behandelt, da dieser eine enge Verknüpfung zu den parasitären Elementen aufweist und im weiteren Verlauf der Arbeit detaillierter untersucht werden wird.

2.2 Betriebsverhalten von Leistungshalbleitern

Die moderne Leistungselektronik definiert sich in erster Linie durch die Verwendung von Leistungshalbleiterbauelementen, die im Schaltbetrieb arbeiten [4].

Dabei führt die Entwicklung immer schneller schaltender Leistungshalbleiter zu einer steten Annäherung an einen „idealen Schaltvorgang“ (Abb. 2.2 a), der allerdings aufgrund physikalischer Randbedingungen in der Praxis nicht erreicht werden kann (Abb. 2.2 b).

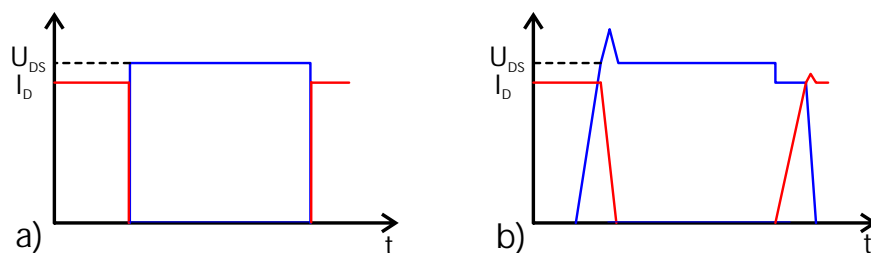


Abb. 2.2: Schematischer Schaltvorgang eines idealen (a) und realen (b) Leistungshalbleiters

Das Schalten von Spannungen und Strömen, die von null verschieden sind, wird als „hartes“ Schalten bezeichnet. Im Bereich von batteriegespeisten Frequenzumrichtern werden im Niedrigstspannungsbereich hauptsächlich hart schaltende Leistungs-MOSFETs eingesetzt [5].

Sie erlauben sehr schnelle Schaltvorgänge und weisen geringe Durchlassverluste im Bereich weniger $m\Omega$ auf. Daraus resultieren verschiedene Entwicklungsziele der Umrichter: Die ohmschen Verluste in den Kupferleitern bei Niedrigstspannungsumrichtern sind von der gleichen Größenordnung wie die der Leistungshalbleiter, ihrer Optimierung kommt daher eine besondere Bedeutung bei.

Des Weiteren reduzieren sich die Schaltzeiten moderner Leistungshalbleiter immer weiter, so dass die resultierenden Stromsteilheiten und damit die an parasitären Elementen induzierten Spannungen die Verluste erhöhen und zu EMV-Problemen führen können. Daher ist die Minimierung störender parasitärer Elemente durch geeignete mechanische und geometrische Auslegung des Aufbaus ein wesentlicher Faktor für die Entwicklung eines effizienten Umrichters.

Leistungs-MOSFETs mit niedriger Durchbruchspannung ($U_{BR,DSS} < 100\text{ V}$) zeichnen sich durch

geringe Durchlasswiderstände $R_{DS(on)}$ ($< 2 \text{ m}\Omega$), hohe Stromdichten ($> 100 \text{ A/cm}^2$) und kurze Schaltzeiten im Bereich von 10 bis 300 ns aus. Es werden im Schaltprozess Stromgradienten von $> 1 \text{ kA}/\mu\text{s}$ und Spannungsgradienten von $> 2 \text{ kV}/\mu\text{s}$ erreicht. Abbildung 2.3 zeigt schematisiert den Schaltvorgang eines Leistungs-MOSFETs.

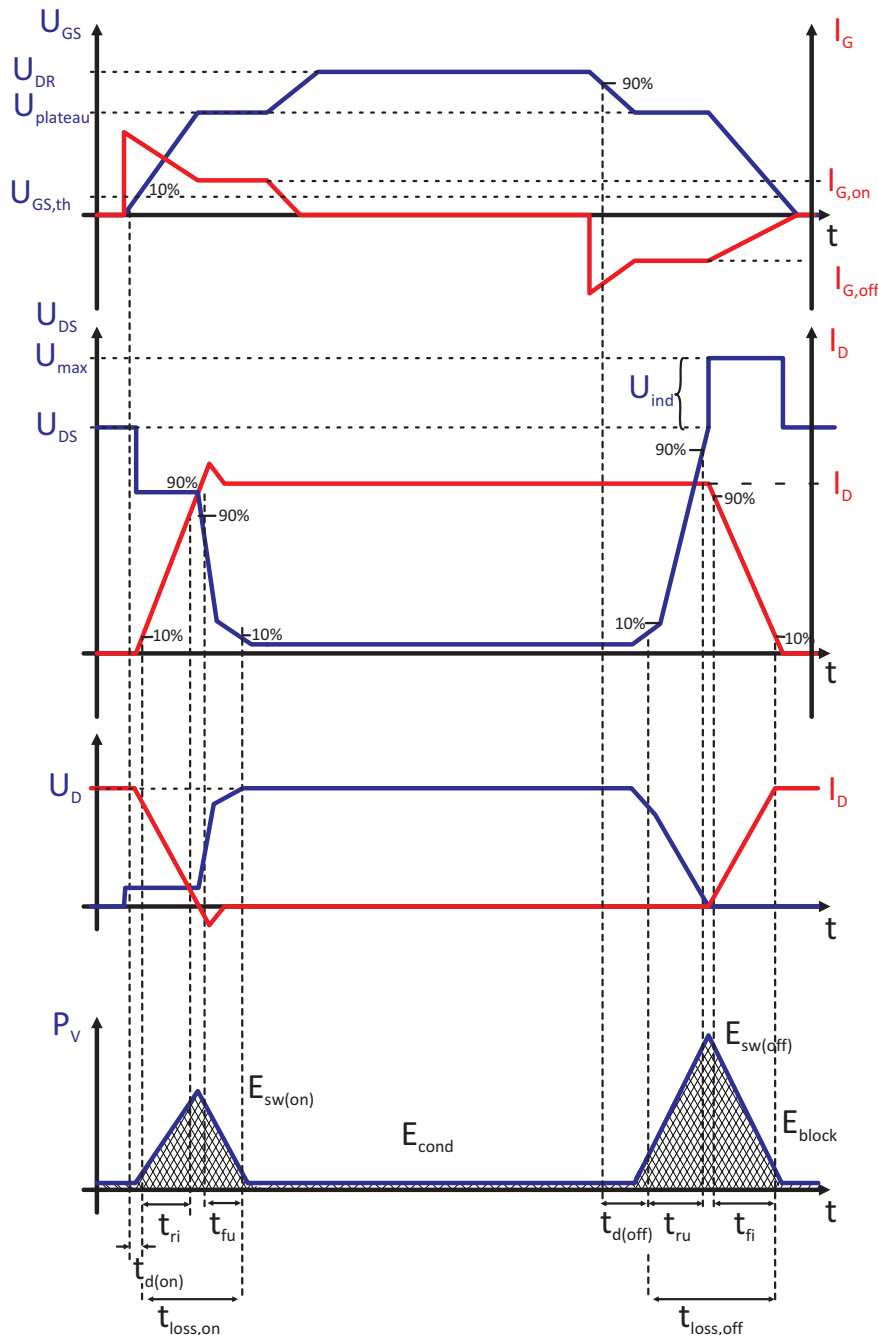


Abb. 2.3: Ein- und Ausschaltvorgang eines Leistungs-MOSFET, nach [6]

Das Einschalten der Steuerspannung U_{GS} bewirkt einen Stromfluss I_G , der die Gatekapazität C_{GS} auflädt. Wenn dabei die Schwellenspannung $U_{GS(th)}$ erreicht wird, steigt der Drainstrom I_D an. Die Spannung U_{GS} wächst dabei weiter bis zum Erreichen des sogenannten Miller-Plateaus.

Die Freilaufdiode hat dann den Strom vollständig auf den MOSFET abkommutiert und kann sperren. Damit beginnt die Spannung U_{DS} des MOSFETs zu sinken. Wenn die Freilaufdiode vollständig sperrt, sinkt U_{DS} auf die Durchlassspannung $U_{DS(on)}$ ab. Die Sperrverzögerungszeit der Freilaufdiode führt bei der Abkommutierung des Stromes auf den MOSFET zu einem kurzzeitigen Weiterfließen des Stromes, des sogenannten Diodenrückstromes, der die Sperrverzögerungsladung der Diode ausräumt.

Beim Ausschalten verlaufen diese Vorgänge in umgekehrter Reihenfolge, das Gate wird mittels eines negativen Steuerstromes entladen. Dabei wird der leitende Kanal sehr schnell abgeschnürt und I_D sinkt steil ab. Hierbei werden an den parasitären Induktivitäten des Kommutierungskreises Überspannungen induziert, die in der Abbildung als Block gekennzeichnet sind. Zusätzlich können LC-Oszillationen auftreten.

Während des Schaltvorganges (vgl. Abb. 2.3) sind im Zeitbereich t_{loss} die Drain-Source-Spannung (U_{DS}) und der Drainstrom (I_D) gleichzeitig von null verschieden. In diesem Zeitbereich treten Schaltverluste in Höhe von $P_{V,sw} = \int U_{DS} \cdot I_D \cdot dt$ auf. Um diese Verluste zu reduzieren, geht der Trend zur Entwicklung von Leistungshalbleitern mit immer kürzeren Schaltzeiten (t_r, t_f).

Dies führt zu höheren Strom- und Spannungsgradienten und verstärkt die elektromagnetischen Störungen, die von parasitären Elementen ausgekoppelt werden. Die Entwicklung leistungselektronischer Schaltungen erfordert daher, stets einen anwendungsspezifisch passenden Kompromiss zwischen der Reduzierung von Verlusten und der Optimierung der Störemissionen zu erreichen [7].

Zur Veranschaulichung dieses Zusammenhangs sind in Gleichungen 2.1 und 2.2 die Abhängigkeiten der relevanten Größen in Form von Proportionalitäten gezeigt:

$$\frac{dI}{dt} \propto U_{ind} \propto \frac{1}{P_{V,sw}} \quad (2.1)$$

$$\frac{dU}{dt} \propto I_E \propto \frac{1}{P_{V,sw}} \quad (2.2)$$

Hierbei sind U_{ind} die induzierte Überspannung beim Ausschalten, $P_{V,sw}$ die Schaltverluste und I_E der Erdstrom, der beim Umladen der parasitären Kapazitäten abfließt.

2.3 Parasitäre Elemente

Physikalische Effekte in elektrischen Schaltungen, die nicht im direkten Zusammenhang mit einer erwünschten Schaltungsfunktion stehen, werden als parasitär bezeichnet. Diese Effekte ergeben sich aus der Nichtidealität von elektrischen Leitern und Bauteilen, denn jeder reale Leiter weist neben der erwünschten auch parasitäre Eigenschaften wie Widerstand, Induktivität und Kapazität auf. Zur Kennzeichnung dieser Effekte werden ihre Quellen meist mittels äquivalenter passiver Elemente neben den Nutzelementen einer Schaltung dargestellt. Eine um

diese sogenannten „parasitären Elemente“ erweiterte Schaltung ermöglicht die genaue simulative Analyse des zu erwartenden realen Schaltungsverhaltens.

Neben den elektrischen Leitern und Verbindungsstrukturen weisen auch aktive Bauelemente wie Leistungshalbleiter parasitäre Elemente auf, die ebenfalls in erweiterten Ersatzschaltbildern dargestellt werden können und ohne die eine genaue Modellierung des entsprechenden Bauteils nicht möglich ist. Je nach Art der resultierenden Effekte wird bei Halbleitern zwischen „aktiven“ und „passiven“ parasitären Elementen unterschieden. Die parasitären Elemente in leistungselektronischen Strukturen lassen sich somit in drei Gruppen unterteilen:

- **Parasitäre Elemente der Leiterbahnen:** Da der Großteil einer Schaltung aus den Verbindungen zwischen den Bauelementen besteht, nimmt die Gruppe der Leiterbahnparasiten eine besondere Stellung ein. Insbesondere bei Leistungshalbleitermodulen werden durch Verbindungsstrukturen wie Anschluss terminals, Bonddrahtverbindungen und Leiterbahnen eine Vielzahl von parasitären Effekten verursacht.
- **Aktive parasitäre Elemente in Halbleitern:** Diese Elemente resultieren aus den Halbleiterstrukturen, insbesondere den pn-Übergängen, die z.B. in Form von parasitären Dioden die Eigenschaften eines Halbleiters beeinflussen können.
- **Passive parasitäre Elemente in Halbleitern:** Passive Elemente wie ohmsche Widerstände (z.B. $R_{DS(on)}$) oder kapazitive Elemente (z.B. C_{DS} , C_{GS}) treten auch in Leistungshalbleitern auf. Aufgrund der heute verbreiteten Fertigung als vertikale Bauelemente sind die parasitären Induktivitäten in den meisten Leistungshalbleitern hingegen vernachlässigbar.

Die parasitären Elemente einer Halbbrückenschaltung sind in Abbildung 2.4 exemplarisch dargestellt, hier unter Vernachlässigung der Kopplungen, die sich erst durch die spezifischen geometrischen Strukturen der Schaltung ergeben.

$L_{\sigma,DC+}$ und $L_{\sigma,DC-}$ bzw. R_{DC+} und R_{DC-} repräsentieren die parasitären Induktivitäten bzw. Widerstände der Zwischenkreisanschlüsse und der Zuleitungen zu den Anschluss terminals.

$L_{\sigma 1}$ und R_1 zeigen die parasitäre Induktivität bzw. den Widerstand der Leitung zwischen den Anschluss terminals und dem Leistungshalbleiter, also ggf. auch der Bonddrähte und des Substrats.

$L_{\sigma 2}$ und R_2 stellen die parasitären Elemente innerhalb des Moduls zwischen dem Highside-Chip und dem Phasenanschluss dar.

$L_{\sigma 3}$ und R_3 veranschaulichen die Elemente innerhalb des Moduls, die sich im Strompfad vom Phasenanschluss bis zur Drain-Seite des Leistungshalbleiters befinden.

$L_{\sigma 4}$ und R_4 repräsentieren die Induktivität und den Widerstand vom Low-Side-Halbleiter bis zum Anschluss terminal des Moduls, also der Sourceseitigen Bonddrähte, der Zuleitungen auf dem Substrat und des Anschluss terminals.

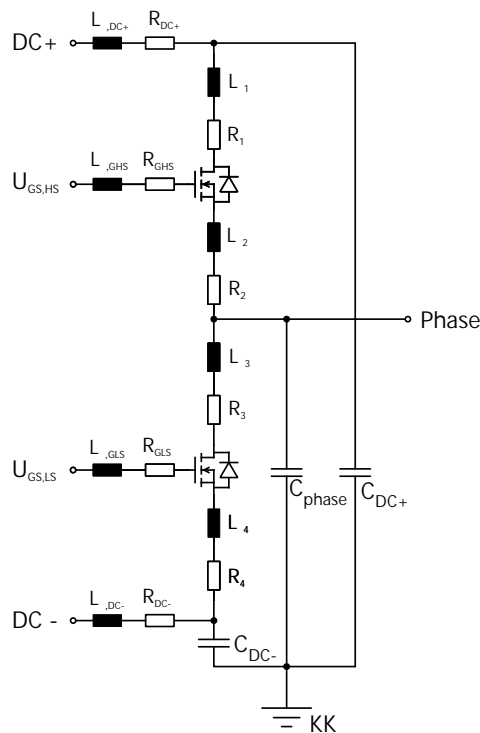


Abb. 2.4: Parasitäre Elemente der Leiterstrukturen in einer Halbbrücke

$L_{\sigma, GHS/GLS}$ und $R_{GHS/GLS}$ bilden die parasitären Elemente im Ansteuerkreis der Leistungshalbleiter.

C_{DC+} bzw. C_{DC-} sind die parasitären Kapazitäten zwischen dem positiven bzw. negativen Zwischenkreisanschluss und dem Kühlkörperpotential. C_{Phase} ist die Kapazität zwischen dem Phasenanschlusspunkt und dem Kühlkörperpotential.

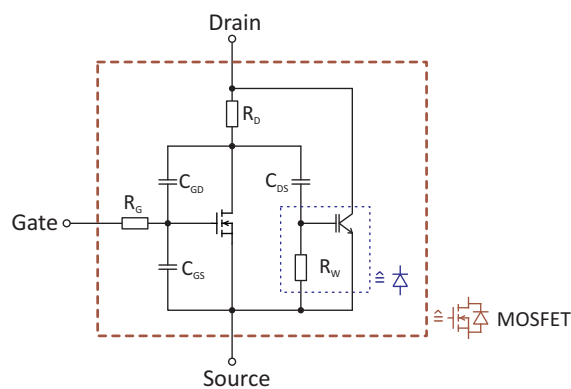


Abb. 2.5: Darstellung der bauteilinternen parasitären Elemente (MOSFET)

Neben den parasitären Elementen des Aufbaus sind in Abbildung 2.5 die internen parasitären Elemente des MOSFETs gezeigt: R_D ist der Durchlasswiderstand des schaltenden Bauteils im leitfähigen Zustand, R_W der Durchlasswiderstand der Diode in Vorwärtsrichtung, der für die Vorwärtsspannung der Diode verantwortlich ist. R_G ist der interne Gatevorwiderstand.

C_{GD} und C_{GS} bezeichnen die Kapazitäten des Gates gegen Drain und Source. C_{DS} ist die Drain-Source-Kapazität.

Für die Analyse parasitärer Elemente ist das Verständnis ihrer Entstehung und der daraus resultierenden Eigenschaften wichtig, es wird daher nachfolgend auf die physikalischen Hintergründe eingegangen. Die Gruppe der parasitären Elemente der Leiterbahnen unterteilt man gemäß ihres Effektes in resistive, induktive und kapazitive Elemente.

2.3.1 Parasitäre Widerstände

Resistive parasitäre Elemente resultieren aus der nicht idealen Leitfähigkeit der verwendeten Bauelemente. Bei einem Stromfluss entsteht ein Spannungsabfall über dem Leiter, der proportional zum ohmschen spezifischen Widerstand des Materials ist. Neben dem Spannungsabfall treten diese Elemente vor allem durch die damit gekoppelte Entstehung elektrischer Verlustleistung in Form von joulescher Erwärmung in Erscheinung.

Als Widerstand eines Leiters mit der Länge l , der Querschnittsfläche A und dem spezifischen Widerstand ρ ist definiert:

$$R = \rho \cdot \frac{l}{A} \quad (2.3)$$

Mittels vereinfachter Modelle, wie dem Drude-Modell [8], lässt sich elektrischer Widerstand als Streuprozess von Leitungselektronen an den Atomen des Kristallgitters des Leiters erklären. Hier kommt es zu Stößen der beweglichen Elektronen mit den als undurchdringlich angesehenen Atomrümpfen. Ihre Trajektorie kann mit Hilfe der mittleren freien Weglänge und der mittleren freien Zeit (Zeit zwischen zwei Streuprozessen, auch Relaxationszeit genannt) beschrieben werden. Der elektrische Widerstand ergibt sich somit vereinfacht aus der Anzahl der Streuprozesse während der Bewegung der Elektronen durch den Leiter.

Dieser Prozess ist temperaturabhängig und zeigt bei Kaltleitern eine Abnahme der Leitfähigkeit mit steigender Temperatur, da durch die mit der Temperatur zunehmende Schwingung der Atomrümpfe des Metallgitters die Wahrscheinlichkeit für Streuprozesse erhöht wird.

Bei Heißeitern (zu denen auch Halbleiter wie Si und Ge gehören) steigt die Leitfähigkeit mit wachsender Temperatur. Bei den Halbleitern werden durch die thermische Anregung Elektronen aus dem Valenz- in das Leitungsband angehoben werden können und dadurch als freie Ladungsträger auftreten.

2.3.2 Parasitäre Induktivitäten

Jeder Stromfluss in einem Stromkreis erzeugt ein Magnetfeld, das sich als Magnetfluss Ψ durch die Leiterschleife auswirkt (Abb. 2.6). Dieser Fluss ist genau wie das Magnetfeld proportional zur Stromstärke I :

$$\Psi = LI. \quad (2.4)$$

Dabei beschreibt der Proportionalitätsfaktor L die Induktivität des Leiters. Die parasitäre Induktivität eines Leiters wird demnach dargestellt durch den Quotienten aus dem magnetischen Fluss und dem flussverursachenden Strom. Es gilt für die Selbstinduktivität also die Wirkung, die das Magnetfeld auf den Leiter selbst ausübt:

$$L = \frac{\Psi}{I} \quad (2.5)$$

Die Auswirkungen parasitärer Induktivitäten zeigen sich in Form induzierter Spannungen bei einer zeitlichen Änderung des magnetischen Flusses bzw. des Stromflusses, die proportional zur Änderungsrate der entsprechenden Größe sind. Dieses Verhalten wird durch das Induktionsgesetz beschrieben:

$$\frac{d\Psi}{dt} = L \frac{dI}{dt} = -U_{ind} \quad (2.6)$$

Es gilt für die Größe der Induktivität, die in Henry (H) angegeben wird:

$$1\text{H} = \frac{1\text{Vs}}{\text{A}} = 1\Omega\text{s} \quad (2.7)$$

Ein Leiter besitzt demnach die Induktivität von 1 H, wenn durch eine Stromänderung von 1As^{-1} eine Spannung von 1 V induziert wird. Dieses Magnetfeld ist von der Trajektorie des Ladungsträgers und damit von der geometrischen Verteilung der Stromdichte sowie von der magnetischen Permeabilität des umgebenden Materials abhängig.

Die Permeabilität der Materialien, die sich im Nahfeld leistungselektronischer Schaltungen befinden, ist näherungsweise eins (Kupfer, Aluminium, Luft, Kunststoffe). Dies wiederum erklärt, warum die Induktivität eines Leiters hauptsächlich von seiner Geometrie und der internen Stromverteilung abhängig ist.

Betrachtet man die Energie des Magnetfeldes, so lässt sich die Induktivität auch mittels der im Magnetfeld gespeicherte Energie E bei einem Stromfluss der Größe I berechnen:

$$L = \frac{2E}{I^2} \quad (2.8)$$

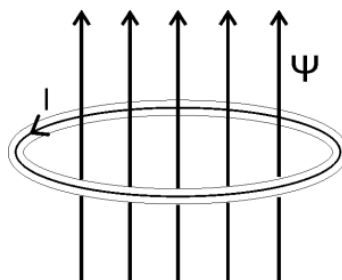


Abb. 2.6: Selbstinduktivität als Verhältnis von Größe des magnetischen Flusses zum ursächlichen Strom

Um ein anschauliches Verständnis von der Magnetfeldstärke zu entwickeln, kann man die Dichte der Feldlinien als proportional zur Feldstärke ansehen. Der magnetische Fluss wird in Weber [Wb] angegeben, er ist proportional zu dem durch den Leiter fließenden Strom.

Die Induktivität eines Leiters in Henry [H] ist gegeben durch den verursachten magnetischen Fluss pro Ampere Strom:

$$1 \frac{Wb}{A} = 1 H. \quad (2.9)$$

Jede Leiterschleife besitzt somit eine Induktivität, die sich auswirkt, sobald ein Strom fließt. Die Auswirkungen dieses meist unerwünschten Effekts werden im 4. Kapitel ausführlich erläutert. Parasitäre Induktivitäten werden in der Literatur häufig auch als Streuinduktivitäten (engl. *stray inductance*) bezeichnet, da sie einen magnetischen Fluss hervorrufen, der zu einem technisch nicht genutzten „Strefeld“ führt.

2.3.3 Parasitäre Kapazitäten

Parasitäre Kapazitäten bilden sich zwischen zwei elektrischen Leitungen oder Leiterstücken unterschiedlichen Potentials aus. In dem entstehenden elektrischen Feld wird Energie gespeichert, die beim Umladen der Elektroden abgegeben werden kann.

Die Größe der parasitären Kapazitäten ist von der geometrischen Beschaffenheit der Potentialflächen, ihrem Abstand und dem zwischen ihnen befindlichen Isolationsmaterial (Dielektrikum) abhängig.

In der Leistungselektronik sind parasitäre Kapazitäten vor allem in Form von Kupferflächen (z.B. auf DCB- oder IMS-Strukturen, siehe Abbildungen 4.10 und 4.11), aber auch zwischen Schaltungs- und Kühlkörperpotentialen sowie in den aktiven Bauelementen selbst zu finden.

Eine gute Abschätzung parasitärer Kapazitäten bei flächig ausgeprägten Elektroden und homogenen Dielektrika bietet die Plattenkondensatornäherung

$$C = \epsilon_0 \epsilon_r \cdot \frac{A}{d} \quad (2.10)$$

mit Permittivität ϵ_0 , Dielektrizitätskonstante ϵ_r , Potentialfläche A und Potentialabstand d . Für die Dielektrizitätskonstante ϵ_r von Materialien, die sich im Nahfeld elektrischer Leiter befinden, gilt üblicherweise $\epsilon_r > 1$, da insbesondere die für Isolationszwecke eingesetzten Kunststoffe oder Keramiken eine Polarisierbarkeit im elektrischen Feld aufweisen.

2.4 Kopplungen parasitärer Elemente

In leistungselektronischen Schaltungen treten meist mehrere parasitäre Elemente zur gleichen Zeit in Erscheinung. Dabei kommt es normalerweise zu Kopplungen ihrer Auswirkungen. Diese

Kopplungen lassen sich in drei unterschiedliche Gruppen unterteilen:

2.4.1 Kopplung parasitärer Induktivitäten

Beeinflussen sich zwei oder mehrere Leiter durch ihre Magnetfelder gegenseitig, so spricht man von magnetischer Kopplung. Ein Stromfluss in einem der Leiter erzeugt einen magnetischen Fluss ϕ , der andere Leiter ganz oder teilweise durchsetzt.

Die Größe der magnetischen Kopplung wird mit Hilfe von Koppelfaktoren k_i mit $0 < k_i < 1$ ausgedrückt. Hierbei unterscheidet man:

$$k \mapsto 0 : \textit{lose Kopplung} \quad (2.11)$$

$$k \mapsto 1 : \textit{feste Kopplung} \quad (2.12)$$

$$k = 1 : \textit{ideale Kopplung} \quad (2.13)$$

Es gilt somit für den Fluss ϕ , der von Leiter 1 auf Leiter 2 wirkt:

$$\phi_{21} = k_1 \cdot \phi_1 \quad (2.14)$$

Bei Kenntnis der Koppelfaktoren können absolute Werte für die parasitären Induktivitäten abgeleitet werden. Zu diesem Zweck wird ein „Einheitsstrom“ definiert, der in Leiter 1 fließt und über die Flussverkettung in einem Leiter 2 eine Gegeninduktivität L_{21} bewirkt:

$$L_{21} = \frac{N_2 \cdot \phi_{21}}{I_1} \quad (2.15)$$

Bei isotropem Magnetmaterial gilt:

$$L_{21} = L_{12} = M \quad (2.16)$$

Die gegenseitige Induktivität oder kurz Gegeninduktivität M (engl. *mutual inductance*) ist somit ein Maß für die Stärke des verketteten Flusses zweier Leiteranordnungen aufgrund eines Gleichstromes in der jeweils anderen Leiteranordnung. M wird definiert gemäß:

$$M = \sqrt{L_{12} \cdot L_{21}} = \sqrt{\frac{N_2 \cdot k_1 \cdot \phi_1}{I_1} \cdot \frac{N_1 \cdot k_2 \cdot \phi_2}{I_2}} \quad (2.17)$$

$$= \sqrt{\frac{N_1 \cdot \phi_1}{I_1} \cdot k_1 \cdot \frac{N_2 \cdot \phi_2}{I_2} \cdot k_2} \quad (2.18)$$

$$= \sqrt{L_1 \cdot k_1 \cdot L_2 \cdot k_2} \quad (2.19)$$

$$M = k \cdot \sqrt{L_1 \cdot L_2} \text{ mit } k = \sqrt{k_1 \cdot k_2} \quad (2.20)$$

Sie dient somit der Beschreibung eines magnetisch gekoppelten Systems, z.B. durch Maschen-

und Knotengleichungen in einem Ersatzschaltbild. Der Koppelfaktor k ist definiert als der Anteil des Flusses, der keine der betrachteten Leiteranordnungen durchsetzt und somit nicht zur Kopplung beiträgt. Für die genannten Größen gelten folgende Bedingungen:

- Die (Selbst-)Induktivität L_σ ist immer positiv.
- Die Gegeninduktivität M ($= L_{nm} = L_{mn}$) ist positiv oder negativ, das Vorzeichen ist abhängig von der Wahl der Orientierung des Bezugssystems für den Fluss ϕ .

Die Gesamtinduktivität einer Leiterschleife, die aus n Leitern mit $n=m$ besteht, berechnet sich aus der Summe aller auftretenden Selbst- und Gegeninduktivitäten:

$$L_{ges} = \sum L_n + \sum L_{nm} + \sum L_{mn} = \sum L_n + 2 \cdot \sum L_{nm} \quad (2.21)$$

Bei der Optimierung von parasitären Induktivitäten ist die Auswertung der induktiven Kopplung ein entscheidendes Kriterium für die Reduktion der Gesamtinduktivität L_{ges} , da durch die gezielte Anpassung der Kopplungen die Gesamtinduktivität einer Leiteranordnung stark beeinflusst werden kann. Untersuchungen hierzu werden in Abschnitt 6.4.1 durchgeführt.

2.4.2 Kopplung parasitärer Kapazitäten

Bei parasitären Kapazitäten erfolgt die Kopplung über ein gemeinsames elektrisches Feld [9]. Im Gegensatz zur Selbstinduktivität von elektrischen Leitern bildet sich eine Kapazität erst bei Vorhandensein von mindestens zwei Leitern mit unterschiedlichen Potentialen aus. Zwar besitzen auch Einzelleiter eine intrinsische Kapazität, die in einem elektrischen Feld als Ladungsinfluenz in Erscheinung tritt, aber für die technische Anwendung ist dieser Effekt vernachlässigbar. Die Kopplung parasitärer Kapazitäten beschränkt sich daher auf die Zunahme der Gesamtkapazität durch Parallelschaltung mehrerer parasitärer Elemente.

$$C_{ges} = \sum_i C_i \quad (2.22)$$

2.4.3 Kopplung parasitärer Induktivitäten mit Kapazitäten

Der dritte Fall, der beachtet werden muss, ist die Kopplung von parasitären Elementen unterschiedlichen Typs. Häufig sind induktiv-kapazitive Kopplungen anzutreffen, die zu Spannungs- und Stromoszillationen mit einer Resonanzfrequenz von

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (2.23)$$

führen können. Durch die parasitären Widerstände der Leitungen handelt es sich stets um gedämpfte Schwingungen mit dem Dämpfungsfaktor γ :

$$\gamma = \frac{R}{2L} \quad (2.24)$$

2.5 Frequenzabhängigkeit parasitärer Elemente

Nachfolgend wird die Frequenzabhängigkeit parasitärer Elemente erläutert. Dabei sollen zunächst die relevanten Frequenzbereiche von Umrichtern identifiziert und anschließend die auftretenden Stromverdrängungseffekte und die resultierenden Auswirkungen dargestellt werden.

2.5.1 Frequenzbereiche moderner Umrichter

Parasitäre Elemente weisen Frequenzabhängigkeiten auf, die bei ihrer Analyse berücksichtigt werden müssen. Dabei sind es nicht die Grundfrequenzen eines Umrichters, die für Antriebsumrichter typischerweise im Bereich weniger Hz bis einiger 100 Hz liegen, sondern vielmehr die Taktfrequenzen der Leistungshalbleiter (1..100 kHz) und vor allem die Spannungs- und Stromgradienten der Schaltflanken (1..30 MHz), welche über verschiedene Stromverdrängungseffekte in den parasitären Elementen eine Auswirkung hervorrufen.

Des Weiteren können beim Schalten von bipolaren Leistungshalbleitern Hochfrequenzoszillationen (z.B. PEST-Schwingungen [2]) auftreten, ihre Frequenz liegt im Bereich einiger 100 MHz.

Die Grund- oder Ausgangsfrequenz eines Umrichters liegt für typische Traktionsanwendungen im Bereich von unter 1 Hz bis 100 Hz. Die Stromverteilung innerhalb der Leiter unterscheidet sich in diesem Frequenzbereich nicht merklich vom Gleichstromfall, Stromverdrängungseffekte sind kaum relevant. Daher kann der Einfluss der Umrichtergrundfrequenz auf die parasitären Elemente vernachlässigt werden.

Die Schaltfrequenz moderner Frequenzumrichter liegt bei Antriebsumrichtern im Automotivbereich typischerweise im Bereich von einigen 10 kHz [10], [11], [12]. Sie wirkt sich daher in Abhängigkeit von der Leitergeometrie merklich auf die Stromverteilung aus. Vor allem bei der Berechnung der parasitären Widerstände, also der Kupferverluste, muss die Erhöhung des Widerstandes durch diese Frequenz berücksichtigt werden (siehe Abschnitt 2.5.2).

Die Stromanstiegs- und Abfallzeiten ($t_{r,i}$ und $t_{f,i}$) während der Ein- und Ausschaltvorgänge müssen bei der Berechnung und der Simulation der Effekte von parasitären Elementen besonders berücksichtigt werden. Während der Schaltvorgänge, die bei modernen Leistungshalbleitern nur einige 10 ns bis 300 ns dauern, kommt es zu hohen Stromgradienten auf den Leiterbahnen, die im Bereich von mehreren $kA/\mu s$ liegen können.

Zur Berechnung der zu den Schaltzeiten äquivalenten Sinusfrequenz eignen sich verschiedene empirisch abgeleitete Formeln. Nach [13] gilt in erster Näherung:

$$f_{equiv} = \frac{0,35}{t_{(r/f)}} \quad (2.25)$$

Diese Näherung lässt sich mit Hilfe der grafischen Darstellung in Abbildung 2.7 nachvollziehen. Somit ergeben sich für Stromfall- bzw. Anstiegszeiten moderner Leistungshalbleiter von typischerweise 10 bis 300 ns äquivalente Sinusfrequenzen im Bereich von etwa 1-30 MHz.

Für die Zeitdauer des Schaltvorganges kann der Strom daher wie ein hochfrequenter Wechselstrom behandelt werden. Dies wirkt sich vor allem auf die während der Schaltvorgänge wirksame Induktivität der Leiter, aber auch auf den ohmschen Widerstand aus.

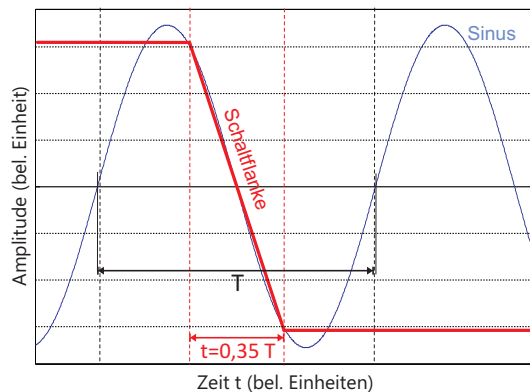


Abb. 2.7: Approximation der zu einer Schaltflanke äquivalenten Frequenz f_{equiv} eines Sinusverlaufes gemäß Gleichung 2.25

2.5.2 Beeinflussung parasitärer Elemente durch den Skineneffekt

Jeder von einem Strom durchflossene Leiter erzeugt ein Magnetfeld \vec{H} , das sich in Abhängigkeit von der Leiterstruktur und der Stromfrequenz ausbildet, siehe Abbildung 2.8.

Die Flussdichte \vec{B} in einer vom magnetischen Fluss ϕ durchsetzten und vom Leiter umschlossenen Fläche A berechnet sich gemäß $\phi = \int \vec{B} d\vec{A}$ zu $\vec{B} = \frac{d\phi}{dA}$. Der Skineneffekt beschreibt die Stromverdrängung aus dem Volumen eines Leiters heraus an seine Oberfläche. Dieser Effekt tritt ein, wenn der Leiter einen hochfrequenten Wechselstrom führt. Es bilden sich im Inneren des Leiters Wirbelströme, die dem Erzeugerstrom entgegengesetzt gerichtet sind (siehe Abb. 2.9 und 2.10). Da die Dichte dieser Wirbelströme an der Mittelachse des Leiters maximal ist und zum Rand hin abnimmt, wird in der Mitte des Leiters eine höhere Gegenspannung induziert als an den Rändern. Dies zeigt sich in der Abbildung durch die entgegengesetzte Orientierung des Stromvektors \vec{S} und des elektrischen Feldes \vec{E} . Daher nimmt die Stromdichte im Inneren des Leiters am stärksten ab und verschiebt sich auf die Randbereiche. Dies hat Auswirkungen auf

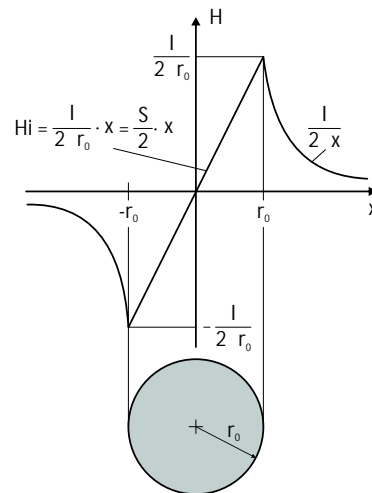


Abb. 2.8: Magnetfeld H eines einzelnen Leiters, nach [14]

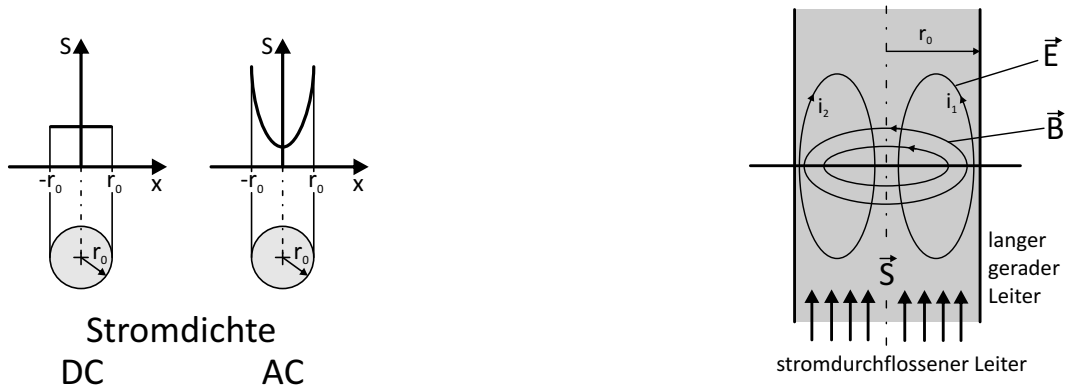


Abb. 2.9: Stromdichteverteilung S innerhalb eines Leiters, nach [14]

Abb. 2.10: Magnetischer Fluss (\vec{B}) und elektrisches Feld (\vec{E}) innerhalb eines Leiters, nach [14]

die Höhe des Wechselstromwiderstandes des Leiters, aber auch auf seine parasitäre Induktivität. Der Bereich am Rand des Leiters, der noch von Strom durchflossen wird, kann rechnerisch bestimmt werden. Als Kriterium zur Beurteilung des Einflusses des Skin效ekts wird die Eindringtiefe δ des Stromes verwendet. Sie berechnet sich gemäß

$$\delta = \frac{1}{\sqrt{\pi \cdot f \cdot \mu_0 \cdot \kappa}}, \quad (2.26)$$

wobei f [Hz] die Frequenz, μ_0 [H/m] die Permeabilität und κ [$1/(\Omega\text{m})$] die elektrische Leitfähigkeit darstellt [14]. In Abbildung 2.11 ist der Zusammenhang zwischen der Eindringtiefe des Stromes und der Frequenz für einen Leiter gezeigt. Die Anwendung der Formel 2.26 führt zu dem Ergebnis, dass die Ströme während des Schalt- bzw. Kommutierungsvorganges nur auf den Leiteroberflächen mit einer Eindringtiefe von einigen 20-40 μm fließen.

Bedingt durch den Skineneffekt (vgl. 2.5.2) maximiert sich die Stromdichte am Rand des Leiters. Der effektiv genutzte Leiterquerschnitt erscheint dadurch breiter und flacher, wodurch sich die parasitäre Induktivität reduziert.

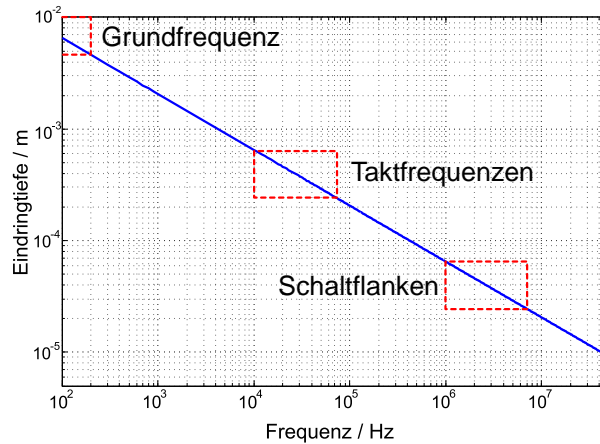


Abb. 2.11: Eindringtiefe des Skineneffekts (nach Gl. 2.26)

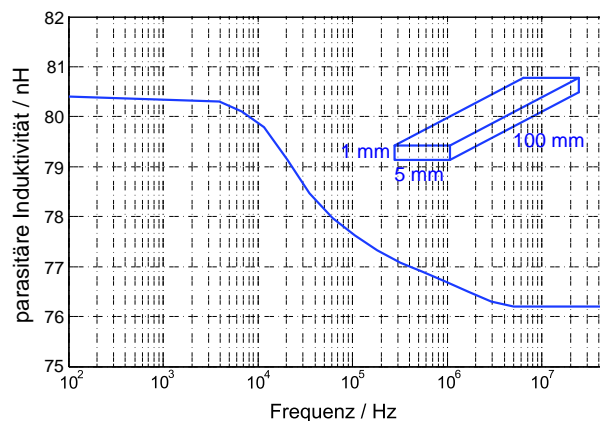


Abb. 2.12: Frequenzabhängigkeit der parasitären Induktivität eines Leiters mit den Abmessungen Länge $l = 100$ mm, Querschnitt $A = 5 \times 1$ mm² (Simulation: InCa3d)

Abbildung 2.11 zeigt die Eindringtiefe des Skineneffektes für einen Leiter in Abhängigkeit von der Frequenz. Der resultierende Effekt ist in Abb. 2.12 dargestellt, die zeigt, dass oberhalb einer Grenzfrequenz f_{min} (hier: 4 kHz) eine Reduzierung der Induktivität für steigende Frequenzen bis zu einer maximalen Frequenz f_{max} (hier: 5 MHz) eintritt. Der Strom wird in eine dünne Schicht an der Oberfläche des Leiters verdrängt, was eine gleichzeitige Zunahme des Widerstands verursacht (vgl. Abb. 2.13). Um zu verdeutlichen, warum die Induktivität des Leiters abnimmt, soll hier eine Trennung zwischen der äußeren und inneren Induktivität eines Leiters vollzogen werden: Unter der äußeren Induktivität versteht man diejenige Induktivität, die sich aus der magnetischen Flussverteilung außerhalb des Leiters ergibt. Die innere Induktivität bezeichnet die durch magnetische Flussdichte innerhalb des Leiters erzeugte Induktivität.

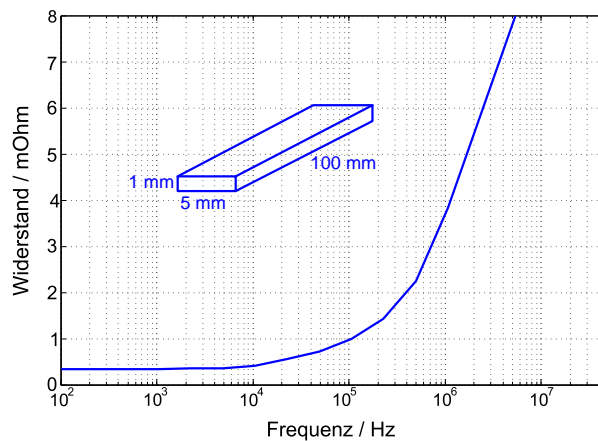


Abb. 2.13: Frequenzabhängigkeit des Widerstandes eines Leiters mit den Abmessungen Länge $l = 100 \text{ mm}$, Querschnitt: $5 \times 1 \text{ mm}^2$ (Simulation: InCa3d)

Der Beitrag der inneren Induktivität genügt für Gleichstrom der Formel:

$$L_i = \frac{\mu_0 \cdot \mu_r \cdot l}{8 \cdot \pi} \quad (2.27)$$

Für höhere Frequenzen wird L_i in Abhängigkeit vom Leiterquerschnitt kleiner. Für das gewählte Beispiel in Abb. 2.12 zeigt sich eine Abnahme der Induktivität bis zu einer Frequenz von 5 MHz, oberhalb dieser Frequenz bleibt die parasitäre Induktivität konstant. Vergleicht man die Ergebnisse mit den Berechnungen für den ohmschen Leiterwiderstand (Abb. 2.13), so wird deutlich, dass dieser mit steigender Frequenz stetig anwächst - auch oberhalb von 5 MHz. Die Ursachen dafür sind die unterschiedlichen physikalischen Prinzipien beider Effekte: Die Stromverdrängung an die Oberfläche des Leiters reduziert die innere Induktivität am stärksten, wenn durch die Konzentration der Stromdichte an der Oberfläche des Leiters die Magnetfelder aus dem Leiterinneren verdrängt werden. Ist dies einmal der Fall, so reduziert eine weitere Erhöhung der Frequenz (oberhalb der Grenzfrequenz f_{max}) das innere Magnetfeld nicht mehr wesentlich, die Induktivität bleibt konstant. Für den Widerstand hingegen ist die effektiv verbleibende stromführende Querschnittsfläche entscheidend. Da diese mit wachsender Frequenz stetig kleiner wird, steigt der Widerstand auch oberhalb von f_{max} weiterhin an.

Die frequenzabhängige Erhöhung des Widerstandes gegenüber dem Gleichstromwiderstand kann gemäß folgender Funktion für einen rechteckigen Leiter beschrieben werden [15]:

$$\frac{R_{AC}}{R_{DC}} = \frac{h \sinh(2\frac{h}{d}) + \sin(2\frac{h}{d})}{d \cosh(2\frac{h}{d}) - \cos(2\frac{h}{d})} \quad (2.28)$$

Hierbei ist h die Leiterdicke, d die Eindringtiefe des Skineffekts. Die Verwendung von mehradrigen Kabeln oder Leitern mit einem großen Oberflächen- zu Volumenverhältnis (wie z.B. flächige Zwischenkreisverschiebungen) kann diesem Phänomen entgegenwirken. Bei der Auslegung von Leistungsteilen müssen die Wechselstromverluste durch den Skineffekt berücksich-

tigt werden. Abbildung 2.14 verdeutlicht den Anstieg der Wechselstromverluste gegenüber den Gleichstromverlusten mit steigender Frequenz gemäß Gleichung 2.28.

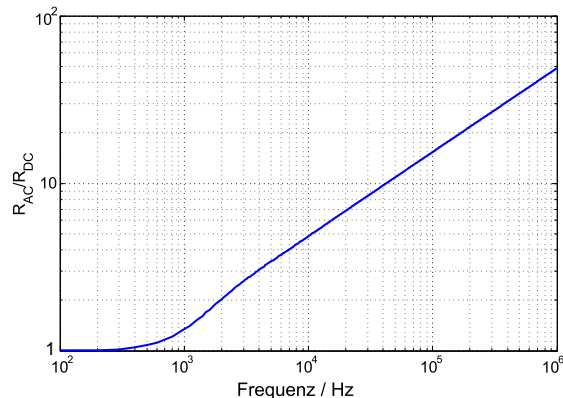


Abb. 2.14: Verhältnis von Wechselstrom- zu Gleichstromwiderstand für steigende Frequenz für einen Leiter mit den Abmessungen Länge $l = 100$ mm, Querschnitt: 5×1 mm²

2.5.3 Beeinflussung parasitärer Elemente durch den Proximityeffekt

Der Proximityeffekt tritt bei flächenparallelen Leitern auf, die in geringem Abstand einen hochfrequenten antiparallelen Strom führen, wie es zum Beispiel bei verplatteten Zwischenkreisverschaltungen üblich ist. Abbildung 2.15 zeigt diesen Effekt schematisch im Vergleich für Leiter mit parallelem (a) und antiparallelem (b) Stromfluss. Im Fall (a) kompensieren sich die Magnetfelder zwischen den Leitern teilweise, während die externen Felder durch die Superposition anwachsen. Im Fall (b) kehrt sich der Effekt um, die externen Magnetfelder kompensieren sich hier teilweise.

Für flächig ausgeführte Leiter verstärkt sich der beobachtete Effekt, wie die Simulation (Abb. 2.16) zeigt. Während sich die äußeren Magnetfelder der Leiteranordnung größtenteils gegenseitig kompensieren, wird durch die Superposition der Magnetfelder zwischen den Platten die Felddichte stark vergrößert.

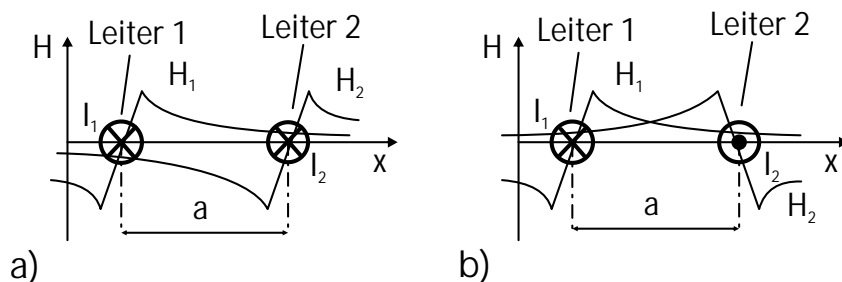


Abb. 2.15: Darstellung der Magnetfeldstärke $H_{1,2}$ zweier runder Leiter bei parallelem (a) und antiparallelem Stromfluss (b)

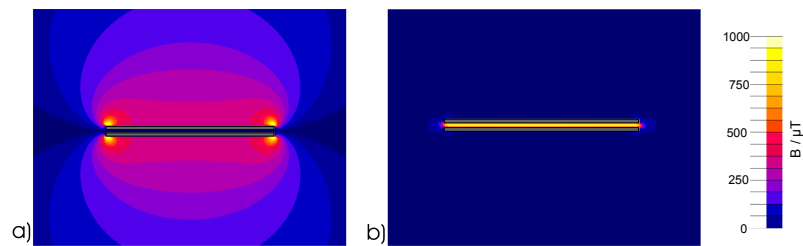


Abb. 2.16: Simulation des Magnetfeldes zweier flächiger Leiter mit rechteckigem Querschnitt bei parallelem Stromfluss (a) und antiparallelem Stromfluss (b): Konzentration des Magnetfeldes auf das Volumen zwischen den Leitern im Fall b); $I = 100 \text{ A}$; $f = 2 \text{ MHz}$

2.5.4 Bewertung der Frequenzabhängigkeit parasitärer Elemente

In den Abschnitten 2.5.2 und 2.5.3 wurde die Frequenzabhängigkeit der Induktivitäten erörtert. Da sie sich auf das Verhalten der Strom- und Spannungstransienten während der Schaltvorgänge auswirkt, ist die Berücksichtigung ihrer Frequenzabhängigkeit in leistungselektronischen Schaltungen erforderlich. Die Änderung des ohmschen Widerstandes für die Dauer der Schaltvorgänge ist hingegen in der praktischen Anwendung zu vernachlässigen, da die Dauer der Schaltvorgänge gegenüber den Zeiten, in denen das Bauteil eingeschaltet ist, sehr klein ist.

2.6 Elektromagnetische Verträglichkeit

Unter Elektromagnetischer Verträglichkeit versteht man die Fähigkeit einer elektrischen Einrichtung, in ihrer elektromagnetischen Umgebung zufriedenstellend zu funktionieren, ohne diese Umgebung, zu der auch andere Einrichtungen gehören, unzulässig zu beeinflussen [16]. Die elektromagnetische Verträglichkeit ist gegeben, wenn die Einrichtung die durch Normen festgesetzten Grenzwerte der Störemissionen nicht überschreitet und gleichzeitig eine definierte Störfestigkeit gegenüber Störemissionen anderer Anlagen besitzt [9].

Die Ursache der Störemissionen einer leistungselektronischen Einrichtung lässt sich auf die Betriebsweise der Leistungselektronik zurückführen, nach der elektrische Energie durch getaktete Schaltvorgänge umgeformt wird [4]. Die hohen Schaltgeschwindigkeiten, die sich in steilen Spannungs- und Stromflanken widerspiegeln, verursachen Transienten in einem breiten Frequenzspektrum mit vielen höheren Frequenzanteilen (100 kHz - 100 MHz), die leitungsgebunden oder als Störstrahlung emittiert werden können.

2.6.1 Leitungsgebundene Störungen

Als leitungsgebundene Störgrößen werden Störemissionen im Frequenzbereich von 9 kHz bis 30 MHz bezeichnet. Sie breiten sich über Versorgungs- oder Datenleitungen und teilweise auch über passive Bauelemente (Kondensatoren, Transformatoren etc.) von der Störquelle zu einer Störsecke aus, da eine Abstrahlung der Störleistung gemäß der Bedingungen für den Hertzchen

Dipol ($l = \lambda/4$) für typische Abmessungen in leistungselektronischen Baugruppen nicht gegeben ist.

2.6.1.1 Galvanische Kopplung

Dieser Kopplungsmechanismus wird oft auch als Impedanzkopplung bezeichnet und entsteht, wenn zwei Stromkreise eine gemeinsame Impedanz Z_k aufweisen, siehe Abb. 2.17. In diesem Beispiel wird durch die Spannungsquelle u_1 und ihren Stromkreis eine Störspannung u_{st} in den Stromkreis der Spannungsquelle u_2 eingekoppelt. Die Einkopplung kann sowohl in Form von Bauelementen als auch als gemeinsam genutzter Leitungsabschnitt vorliegen [9], [17]. Die Größe der eingekoppelten Spannung berechnet sich mit $Z_k \ll Z_i + Z_L$ und $Z_k \ll Z_2$ zu:

$$u_{st}(t) = \frac{u_1(t)}{Z_i + Z_L} \cdot Z_k \quad (2.29)$$

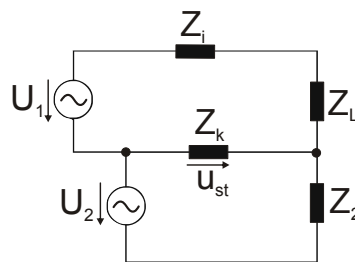


Abb. 2.17: Galvanische Kopplung zweier Stromkreise führt zur Entstehung einer Störspannung u_{st} über der gemeinsamen Impedanz Z_k , nach [9]

2.6.1.2 Kapazitive Kopplung

Besitzen zwei benachbarte Leiter unterschiedliche elektrische Potentiale, entsteht zwischen ihnen ein elektrisches Feld. Sie können über parasitäre Kapazitäten miteinander koppeln [9], die im Ersatzschaltbild 2.18 als C_1 und C_2 bezeichnet wurden. Bei zeitlich veränderlichen Potentialen kommt es durch die parasitären Kapazitäten zur Ausbildung von Verschiebungsströmen, wobei sich der Stromkreis durch die gemeinsame Bezugsmasse schließt. Diese Verschiebungsströme führen mit dem Innenwiderstand $R_E = R_1 + R_2$ des betrachteten Systems zur Entstehung einer Störspannung. Bei Annahme eines niederohmigen Systems ($R_E \ll 1/\omega C_{1,2}$) berechnet sich diese nach [9] zu:

$$u_{st}(t) = \frac{du_2}{dt} \cdot C_{1,2} \cdot R_E \quad (2.30)$$

Die Größe der Störspannung ist somit neben der Dynamik der zeitlichen Änderung der Spannung (du/dt) zu den Koppelkapazitäten (C_1, C_2) und dem Widerstand R_E proportional.

Zwar kommt die Kopplung hier physikalisch gesehen durch das elektrische Feld zwischen den

Leitern zustande, sie wird aber dennoch als leitungsgekoppelte Störung mit den Kondensatoren als Koppelimpedanzen bezeichnet.

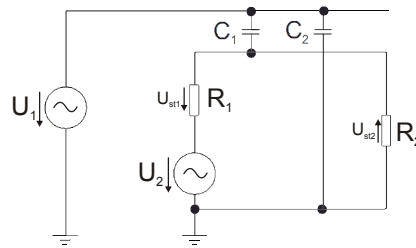


Abb. 2.18: Kapazitive Kopplung zweier Stromkreise über die parasitären Kapazitäten C1 und C2, nach [9]

2.6.1.3 Induktive Kopplung

Die induktive Kopplung entsteht durch magnetische Kopplung zwischen zwei oder mehreren Leiterschleifen. Der veränderliche Stromfluss in System mit Spannungsquelle u_1 erzeugt ein veränderliches Magnetfeld, das durch die magnetische Gegenkopplung M im System mit Spannungsquelle u_2 eine Störspannung induziert. Diese Kopplung hat in der Leistungselektronik, insbesondere in den Leistungsteilen oder Leistungshalbleitermodulen von Umrichtern, eine hohe Bedeutung, da hier zeitlich sehr schnell veränderliche Ströme über dicht beieinanderliegende Leiter geführt werden.

Für die in Abbildung 2.19 gezeigte Konfiguration lässt sich die induzierte Spannung gemäß Gleichung 2.31 bestimmen [9].

$$u_{st}(t) = \frac{di_1}{dt} M \quad (2.31)$$

Zwar kommt die Kopplung hier, physikalisch gesehen, durch das magnetische Feld zwischen den Leitern zustande, wird aber dennoch als leitungsgekoppelte Störung mit den Induktivitäten als Koppelimpedanzen bezeichnet.

Üblicherweise werden elektromagnetische Kopplungen im Falle quasistationärer Betrachtungen im Nahfeld eines Leiters als leitungsgebunden betrachtet. Hier ist im Sinne einer einfacheren Betrachtbarkeit der zugrundeliegenden Effekte eine formale Entkopplung von elektrischen und magnetischen Komponenten der Felder zulässig.

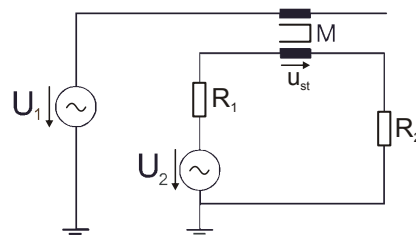


Abb. 2.19: Induktive Kopplung zweier Stromkreise über die parasitäre Induktivität M, nach [9]

2.6.2 Gleichtakt- und Gegentaktstörungen

Gemäß der Orientierung der Ausbreitungsrichtung werden leitungsgebundene Störungen in Gleich- und Gegentaktstörungen unterteilt.

2.6.2.1 Gleichtaktstörungen

Gleichtaktstörungen bezeichnen Störspannungen oder -ströme, die gleichzeitig im Hin- und Rückleiter zwischen elektrischen Bauteilen oder Baugruppen fließen und sich dabei durch gleiche Stromrichtung und Phasenlage auszeichnen (Abb. 2.20). Die Rückleitung einer Gleichtaktstörung zu ihrer Quelle findet über eine gemeinsam genutzte Bezugsmasse statt, an die über (parasitäre) Kapazitäten eine Ankopplung besteht. In der Praxis entstehen Gleichtaktstörungen somit vor allem durch Koppelkapazitäten zwischen variablen Potentialen der Leistungshalbleiter und dem Massepotential, ihre Größe wird durch die Kapazität (Kopplfläche) und den zeitlichen Gradienten der Spannung (du/dt) bestimmt.

2.6.2.2 Gegentaktstörungen

Gegentaktstörungen sind Störspannungen oder -ströme, die in entgegengesetzter Richtung in Hin- und Rückleitern zwischen elektrischen Bauteilen oder Baugruppen fließen, siehe Abbildung 2.20. Es liegt in diesem Fall keine Kopplung gegen Masse vor, sondern eine Kopplung zwischen den Leitern. Dies bedeutet, dass vor allem die Störspannungen als Auswirkung der parasitären Induktivitäten für die Entstehung und Ausbreitung dieser Störungen verantwortlich sind, daher wird sie durch die Größe der parasitären Induktivität und den zeitlichen Gradienten des Stromes bestimmt (di/dt).

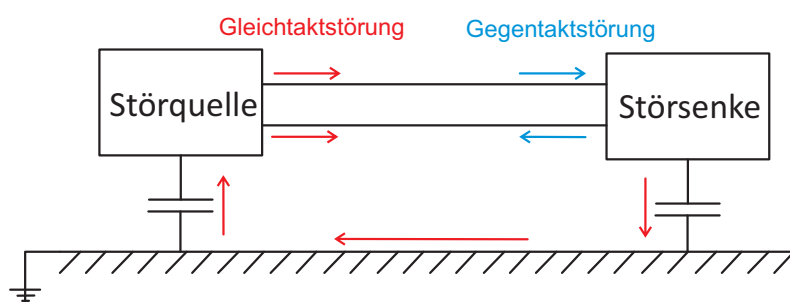


Abb. 2.20: Ausbreitungswege von Gleich- und Gegentaktstörungen

2.6.3 Abgestrahlte Störemissionen

Der Begriff Strahlungskopplung wird meist zur Charakterisierung von Störeinflüssen verwendet, die durch das Fernfeld einer Störquelle verursacht werden. In diesem Fernfeld sind die

elektrischen und magnetischen Eigenschaften nicht mehr getrennt voneinander zu betrachten, wie dies für die in 2.6.1.2 und 2.6.1.3 beschriebenen quasistatischen Fälle getan wurde.

Beträgt die Frequenz der Störemissionen 30 MHz oder mehr, kommt es zur Ausstrahlung der elektrischen Energie in Form von elektromagnetischen Wellen, da die Abmessungen der stromführenden Leiter die Größenordnung eines $\lambda/4$ -Dipols erreichen und als Antennen wirken. Die Störungen breiten sich dann im Raum aus und können in entfernten Leitern mit zur Wellenlänge passenden Abmessungen Störspannungen induzieren.

Zur Messung von strahlungsgekoppelten Emissionen sind besonders strahlungsarme Messumgebungen erforderlich, wie sie nur in speziell abgeschirmten Messkammern oder in Freifeldversuchen erreicht werden können.

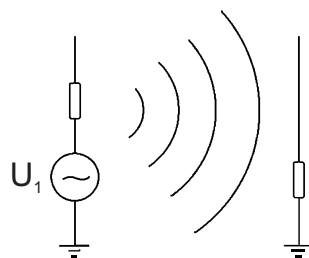


Abb. 2.21: Strahlungskopplung im elektromagnetischen Fernfeld [9]

2.7 Messung leitungsgebundener Störemissionen

Da im weiteren Verlauf dieser Arbeit unterschiedliche EMV-Messtechniken verwendet werden, soll an dieser Stelle kurz auf die Besonderheiten eingegangen werden, die sich bei Messungen mit einem Funkstörmessempfänger ergeben.

Mittels einer geeigneten Messimpedanz (LISN = *Line Stabilisation Network*) werden die Funkstörspannungen aus den Versorgungsleitungen des Prüflings ausgekoppelt und dem Funkstörmessempfänger zur Verfügung gestellt. Dieses Messgerät besteht im Wesentlichen aus einem abstimmbaren HF-Verstärker, einem wahlweise zuschaltbaren, sehr rauscharmen Vorverstärker zur Erhöhung des Signal-/Rauschabstandes, einem Mischer, der das Signal in einen Zwischenfrequenzbereich verschiebt und schließlich einem Gleichrichter, der das Signal Bewertungsschaltungen zuführt und es schließlich einer Anzeige oder einem Zwischenspeicher zur späteren Analyse weiterleitet. Abbildung 2.22 zeigt ein typisches Blockschaltbild [18].

Die Messung kann mit unterschiedlichen Bandbreiten und Bewertungen als Peak-, Quasipeak-, Mittelwert-, oder Effektivwertmessung durchgeführt werden [19].

Um einen großen Messbereich (wenige μV bis einige V) bewerten zu können, erfolgt die Pegeldarstellung auf einer logarithmischen Skala. Der Bezugswert ist hierbei $1 \mu V$, was einem

Anzeigewert von $0 \text{ dB}\mu\text{V}$ entspricht. Es gilt für den Spannungspegel:

$$p = 20 \log \frac{u_{st}}{U_0} [\text{dB}\mu\text{V}] \quad (2.32)$$

mit der Störspannung u_{st} und der Bezugsspannung U_0 [19].

Unterschieden werden bei der Messung leitungsgeführter Störgrößen die Emissionen im A-Band (9 kHz - 150 kHz) und im B-Band (150 kHz - 30 MHz). Während im A-Band der größte Teil der Störemissionen durch die Taktung der Leistungshalbleiter entsteht (Emissionen im Bereich der Schaltfrequenz und ihrer Harmonischen), werden die Emissionen im B-Band vor allem durch Spannungs- und Stromtransienten in Verbindung mit den parasitären Elementen des Aufbaus als Quellen von leitungsgebundenen Störungen angesehen [20].

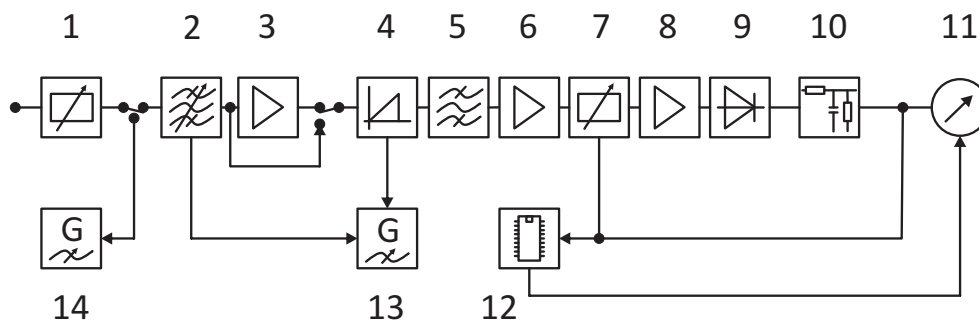


Abb. 2.22: Blockschaltbild Messempfänger: 1. Eingangsdämpfung, 2. Abstimmbare Hochfrequenzselektion, 3. Hochfrequenzverstärker, 4. Mischstufe, 5. Zwischenfrequenzselektion, 6. Zwischenfrequenzverstärker, 7. Dämpfungsglied, 8. Verstärker, 9. Messgleichrichter, 10. Bewertungsschaltung, 11. Anzeigeeinstrument, 12. Signalprozessor, 13. Zwischenfrequenzausgang, 14. Hochfrequenzausgang

2.8 Zusammenfassung

Zunächst wurde in diesem Kapitel auf das Betriebs- und Schaltverhalten von Leistungs-MOS-FET eingegangen, das schematisiert durch einen Vergleich zwischen idealem und realem Verhalten dargestellt wurde.

Als Hauptursache für diese meist unerwünschte Abweichung gelten parasitäre Elemente. Der Begriff bezeichnet unvermeidbare ohmsche, induktive oder kapazitive Bestandteile leistungselektronischer Schaltungen, die ihre Ursache in den elementaren physikalischen Gesetzen von Ohm, Henry und Faraday haben.

Diese Elemente werden in Form elektrischer Schaltungssymbole in äquivalenten Ersatzschaltbildern dargestellt und gemäß ihrer Entstehung bzw. ihrer Eigenschaften klassifiziert.

Neben der Beschreibung der parasitären Elemente selbst wurden auch die in der Leistungselektronik auftretenden Kopplungseffekte und die Frequenzabhängigkeiten der Elemente diskutiert und auf ihre Relevanz untersucht. Ein Schwerpunkt der Analyse liegt auf der Modellierung von Stromverdrängungseffekten und den dadurch bedingten Auswirkungen auf die wirksame Größe der parasitären Elemente. Es wurde gezeigt, dass die Betrachtung parasitärer Induktivitäten innerhalb der vorgegebenen Frequenzen erforderlich ist, während die transiente Betrachtung parasitärer Widerstände während der Schaltvorgänge eine untergeordnete Rolle spielt.

Außerdem wurde der Begriff der Elektromagnetischen Verträglichkeit erläutert, elektromagnetische Störungen wurden in die Bereiche der leitungsgebundenen und abgestrahlten Störungen untergliedert und weiterhin gemäß ihres Ursprungs klassifiziert. Abschließend wurde auf die im weiteren Verlauf der Arbeit verwendete Messtechnik zur Bestimmung leitungsgebundener Störemissionen eingegangen.

3. Analytische, simulative und messtechnische Methoden zur Bestimmung parasitärer Elemente

3.1 Einführung

Die Bestimmung der parasitären Elemente in leistungselektronischen Systemen stellt trotz moderner Simulations- und Messverfahren auch heute noch eine Herausforderung dar. Um genaue Ergebnisse zu erzielen, ist letzten Endes in vielen Fällen eine Messung am betriebsbereiten oder sogar im Betrieb befindlichen Umrichter erforderlich. Dies bringt einige Einschränkungen mit sich, wie z.B. die erschwerte Erreichbarkeit der Leiterbahnen innerhalb des Umrichters mit Messsonden.

In diesem Kapitel werden die auf die Fragestellungen der Leistungselektronik anwendbaren Verfahren zur Bestimmung parasitärer Elemente dargestellt, bewertet und verglichen. Dabei werden sowohl analytische Ansätze als auch moderne Simulationsmethoden sowie verschiedene Messverfahren betrachtet.

In der Literatur findet man eine Vielzahl analytischer Formeln für spezifische Leitergeometrien, wie Einzelleiter mit rechteckigem Querschnitt oder einfache Busbarverschiebungen z.B. in [21] und [22]. Komplexere Geometrien erfordern hingegen die Verwendung geeigneter Simulationsmethoden oder eine messtechnische Untersuchung direkt an der Hardware. Simulationsmodelle und -methoden werden für einige Spezialfälle, z.B. für Leistungmodule von [23], [24] und [25] oder für Umrichter von [26], [27] vorgestellt.

Einige Messverfahren sind in [28], [29], [30] und [31] dargestellt. Eine ausführliche Beschreibung der theoretischen Grundlagen parasitärer Elemente mit Hilfe eines feldtheoretischen Extraktionsansatzes wurde von [2] geleistet. Über diese Beschreibung hinaus sollen nachfolgend vor allem die praxisrelevanten Faktoren bei der Analyse und Optimierung von parasitären Elementen in einem ganzheitlichen Ansatz verfolgt werden. Hierbei ist der Schwerpunkt auf den Anwendungsfall von Antriebsumrichtern mit niedrigen Zwischenkreisspannungen und hohen Stromtragfähigkeiten gelegt, da die verwendeten Leistungshalbleiter eine geringe Sperrspannung ($U_{BR,DSS} = 30..75V$) und daher kleine Spannungsreserven aufweisen, aber dennoch hohe Ströme in kürzester Zeit schalten müssen. Somit gewinnt die Optimierung vor allem der parasitären Induktivitäten in diesem Zusammenhang eine besondere Bedeutung.

3.2 Vorbemerkung und Begrifflichkeiten

Die Bestimmung parasitärer Elemente ist physikalisch betrachtet nur in geschlossenen Stromkreisen möglich, da offene Stromkreise keine Induktivität aufweisen. Dennoch ist es in manchen Fällen sinnvoll, den Begriff der „partiellen Induktivität“ einzuführen, der die Selbstinduktivität (L_{σ}) eines bestimmten Leiterabschnitts beschreibt.

Zur Bestimmung ihres Wertes wird ein geschlossener Stromkreis spezifiziert, jedoch nur der Anteil des zu untersuchenden Leiterabschnittes an der Gesamtinduktivität betrachtet.

3.3 Analytische Methoden und Ansätze

Bevor Anfang der 1990er Jahre leistungsstarke Computer zur Verfügung standen, die eine numerische Berechnung parasitärer Elemente auf der Grundlage geometrischer Größen und der Materialeigenschaften erlaubten, war man bei der Bestimmung parasitärer Elemente auf analytische Berechnungen angewiesen. Für einfache Geometrien erlauben sie genaue Analysen, während für komplexere Strukturen zumindest näherungsweise Abschätzungen möglich sind. Nachfolgend sollen für Fragestellungen der Leistungselektronik geeignete Methoden zur Bestimmung parasitärer Elemente dargestellt, verglichen und bewertet werden.

3.3.1 Bestimmung parasitärer Widerstände

Die Bestimmung parasitärer Widerstände von Leiterbahnen kann mit geringem Aufwand analytisch erfolgen. Bei Kenntnis der Leitergeometrie und der Materialeigenschaften kann mittels des spezifischen Widerstandes der parasitäre Widerstand (auch „Kupferwiderstand“) berechnet werden. Es gilt im Gleichstromfall mit dem spezifischen Widerstand ρ , der Querschnittsfläche A und der Leiterlänge l der in Gleichung 2.3 dargestellte Zusammenhang.

Für Wechselströme müssen darüber hinaus Stromverdrängungseffekte berücksichtigt werden, siehe Abschnitt 2.5. Auch hier kann in vielen Fällen mit Hilfe einfacher Abschätzungen der Eindringtiefe und Rückrechnung auf den dann effektiv zur Verfügung stehenden Leiterquerschnitt mit geringem Aufwand ein ausreichend genaues Ergebnis erzielt werden, siehe auch Abschnitt 2.5.2.

3.3.2 Bestimmung parasitärer Induktivitäten

Für eine Abschätzung parasitärer Induktivitäten von geraden Leitern mit rundem Querschnitt hat sich in der Literatur ein empirischer Wert von

$$L_{\sigma, \text{Draht}} = 10 \text{ nH/cm} \quad (3.1)$$

etabliert [32]. Für flächige Leiterbahnen, wie sie auf den DCBs von Leistungsmodulen meist vorzufinden sind, muss dieser Wert mit einem passenden Korrekturfaktor angepasst werden, für Leistungsmodule hat sich als empirischer Korrekturfaktor $f_k = 0,5$ bewährt:

$$L_{\sigma, \text{DCB}} = 0,5 \cdot 10 \text{ nH/cm} \quad (3.2)$$

Die exakte analytische Bestimmung parasitärer Induktivitäten ist nur für bestimmte Geometrien mit einfacher Struktur möglich. Für diese wurden aus dem Biot-Savart-Gesetz alltagstaugliche Näherungsformeln abgeleitet, mit denen eine Berechnung mit guter Genauigkeit bei geringem Aufwand möglich ist.

Formeln für unterschiedliche Leiteranordnungen aus unterschiedlichen Quellen sind in Tabelle 3.1 zusammengefasst [21], [22], [33], [34], [35], [36].

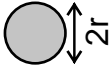
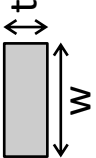
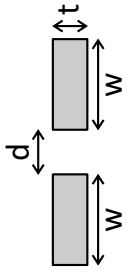
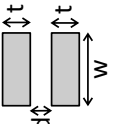
Es werden folgende Variablen verwendet: L_σ : parasitäre Induktivität (in nH), l : Länge des Leiters (in mm), w : Breite des Leiters (in mm), t : Dicke des Leiters (in mm), d : Abstand (in mm), A : Leiterquerschnitt (in mm^2).

Ferner gelten folgende Randbedingungen:

- Quasistationäre Näherung ($\lambda_{EM} \gg$ Leiterlänge)
- Betrachtung nur für tiefe Frequenzen, keine Stromverdrängung ($f < 100$ Hz)
- Leiter haben eine Geometrie mit $l > w > t$
- Kopplungen werden nur bei parallel verlaufenden Leitern berücksichtigt
- Parallele Leiter haben die gleiche geometrische Struktur
- Der Abstand d ist die Entfernung der Leitermittelpunkte

Als abschätzender Richtwert kann man von ungekoppelten Leitern ausgehen, wenn der Abstand d zwischen den Leitern größer ist als die Länge l . In diesem Fall ist die Kopplung k größenordnungsmäßig im Bereich von weniger als 10% [37].

Die aufgestellten Formeln werden anhand einfacher Leiterstrukturen im Kapitel 3.4.4 verglichen und bewertet. Zusätzlich wird im Rahmen dieser Arbeit ein neuer Ansatz zur Berechnung parasitärer Induktivitäten entwickelt. Dieser Formelsatz basiert auf numerisch gewonnenen Daten und wird hinsichtlich seiner Anwendbarkeit und Genauigkeit den bekannten Methoden vergleichend gegenübergestellt.

 $L_{\sigma,i} = \frac{\mu_0 l}{8000\pi}$ $L_{\sigma,a} = \frac{\mu_0 l}{1000\pi} \cdot \ln\left(\frac{d-r}{r}\right)$ $L_{\sigma} = 1 \frac{nH}{mm}$	<p>(innere Indukt.), [36] (äußere Indukt.), [36] [empirischer Wert]</p>	
	<p>[21] [22] [empirischer Wert]</p>	
	$L_{\sigma} = \frac{\mu_0 \mu_r l}{\pi} \left[\frac{\pi(d-w)}{w+t} + 1 \right] \cdot 10^6$ $L_{\sigma} = 0,4l \left(\ln \frac{2l}{w+t} + \frac{3}{2} + \frac{0,2235(w+t)}{l} - \ln \frac{2l}{d} + \frac{d}{l} \right)$ $L_{\sigma} = \frac{\mu_0 l}{2\pi} \ln \left(\frac{(1-\frac{\pi}{2})w+t+\pi d}{(1+\frac{\pi}{2})w+t} \right) \cdot 10^6$	<p>[33] [22] [34]</p>
	$L_{\sigma} = \frac{\mu_0 l d}{1000w}$ $L_{\sigma} = 4l \left(\frac{d^2}{w^2} \ln d + \frac{1}{2} \left(1 - \frac{d^2}{w^2} \right) \ln(w^2 + d^2) + 2 \frac{d}{w} \tan^{-1} \left(\frac{w}{d} \right) - \ln w \right)$ $L_{\sigma} = \frac{\mu l}{2\pi} l \left[\ln \frac{d}{w+t} + 1,5 + (\ln k - \ln e) \right]^*$	<p>[35] [22] [21]</p>

*Anmerkung: $(\ln k - \ln e)$ ist ein tabellarisch angegebener Korrekturterm, zu entnehmen aus [21]

Tab. 3.1: Formeln zur Abschätzung parasitärer Induktivitäten aus der Literatur

3.4 Deduktion semi-analytischer Formeln zur Verbesserung der Abschätzungsgenauigkeit

Die im vorangegangenen Abschnitt dargestellten Berechnungsansätze nach [21], [22], [33], [34] und [35] ermöglichen eine grobe Abschätzung der parasitären Induktivitäten für einfache geometrische Leiterbahnen. In der Praxis zeigt sich jedoch, dass die Genauigkeit dieser Methoden in vielen Fällen selbst für einfache Abschätzungen unzureichend ist.

Ihren Ursprung haben die genannten Ansätze in einer Reduktion komplexer analytischer Formeln, die für allgemeine Leitergeometrien gelten. Daher werden spezielle modulspezifische Randbedingungen wie Kopplungen gegen die Rückseitenmetallisierung, Stromverdrängungseffekten bei hohen Frequenzen und die Tatsache, dass in Modulen im Gegensatz zu gewöhnlichen Leitern im Allgemeinen gilt $t \ll w$, nicht berücksichtigt. Aus diesem Grund ist die Genauigkeit dieser Methoden in den meisten Fällen für die Berechnung der parasitären Induktivitäten von Leistungsmodulen als unzureichend einzustufen.

Um die Genauigkeit erster Induktivitätsabschätzungen speziell in Leistungsmodulen zu verbessern, wurden im Rahmen dieser Arbeit Berechnungsansätze erarbeitet, die den speziellen Randbedingungen von Leistungsmodulen Rechnung tragen und daher mit einer verbesserten Genauigkeit aufwarten können.

Der hierzu gewählte Ansatz verfolgt eine semi-analytische Herangehensweise, bei der zunächst mittels numerischer Methoden (PEEC-Simulationen) die parasitären Induktivitäten für eine Vielzahl unterschiedlicher Leitergeometrien innerhalb von Modulen berechnet und anschließend mittels mathematischer Regression durch ein Curve-fitting-Verfahren zur Ableitung von Gleichungen verwendet werden, die diese parasitären Induktivitäten in Modulen mit verbesserter Genauigkeit beschreiben können. Nachfolgend werden diese Gleichungen aufgestellt und mit den oben genannten Abschätzungen hinsichtlich der erzielbaren Genauigkeit verglichen.

3.4.1 Berechnungsansätze zur Bestimmung parasitärer Induktivitäten in Leistungsmodulen

Die mit Hilfe von numerischen Berechnungen (PEEC-Simulationen) bestimmten parasitäre Elemente bestimmter geometrischer Leiterstrukturen wurden mit Hilfe mathematischer Regressionsverfahren mit linearen, polynomischen, exponentiellen und logarithmischen Bestandteilen gefittet und dadurch in eine analytisch beschreibbare Form überführt, so dass eine universelle Anwendbarkeit und Möglichkeit zur Verallgemeinerung geschaffen wird. Hierbei wurde den speziellen Randbedingungen innerhalb von Leistungsmodulen Rechnung getragen, im Detail wurden zusätzlich zu den oben genannten Bedingungen folgende Randbedingungen vorgegeben und sind bei der Anwendung einzuhalten:

- Abbildung modultypischer Abmessungen und Strukturen

- Abmessungen der Leiter: $l \cong w, t \ll w$
- Stromverdrängungseffekte werden berücksichtigt, Standard: $f = 3,5 \text{ MHz}$ ($t_{fi} = 150 \text{ ns}$)
- Rückseitenmetallisierung (Wirbelstrominduktion) wird berücksichtigt

Das Ziel bei der Aufstellung dieser Gleichungen ist die Erhöhung der Abschätzgenauigkeit im Vergleich zu den rein analytisch entwickelten Ansätzen. Somit soll eine schnelle Abschätzung ausreichender Genauigkeit auch ohne den Einsatz von Simulationswerkzeugen ermöglicht werden. Die Form der Gleichungen ist bewusst so gewählt worden, dass statt der Si-Einheiten modultypische Einheiten (Abmessungen in mm, Induktivitäten in nH) verwendet werden können. Dies erspart eine Umrechnung der Einheiten und erleichtert für erste Abschätzungen die Anwendung.

3.4.1.1 Induktivität von Bonddrähten

Zur Abschätzung der Induktivität von Bonddrahtverbindungen sollen die Länge der Bondverbindung und die Anzahl paralleler Drähte berücksichtigt werden. Die Berechnungen sind gültig für eine Frequenz von 3,5 MHz, die einer Schaltzeit von 150 ns entspricht, und für 400 μm dicke Drähte mit einem Abstand von 0,8 mm, was als modultypischer Wert betrachtet werden kann. Für die parasitäre Induktivität von n parallel verlaufenden 400 μm Bonddrähten mit Länge l zwischen den Fußpunkten werden die Ergebnisse der PEEC-Simulation in guter Näherung approximiert durch:

$$L_{\sigma, \text{Bond}} = 6l^2 \cdot 10^{-3} + \frac{0,9l}{n^{0,4}} - 0,7 \quad (3.3)$$

3.4.1.2 Induktivität von Kupferleiterbahnen

Zur Abschätzung der Induktivität von Kupferleiterbahnen auf dem DCB-Substrat sollen ihre Länge und Breite berücksichtigt werden. Die Dicke der Leiterbahn ist hier auf den weit verbreiteten Wert von 300 μm festgesetzt, als Frequenz wurde auch hier $f = 3,5 \text{ MHz}$ gewählt. Es wird eine 300 μm dicke Rückseitenmetallisierung in einem Abstand von 380 μm berücksichtigt. Für die parasitäre Induktivität einer Kupferleiterbahn in einem Modul mit Länge l und Breite w werden die Ergebnisse der PEEC-Simulation in guter Näherung approximiert durch:

$$L_{\sigma, \text{Cu}} = 3l^2 \cdot 10^{-3} - (0,165 \ln(w) - 0,74)l - 0,05w \quad (3.4)$$

3.4.1.3 Induktivität gekoppelter Leiterbahnen

Zur Abschätzung der Induktivität zweier induktiv gekoppelten Kupferleiterbahnen soll hier keine direkte Berechnung des Induktivitätswertes erfolgen, sondern der Koppelfaktor k selbst soll

bestimmt werden, sodass mit Gleichung 3.4 und dem Zusammenhang

$$L_{ges} = 2L_{\sigma,Cu} - 2M = 2(L_{\sigma,Cu} - L_{\sigma,Cu}k_{n/p}) = 2L_{\sigma,Cu} \cdot (1 - k_{n/p}) \quad (3.5)$$

die resultierende Gesamtinduktivität L_{ges} berechnet werden kann. Je nach Orientierung der Leiter muss hier der Koppelfaktor k_n (seitlich nebeneinander) oder k_p (flächenparallel) verwendet werden.

Für den Kopplungsfaktor k zweier im Abstand d seitenparalleler Leiterbahnen (nebeneinander auf dem DCB) mit antiparallelem Stromfluss werden die Ergebnisse der PEEC-Simulation in guter Näherung approximiert durch:

$$k_n = -0,09 \ln(d) + 0,44 \quad (3.6)$$

Für den Kopplungsfaktor k zweier im Abstand d flächenparalleler Leiterbahnen (Busbarstruktur) mit antiparallelem Stromfluss werden die Ergebnisse der PEEC-Simulation in guter Näherung approximiert durch:

$$k_p = -0,2 \ln(d) + 0,83 \quad (3.7)$$

3.4.2 Bewertung der abgeleiteten Berechnungsansätze

Zum Vergleich der Berechnungsansätze und zur Abschätzung der Genauigkeit werden nachfolgend einige beispielhafte Geometrien variabler Leiterlänge berechnet: Einzelne (Abb. 3.1) und parallel verlaufende Bonddrähte (Abb. 3.2); ein Einzelleiter mit einer Breite von 10 mm und einer Dicke von 300 μm (Abb. 3.3); sowie antiparallele Leiterpaare (Abb. 3.4). Die genannten Geometrien können als typische Strukturen in einem Leistungsmodul betrachtet werden.

Die Gegenüberstellung der Berechnungsergebnisse zeigt, dass insbesondere die Berechnung der parasitären Induktivität von Bonddrähten je nach verwendeter Methode zu verschiedenen Resultaten führt. Die vorgeschlagene Abschätzungsformel bildet den mit Hilfe der PEEC Simulation berechneten Wert am besten ab. Die empirische Formel bildet das Ergebnis nach der Abschätzung von Gleichung 3.1 bzw. 3.2 ab.

Bei der Untersuchung der parasitären Induktivität einer oder mehrerer Kupferleiterbahnen bilden die verglichenen Ansätze die Werte der PEEC Simulation gut ab, auch hier liefert die aufgestellte Abschätzungsformel eine für die meisten Fragestellungen akzeptable Genauigkeit.

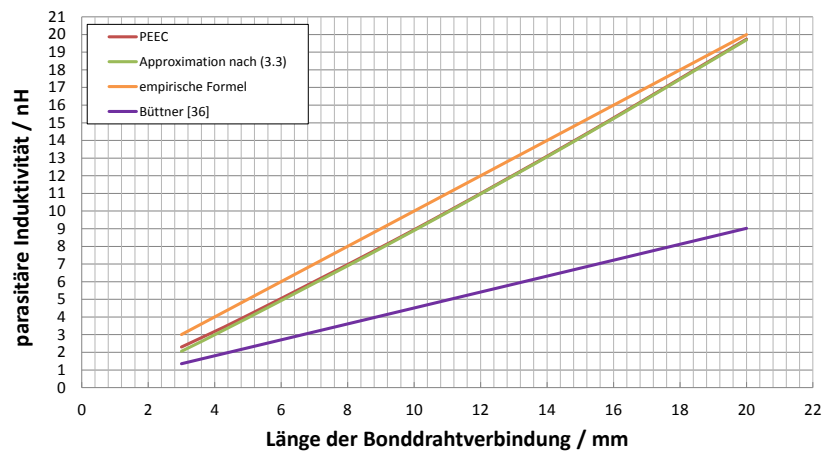


Abb. 3.1: Berechnete parasitäre Induktivität eines einzelnen Bonddrahtes; Durchmesser $2r = 400 \mu m$, $f = 3,5 \text{ MHz}$

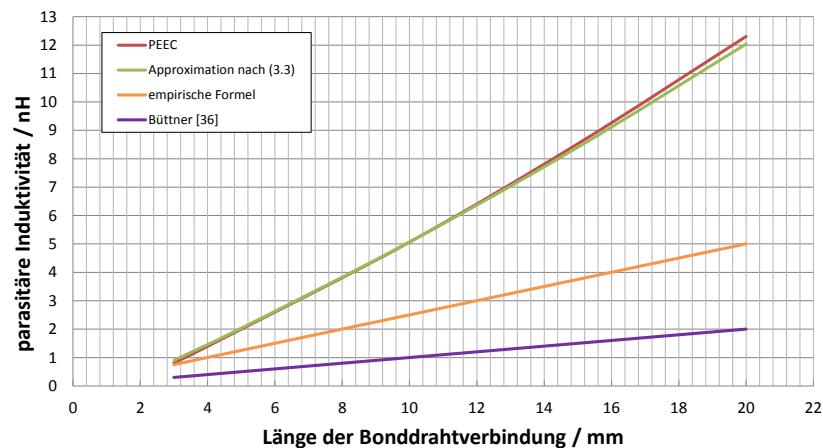


Abb. 3.2: Berechnete parasitäre Induktivität vierer paralleler Bonddrähte bei symmetrischem und gleichgerichtetem Stromfluss; Durchmesser $2r = 400 \mu m$, Bondfußabstand $d = 0,8 \text{ mm}$, $f = 3,5 \text{ MHz}$

3.4.3 Bestimmung parasitärer Kapazitäten

Auch die Bestimmung parasitärer Kapazitäten kann mit analytischen Formeln näherungsweise erfolgen, so lange die zu untersuchende Struktur keine zu große Komplexität aufweist. Generell kann nahezu jede Leitergeometrie in Leiterpaare aufgeteilt werden, für die sich die Näherung nach der Formel für den Plattenkondensator eignet [24]:

$$C = \epsilon_0 \cdot \epsilon_r \cdot \frac{A}{d} \quad (3.8)$$

Die innerhalb von Leistungsmodulen, Busbarverschiebungen oder auch Leiterplatten verwendeten Isolatoren (meist Keramiken oder Kunststoffe) besitzen unterschiedliche Dielektrizitäts-

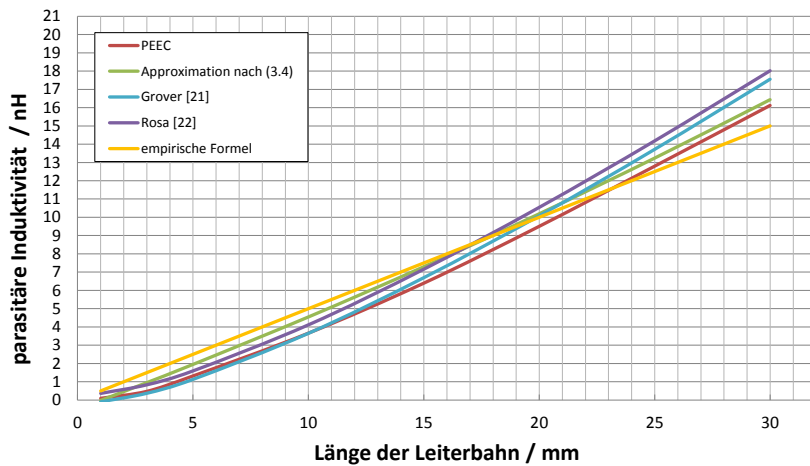


Abb. 3.3: Berechnete parasitäre Induktivität einer Kupferbahn mit Breite $w = 5 \text{ mm}$, Dicke $t = 300 \mu\text{m}$, $f = 3,5 \text{ MHz}$

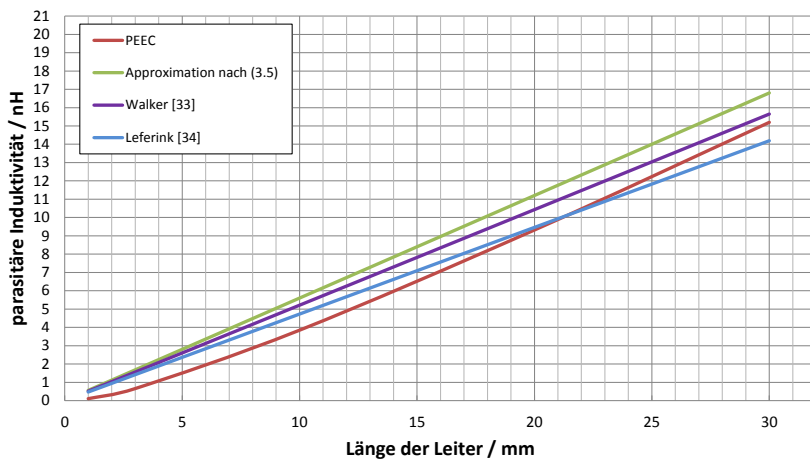


Abb. 3.4: Berechnete parasitäre Induktivität zweier paralleler Leiter auf einem DCB bei antiparallelem Stromfluss; Leiterbreite $w = 5 \text{ mm}$, Dicke $t = 300 \mu\text{m}$, Leiterabstand $d = 1 \text{ mm}$, $f = 3,5 \text{ MHz}$

konstanten. Für die am häufigsten verwendeten Materialien sind die Dielektrizitätskonstanten angegeben und die resultierende Kapazität berechnet worden und in Tabelle 3.2 dargestellt [3]. Zur Berechnung der Kapazität wird die Fläche parallel liegender Potentialflächen bestimmt, der Abstand und das Dielektrikum werden berücksichtigt. Im Falle von Leistungsmodulen ist diese Näherung hinreichend genau. Da die parasitären Kapazitäten nur bei zeitlich veränderlichem Potential Effekte verursachen, sind insbesondere die Phasenanschlüsse eines Leistungsmoduls zu untersuchen, während die DC Anschlüsse (zusätzlich gestützt durch Zwischenkreiskondensatoren) meist nur geringe Spannungsschwankungen aufweisen. Der Abstand der Potentialflächen beträgt bei gewöhnlichen DCB etwa $300 - 700 \mu\text{m}$.

		Al_2O_3	AlN
Wärmeleitfähigkeit	λ	24 W/mK	180 W/mK
Durchschlagsfestigkeit	E_{max}	> 14 kV/mm	> 20 kV/mm
Widerstand	R	> $10^{14} \Omega\text{cm}$	> $10^{12} \Omega\text{cm}$
Permittivität	ϵ_r	9,5 (@RT, 1 MHz)	9 (@RT, 1 MHz)
Standarddicke	t	380 μm / 630 μm	630 μm
Kapazität	C	22 / 13 pF/cm ²	13 pF/cm ²

Tab. 3.2: Isolationsmaterialien für DCBs oder Busbars, Daten aus [38]

3.4.4 Vergleich und Bewertung der analytischen Methoden

Um eine Vergleichbarkeit der vorgestellten analytischen Methoden zu ermöglichen und ihre Eignung für die Bestimmung parasitärer Elemente innerhalb von Modulen zu analysieren, wurden drei einfache Geometrien mit Hilfe der in Tabelle 3.1 angegebenen Formeln berechnet und mit den Ergebnissen aus einer PEEC Simulation verglichen. Alle Berechnungen werden unter der Annahme einer 300 μm dicken Kupferleiterbahn und für den DC-Fall ($f = 0 \text{ Hz}$) berechnet. Die Balkendiagramme (Abb. 3.5 bis 3.7) und die nachfolgende Tabelle 3.3 stellen die Ergebnisse gegenüber. Einige Formeln erlauben nicht die Berechnung aller Geometrien, daher sind die Ergebnisse in diesen Fällen nicht angegeben.

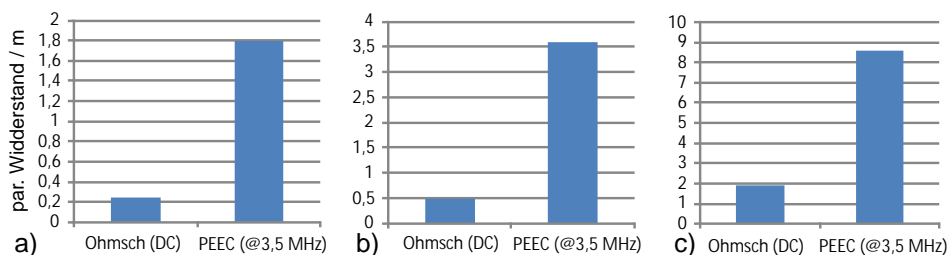


Abb. 3.5: Berechneter parasitärer Widerstand für Einzelleiter (a), Leiterpaar (b), und Halbbrücke im Modulaufbau (c); Tab. 3.3 zeigt die Leitergeometrien für a), b) und c) in der Übersicht, Leiterdicke 300 μm

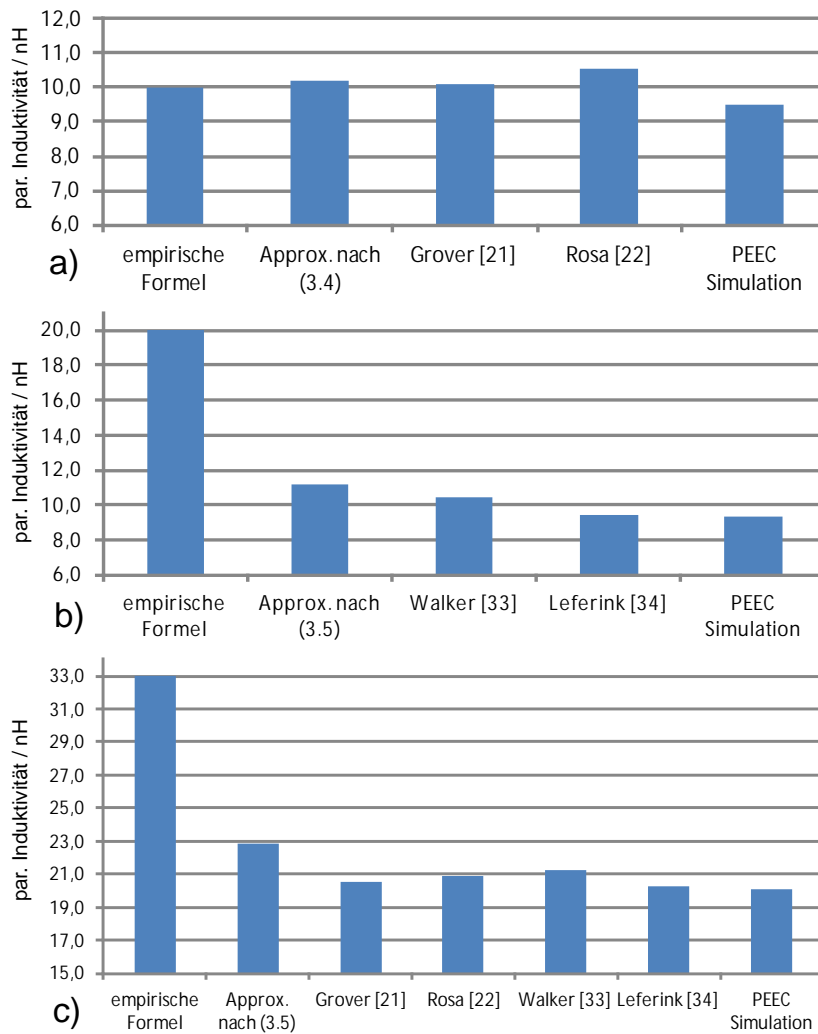


Abb. 3.6: Berechnete parasitäre Induktivität für Einzelleiter (a), Leiterpaar (b), und Halbbrücke im Modulaufbau (c); Tab. 3.3 zeigt die Leitergeometrien in der Übersicht, Leiterdicke $300 \mu\text{m}$

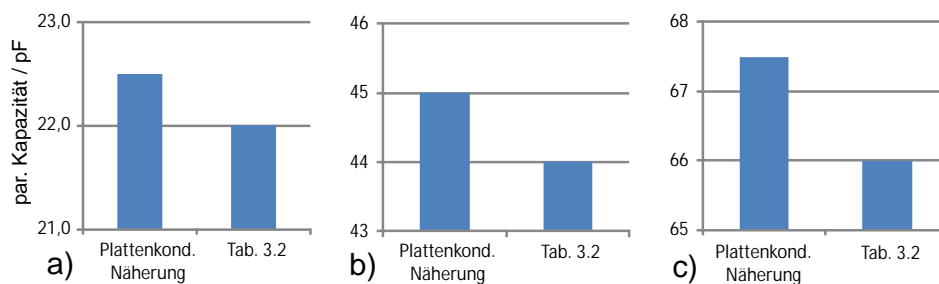
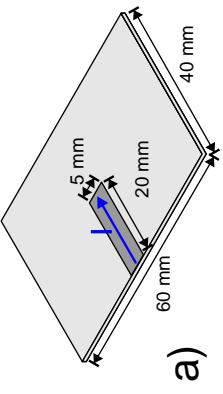
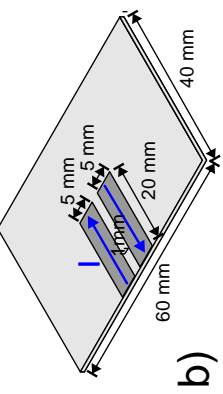
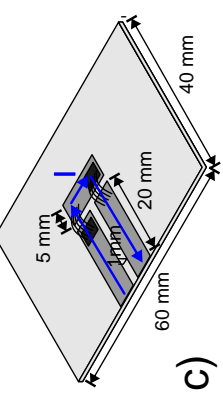


Abb. 3.7: Berechnete parasitäre Kapazitäten für Einzelleiter (a), Leiterpaar (b), und Halbbrücke im Modulaufbau (c); Tab. 3.3 zeigt die Leitergeometrien in der Übersicht, Leiterdicke $300 \mu\text{m}$

				
	Berechnungsgrundlage	a)	b)	c)
R	aus spez. Widerstand PEEC (@3,5 MHz)	0,24 mΩ 1,8 mΩ	0,48 mΩ 3,6 mΩ	1,92 mΩ 8,6 mΩ
L	empirische Formel Rosa [22] Grover [21] Approximation (3.3, 3.4, 3.5) Walker [33] Lefrink 1 [34] Lefrink 2 [34] PEEC (@3,5 MHz)	10 nH 10,5 nH 10,1 nH 10,2 nH 9,5 nH 9,5 nH 9,5 nH 9,5 nH	20 nH 9,3 nH 9,3 nH 11,2 nH 10,4 nH 9,5 nH 10,6 nH 9,3 nH	33 nH 20,9 nH 20,6 nH 22,8 nH 21,2 nH 20,3 nH 21,4 nH 20,1 nH
C	Plattenkond.-Näherung Näherung nach Tab. 3.2	22,5 pF 22 pF	45 pF 44 pF	68 pF 66 pF

Tab. 3.3: Vergleich der mit Hilfe der analytischen Formeln bestimmten parasitären Elemente; einige Werte lassen sich mit den jeweiligen Methoden nicht ermitteln, für die Berechnung der Strukturen in (c) wurde dann der entsprechende PEEC Wert verwendet (graue Ziffern); Leiterdicke 300μm, Substratdicke 380μm

3.5 Simulationsmethoden für parasitäre Elemente

Die simulationsgestützte Analyse parasitärer Elemente ist seit der Verfügbarkeit ausreichend leistungsfähiger Computer zu Beginn der neunziger Jahre etabliert.

Die Entwicklung von Lösungsalgorithmen (engl. *solvern*) wie der Finite-Elemente-Methode (FEM), der „Momenten Methode“ [39] oder der „Partial element equivalent circuit“-Methode (PEEC) und ihre Anwendung durch moderne Simulationssoftware wie Inca3d (1994) [40], [41] oder Fasthenry (2000) [42] erleichterte die genaue Analyse parasitärer Elemente in leistungselektronischen Schaltungen.

Heute haben sich zur Simulation der parasitären Elemente leistungselektronischer Systeme die FEM Methode [1], [29], [43] und vor allem die PEEC Methode [25],[27], [44], [45] durchgesetzt. Letztere wurde im Rahmen dieser Arbeit für die Mehrzahl der Simulationsaufgaben verwendet und wird daher nachfolgend genauer erläutert, während die Verfahren der FEM Methode hier nur grob skizziert werden.

3.5.1 Die finite Elemente Methode

Die finite Elemente Methode (FEM) wurde in den 60er Jahren von Professor Argyris (Universität Stuttgart) und unabhängig von Professor Clough (Universität Berkeley, Kalifornien) erfunden. Zunächst im Tragflächen- und Fahrzeugbau für komplexe Rechnungen eingesetzt, hat sich die FE-Methode heute zur Berechnung elektromagnetischer Felder nicht nur bei leistungselektronischen Strukturen bewährt.

Im ersten Schritt findet die Modellierung des zu untersuchenden Problems statt. Die Geometrie des realen Bauteils wird idealisiert und in ein Simulationsmodell überführt. Dieses wird durch ein Netz (engl. *mesh*) aus tetraedrisch geformten Körpern, den finiten Elementen, nachgebildet. Nach der Definition der vorherrschenden Randbedingungen und der dem Problem zugrundeliegenden physikalischen Differentialgleichungen werden diese partiell für jeden Knotenpunkt der Tetraeder berechnet und in Form eines linearisierten Gleichungssystems gelöst [46].

Ein Nachteil dieses Verfahrens ist, dass dieses Netz bei kleineren Strukturen sehr fein sein muss und dass es auch auf alle nichtleitenden Strukturen, wie Kunststoffgehäuse oder den leeren Raum um das zu untersuchende Modell, angewendet werden muss. Dies erfordert eine hohe Rechenleistung und ist zeitaufwändig [25]. Zur iterativen Optimierung ist die FE-Methode daher nur bedingt geeignet, da die notwendigen Iterationen viel Zeit und Rechenleistung in Anspruch nehmen.

Die FE-Methode ist hingegen gut geeignet für Untersuchungen von Feldern und von thermischen Prozessen, sowie für die meisten Prozesse mit einer hohen zeitlichen Dynamik.

3.5.2 Die PEEC-Methode

Die ersten Ansätze für eine computergestützte Modellierung physikalischer Systeme zur Berechnung von äquivalenten elektrischen Ersatzschaltbildern mit Hilfe der „Partial Element Equivalent Circuit Method“ (PEEC-Methode) wurde in den 1970er Jahren von A. E. Ruehli erprobt [47].

Ursprünglich wurde diese Methode für Simulationen im Bereich der Mikroelektronik (digitale logic ICs) [48] oder in Hochfrequenz und Signal ICs erdacht [49]. Da sich viele der in diesen Bereichen untersuchten Fragestellungen hinsichtlich parasitärer Elemente und ihrer Einflüsse auf das Verhalten einer Schaltung auf leistungselektronische Baugruppen übertragen lassen, wurde die Methode schon früh erfolgreich in diesem Bereich eingesetzt [47], [50].

Die PEEC-Methode beschreibt eine Leitergeometrie mit Hilfe integraler Gleichungen, die als diskrete Schaltkreiselemente interpretiert werden können.

Das Ziel ist die Bestimmung der Gesamtimpedanz einer Struktur, indem sie in mehrere Unterstrukturen zerlegt wird, deren einzelne Impedanzen leichter berechnet werden können.

Als Beispiel sei an dieser Stelle der Fall einer Leiterschleife angenommen. Zur Bestimmung der Induktivität betrachtet man die vom Strom I erzeugte magnetische Induktion \vec{B} . Bei einer Schleifenfläche A und dem magnetischen Fluss Ψ ergibt sich für die Induktivität:

$$L = \frac{\Psi}{I} = \frac{1}{I} \int_A \vec{B} \cdot d\vec{A}. \quad (3.9)$$

Führt man das magnetische Vektorpotential \vec{A}_p ein, dann kann die Induktion wegen der Quellfreiheit des Magnetfeldes als Rotation des Vektorpotentials dargestellt werden mit

$$\vec{B} = \text{rot } \vec{A}_p. \quad (3.10)$$

Bei Annahme einer einfachen rechteckigen Kontur (Abb. 3.8) kann nun mittels des Integralsatzes von Stokes das Linienintegral über das Vektorpotential aus der Summe der Einzelintegrale berechnet werden:

$$L = \frac{1}{I} \oint_S \vec{A}_p \cdot d\vec{l} = \frac{1}{I} \left(\oint_{S_1} \vec{A}_p \cdot d\vec{l} + \oint_{S_2} \vec{A}_p \cdot d\vec{l} + \oint_{S_3} \vec{A}_p \cdot d\vec{l} + \oint_{S_4} \vec{A}_p \cdot d\vec{l} \right). \quad (3.11)$$

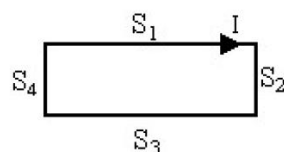


Abb. 3.8: Rechteckige Leiterschleife mit Segmenten S1 bis S4 und Strom I

Auch das Vektorpotential kann aus der Summe der Elemente der rechteckigen Schleife dargestellt werden:

$$\vec{A}_p = \vec{A}_{pS1} + \vec{A}_{pS2} + \vec{A}_{pS3} + \vec{A}_{pS4}. \quad (3.12)$$

So kann schließlich die Induktivität der gesamten Schleife als Zweifachsumme ausgedrückt werden:

$$L = \frac{1}{I} \sum_{m=1}^4 \sum_{n=1}^4 \int_{S_m} \vec{A}_{pS_n} \vec{dl}. \quad (3.13)$$

Die partielle Induktivität ist dann definiert als

$$X_{Pm,n} = \frac{1}{I} \int_{S_m} \vec{A}_{pS_n} \vec{dl}, \quad (3.14)$$

wobei folgende Fälle unterschieden werden können:

1. für $m = n$ ist $X_{Pm,n} = L_p$, also die partielle Selbstinduktivität
2. für $m \neq n$ ist $X_{Pm,n} = M_p$, also die partielle Gegeninduktivität

Die Bestimmung der Schleifeninduktivitäten aus der Verkopplung der partiellen Induktivitäten ist somit direkt möglich (was für die umgekehrte Reihenfolge nicht gilt). Die PEEC Methode kann dabei direkt in numerische Algorithmen übertragen werden, die eine Berechnung auch komplizierterer Geometrien erlauben.

Der Ablauf dieser Algorithmen ist in Abbildung 3.9 dargestellt. Zunächst werden mittels eines CAD-Hilfsprogramms die geometrischen Daten der zu untersuchenden Leiteranordnung geometrisch parametrisiert. Dabei müssen zusätzlich die Verbindungspunkte oder -flächen zwischen den Leitern definiert werden, damit Equipotentialflächen festgelegt sind, die später zur Reduzierung des Ersatzschaltbildes erforderlich sind.

Die Leiter werden in Schritt 1 der Modellierung in eindimensionale Strukturen überführt indem ein dreidimensionales Gitter durch die Struktur gezogen wird (meshing), das den Leiter in Einzelelemente unterteilt. Die Größe der Gitterelemente ist dabei nicht einheitlich, sondern orientiert sich an der für die Simulation in Abhängigkeit von den Randbedingungen der Anwendung definierten Frequenz, um die auftretenden Stromverdrängungseffekte hinreichend genau abbilden zu können. Abbildung 3.10 zeigt exemplarisch drei Beispiele für geeignete Zerlegungen für verschiedene betrachtete Frequenzen. Es wird jedem eindimensionalen Element ein elektrisches Parameterpaar zugeordnet, bestehend aus parasitärem Widerstand und parasitärer Induktivität (R_σ , L_σ und $M_{i,j}$), das mit den jeweiligen Elementen der benachbarten Leiter gekoppelt ist. Im zweiten Schritt erfolgt die rechenintensive Bestimmung der partiellen Widerstände (R_σ), Selbstinduktivitäten (L_σ) sowie Koppelinduktivitäten ($M_{i,j}$). Diese findet zunächst frequenzunabhängig statt. Im dritten Rechenschritt wird das erhaltene Ersatzschaltbild durch Parallel- oder Serienschaltung der erhaltenen Elemente vereinfacht und dann erst werden die resultierenden Widerstände und Induktivitäten in Abhängigkeit von der Frequenz f berechnet. Aus diesen Ergebnissen lässt sich außerdem die resultierende Stromverteilung ermitteln, die

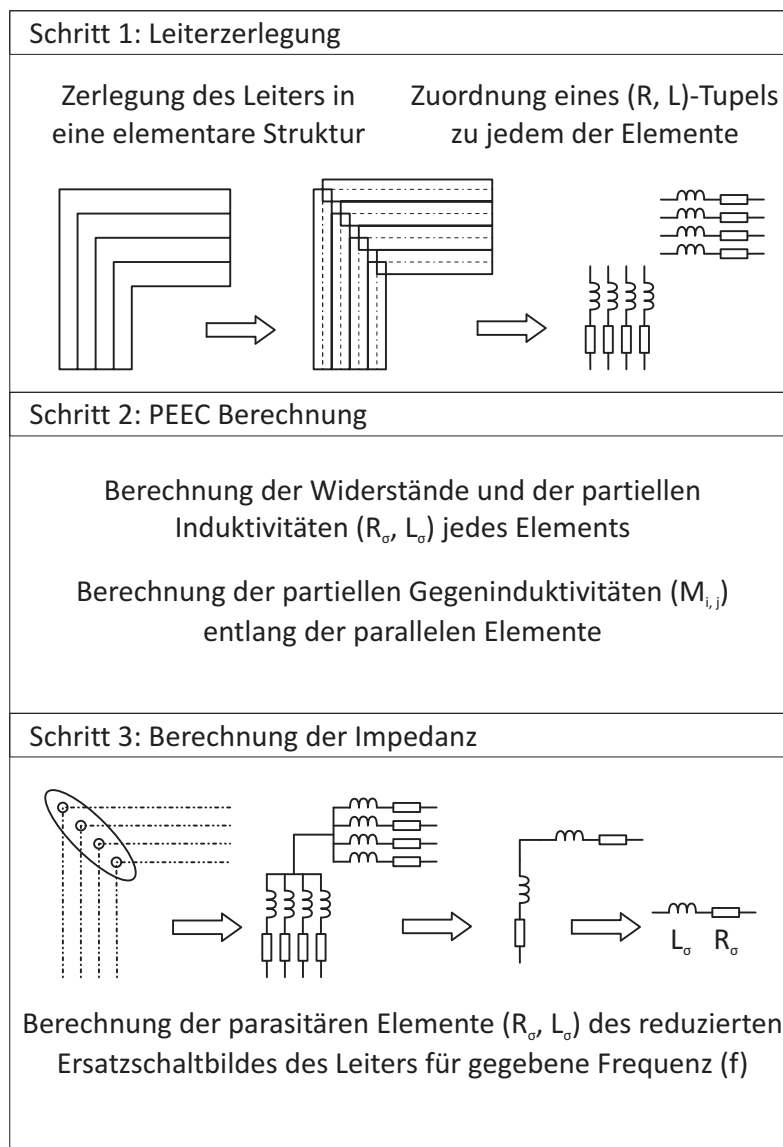


Abb. 3.9: Flussdiagramm der PEEC Methode

dann auch physikalische Einflussgrößen wie den Skin- und den Proximityeffekt beinhaltet. Ein großer Vorteil dieser Methode ist der geringe Zeitbedarf für die Durchführung dieser Berechnungen, weil durch die analytischen Solver langwierige Iterationen und Konvergenzprobleme vermieden werden.

Besonders in der Leistungselektronik ist dieses Verfahren geeignet, denn die inhomogene Stromverteilung innerhalb der Leiter während der Schaltprozesse kann berücksichtigt werden. Weitere Ergebnisse, die sich aus der PEEC-Analyse ableiten lassen, sind die Stromverteilung innerhalb der Leiter und die daraus resultierenden Nahfelder, die gemäß des Biot-Savart'schen Gesetzes berechnet und dargestellt werden können [51]. Alternativ lassen sich die gewonnenen Ersatzschaltbilder in einen Schaltungssimulator übertragen und dann schaltungstechnisch analysieren. Heute wird die PEEC Methode von Programmen wie Fasthenry [42] und InCa3d [41] genutzt.

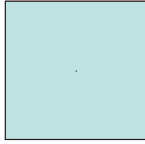
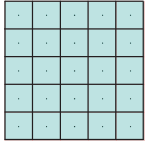
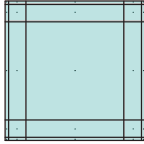



100 Hz	10 kHz	1 MHz
		
		
R = 0,19 mΩ	R = 0,30 mΩ	R = 2,92 mΩ
L = 80 nH	L = 79 nH	L = 75 nH

Abb. 3.10: Automatisierte Wahl einer geeigneten Zerlegung eines Leiters für unterschiedliche Frequenzen (PEEC Methode), Darstellung im Querschnitt, $A = 9 \text{ mm}^2$, $l = 100 \text{ mm}$: Zerlegung in partielle Elemente (oben), Stromdichteverteilung (unten), sowie frequenzabhängige Werte für Widerstand und Induktivität

3.5.3 Randbedingungen der PEEC-Methode

Für die Durchführung von Simulationen mit Hilfe der PEEC-Methode sind, wie aus dem vorigen Abschnitt hervorgeht, im wesentlichen drei Randbedingungen von Bedeutung:

- Die geometrische Struktur der Leiter und ihre Anordnung relativ zueinander ist der wichtigste Parameter, da er die Grundlage für die Zerlegung in partielle Elemente während des „meshings“ bildet.
- Die Frequenz des Stromes ist maßgeblich für die Impedanz der Leiteranordnung verantwortlich. Für Frequenzen oberhalb von einigen kHz resultieren Stromverdrängungseffekte, die sich auf die Stromdichteverteilung auswirken (vergl. Abschnitt 2.5.2). Die PEEC Methode berücksichtigt diese Effekte bei der Berechnung in Schritt 3 und benötigt daher als weitere Randbedingung die Angabe der äquivalenten Frequenz der Stromanstiegszeiten (vgl. Abschnitt 2.5.1).
- Die Materialeigenschaften der Leiter bestimmen ihre spezifischen Parameter, wie den Widerstand oder die magnetische Permeabilität. Auch benachbarte magnetische Materialien müssen bei der Modellierung berücksichtigt werden, sind aber innerhalb von Leistungshalbleitermodulen oder in Umrichterleistungsteilen nur selten zu finden.

3.5.4 Vergleich und Bewertung der PEEC- und der FE-Methode

Im Zuge dieser Arbeit wurden unterschiedliche Simulationswerkzeuge getestet und hinsichtlich ihrer Eignung für die Modellierung und Optimierung von parasitären Elementen im Leistungsteil eines Umrichters verglichen.

Zu den Grundvoraussetzungen für eine effiziente Nutzung der Software für Optimierungszwecke zählen:

- schnelle Durchführung der Simulation, um iterative Optimierungen mit vertretbarem Zeitaufwand zu ermöglichen,
- einfache Änderbarkeit von Parametern und geometrischen Eigenschaften des Modells,
- ausreichend hohe Genauigkeit.

Bei der numerischen Berechnung von parasitären Induktivitäten hat sich die PEEC-Methode durch die Erfüllung der genannten Punkte als besonders effizientes und genaues Simulationsverfahren herausgestellt [52]. Im Gegensatz zur differentiellen FEM-Simulation bietet der integrale Ansatz der PEEC-Methode den Vorteil, dass nur leitfähige Materialien modelliert werden müssen, nicht aber der den Leiter umgebende Raum [23].

Insbesondere bei Modellen, deren Volumen zu einem großen Teil aus Luft oder nicht leitfähigen Materialien besteht, wie bei Zwischenkreisverschaltungen, DCBs in Leistungsmodulen oder PCBs, ist dadurch eine deutliche Reduzierung der benötigten Rechenleistung und damit der Simulationsdauer möglich [25].

3.6 Verfahren zur Messung parasitärer Elemente

Verschiedene Verfahren eignen sich zur messtechnischen Bestimmung parasitärer Elemente, die sich im Durchführungsaufwand und der erzielbaren Genauigkeit unterscheiden. Ein passendes Verfahren kann unter Berücksichtigung des elektrischen und mechanischen Aufbaus und der benötigten Genauigkeit ausgewählt werden.

Die Verfahren lassen sich in den Bereich der Kleinsignalverfahren, die im Labor an Teilkomponenten des Umrichters durchgeführt und in in situ-Messungen am betriebsbereiten oder am im Betrieb befindlichen Umrichter unterteilt werden. Letztere Verfahren sollen nachfolgend unter dem Begriff „Systemmessungen“ zusammengefasst werden, da sie Aussagen über die tatsächlich relevanten parasitären Induktivitäten des Gesamtsystems erlauben. Tabelle 3.4 gibt eine Übersicht der für die Untersuchung leistungselektronischer Systeme geeigneten Verfahren, die im folgenden näher betrachtet werden.

3.6.1 Messung parasitärer Widerstände

Die messtechnische Bestimmung des Widerstandes erfolgt im Labor am einfachsten und mit hoher Genauigkeit durch das Einprägen eines konstanten Gleichstromes und Messung des Spannungsabfalles über dem zu analysierenden Leiterabschnitt. Um bei temperaturabhängigen Widerständen die Genauigkeit der Messungen nicht durch Verlustwärme zu beeinflussen, sollten anstelle eines kontinuierlichen Gleichstroms kurze DC-Strompulse verwendet werden.

3.6.2 Messung parasitärer Induktivitäten

Messmethode	Messverfahren	Literatur
Kleinsignalverfahren	LCR-Meter	[28]
	Reihenschwingkreis	[29]
	Zeitbereichsrelektometrie	[53]
	Sprungantwort im Zeitbereich	[54]
Systemmessungen	Einzelstimpuls	[55]
	Doppelpulsversuch	[56]

Tab. 3.4: Verfahren zur Messung parasitärer Induktivitäten

Wegen der verhältnismäßig einfachen Durchführbarkeit und der erzielbaren Genauigkeit haben sich bei den Systemmessungen vor allem das Einzel- und das Doppelpulsexperiment durchgesetzt [30], [57]. Diese Messmethoden lassen sich vor allem zur Analyse der Gesamtinduktivität des Kommutierungskreises, aber auch zur Bestimmung von partiellen Induktivitäten einzelner Bereiche einsetzen.

Zu den Kleinsignalverfahren zählt die Messung des Impedanzverlaufes mit Hilfe eines Impedanzanalysators [28], eines abstimmbaren Schwingkreises [29], oder die Messung mit Hilfe der Bestimmung einer Sprungantwort im Zeitbereich [54]. Auch die Messung parasitärer Elemente mit Hilfe zeitbasierter Reflektometrie ist möglich, wenn auch aufwändig [53]. In [30] wird die Anwendung einiger dieser Verfahren gezeigt. Nachfolgend werden die genannten Verfahren in kurzer Form vorgestellt und anschließend hinsichtlich ihrer Eignung zur Anwendung in leistungselektronischen Systemen verglichen und bewertet.

Bei den Messungen muss generell beachtet werden, dass die Spannungen möglichst dicht an den schaltenden Bauelementen gemessen werden, da ansonsten der Einfluss der inneren parasitären Elemente ausgeblendet wird. Die Zwischenkreiskondensatoren reduzieren dann die gemessenen induzierten Spannungen.

Die Messung der induzierten Spannung über die Hilfssource- oder Hilfsemitterschlüsse stellt eine praktikable Möglichkeit für eine genauere Spannungsmessung dar, weil die Hilfssourceanschlüsse meist dicht am Leistungshalbleiter platziert sind, wie in dem Beispiel in Abbildung 8.3 erkennbar ist. Hier sind die Hilfssourceanschlüsse direkt auf dem Chip platziert.

3.6.3 Einzelstrompulsversuch

Beim Einzelstrompulsversuch wird mittels einer separaten Schaltung ein linear anwachsender Strom ($dI/dt = \text{const.}$) in den Prüfling eingepreßt. Der Vorteil dieses Verfahrens besteht in der Aufhebung der dynamischen Einflüsse der im Testobjekt (DUT) integrierten Leistungshalbleiter auf die Messung.

Zu diesem Zweck dient ein Versuchsaufbau wie in Abbildung 3.11. Ein Leistungshalbleiter (M_a) wird durch einen kurzen Puls eingeschaltet, während die Leistungshalbleiter (V1 und V2) im DUT dauerhaft eingeschaltet sind. Der Strom durch das Messobjekt steigt linear an, wobei die Steilheit des Anstiegs hauptsächlich durch die Induktivität L_S im Kommutierungskreis begrenzt wird.

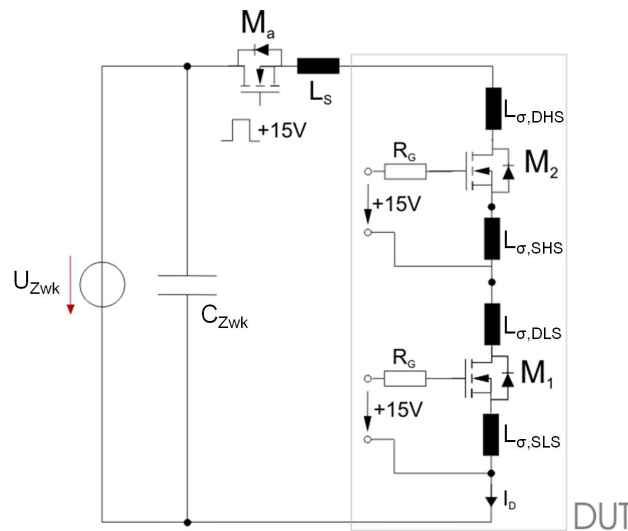


Abb. 3.11: Ersatzschaltbild für den Einzelstrompulsversuch [58]

Mittels einer genauen Messung der Spannung kann die parasitäre Induktivität sehr exakt ermittelt werden. Bei einer typischen Stromsteilheit von $1000 \text{ A}/\mu\text{s}$ würde eine Induktivität von 1 nH gemäß $U_{ind} = L_\sigma \cdot \frac{dI}{dt}$ eine Spannung von 1 Volt induzieren, die leicht messbar ist. Unter diesen Randbedingungen lassen sich parasitäre Induktivitäten in der Größenordnung $\frac{1}{10} \text{ nH}$ bestimmen.

Dieses Verfahren ermöglicht also eine Ermittlung der Induktivität des Gesamtaufbaus durch Bestimmung der (konstanten) zeitlichen Änderung des Stromes und gleichzeitig eine Ermittlung von Teilinduktivitäten durch Messung von Spannungsabfällen über einzelnen Bauteilen oder Leiterabschnitten. Durch die hohen Ströme, die bei dieser Messmethode auftreten, ist es notwendig, für ein genaues Ergebnis die Anteile der parasitären Widerstände (R_σ) am Spannungsabfall zu berücksichtigen. Die um diese Spannungen korrigierte Formel lautet demnach

$$L_\sigma = \left| (U_{ind} - I_D \cdot (2 \cdot R_{DS,on} + R_\sigma)) \cdot \left(\frac{dI}{dt} \right)^{-1} \right|_{I_D}. \quad (3.15)$$

3.6.4 Doppelpulsversuch

Der Doppelpulsversuch wird hauptsächlich verwendet, um mit geringem Aufwand eine Charakterisierung des Schaltverhaltens von Leistungshalbleitern bei hohen Leistungen zu ermöglichen. Dazu wird eine Schaltung gemäß Abb. 3.12 verwendet, die schaltungstechnisch einen Tiefsetzsteller darstellt.

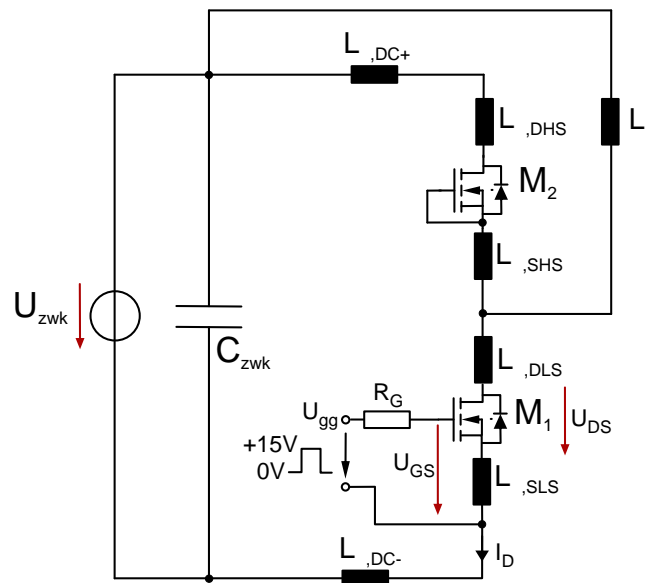


Abb. 3.12: Ersatzschaltbild für den Doppelpulsversuch

Der Leistungshalbleiter M_2 ist mittels einer Gate-Source Verbindung dauerhaft ausgeschaltet, es wird nur die Diode (in diesem Fall die Body-Diode des MOSFETs) genutzt. Der Leistungshalbleiter M_1 wird mittels zweier kurz aufeinander folgender Pulse geschaltet. Der erste Puls ist dabei meist länger als der zweite. Gemäß des funktionalen Zusammenhanges

$$I_D = U_{DS} \cdot \Delta t \cdot \frac{1}{L_L} \quad (3.16)$$

steigt der Strom begrenzt durch L_L zunächst linear an, sodass über die Wahl der zeitlichen Länge dt des ersten Pulses die Größe des abzuschaltenden Stromes eingestellt werden kann.

Beim Abschalten von M_1 kommutiert der Strom auf die Diode und fließt danach kurze Zeit über den Kommutierungskreis mit L_L in näherungsweise konstant bleibender Stromstärke weiter, bis durch den zweiten Puls M_1 wieder eingeschaltet wird und der Strom zurück kommutiert. Das zweite Einschalten ermöglicht somit die Untersuchung des Einschaltverhaltens unter annähernd den gleichen Bedingungen wie das vorhergehende Ausschalten des Halbleiters.

Die Stromversorgung findet meist über eine entsprechend dimensionierte Kondensatorbank statt. Durch die kurze Dauer der Pulse (typischerweise einige 10 bis 100 μs) wird während dieser Untersuchung nur sehr wenig Energie benötigt, die für das Nachladen der Kondensatorbank C_{Zwk} von den Labornetzteilen bereitgestellt werden muss.

Das Doppelpulsverfahren eignet sich gut zur Bestimmung parasitärer Induktivitäten innerhalb des Kommutierungskreises eines Umrichters, da in vielen Umrichtertopologien Halbbrücken enthalten sind oder mit geringem Aufwand Halbbrückenkonfigurationen erreicht werden können (z.B. bei Dreistufenumrichtern). Die Bestimmung der parasitären Induktivitäten erfordert die Messung der induzierten Überspannung über dem schaltenden Bauteil (z.B. Low-Side-MOSFET). Die Induktivität kann dann mittels zweier unterschiedlicher Verfahren bestimmt werden, die nachfolgend erläutert werden.

3.6.4.1 Messung des Stromgradienten und der maximal induzierten Spannung

Bei dieser Methode müssen die maximal induzierte Spannung und der maximale Stromgradient bekannt sein, um genaue Ergebnisse zu erhalten, da bei vielen Anwendungen die Stromflanken der schaltenden Leistungshalbleiter nicht als linear angesehen werden können.

Die entstehenden Überspannungen bilden daher während des Schaltvorganges keinen konstanten Wert, sondern schmale Peaks aus, wie in Abbildung 3.13 gezeigt wird. Die Bestimmung des Stromgradienten ist hier schwieriger, kann aber mit Hilfe moderner Speicheroszilloskope automatisiert durchgeführt werden. Für die genaue Berechnung der Induktivität müssen die Maxima des Stromgradienten $(dI/dt)_{max}$ und der induzierten Spannung verwendet werden.

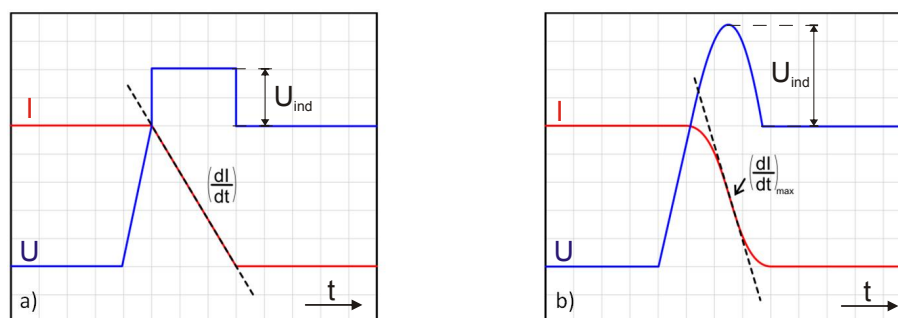


Abb. 3.13: Ausschalten eines Leistungstransistors bei schematisierter Betrachtung: a) linearer Stromabfall, b) typischer, nichtlinearer Stromgradient

Bei der Berechnung der parasitären Induktivität aus der induzierten Spannung muss insbesondere bei den in dieser Arbeit untersuchten Hochstromanwendungen mit MOSFETs der Spannungsabfall über den parasitären Widerständen der Leiter (R_{σ}) und des Leitwiderstandes der Halbleiter ($R_{DS(on)}$) berücksichtigt werden:

$$L_{\sigma} = \frac{U_{ind} - I_D(2 \cdot R_{DS,on} + R_{\sigma})}{\left(\frac{dI}{dt}\right)_{max}} \quad (3.17)$$

3.6.4.2 Integration der Überspannung

Die messtechnische Bestimmung der parasitären Induktivität kann auch über die Integration der

induzierten Überspannung U_{ind} erfolgen. Dieses Verfahren hat den Vorteil, dass die Nichtlinearität der Stromflanken die Genauigkeit nicht beeinflusst. Die zugrundeliegende Gleichung erhält man durch Integration der im vorigen Abschnitt verwendeten Formel

$$U_{ind} = L_{\sigma} \cdot \frac{dI}{dt}, \quad (3.18)$$

wodurch folgender Ausdruck für die Induktivität abgeleitet wird:

$$L_{\sigma} = \frac{1}{I} \cdot \int U_{ind} dt. \quad (3.19)$$

Moderne Speicheroszilloskope bieten die Möglichkeit einer automatischen Integration innerhalb der durch die Cursor festgelegten Grenzen. Somit lässt sich dieses Verfahren ebenfalls mit geringem Aufwand im Labor anwenden.

3.6.5 Messung des Oszillationsfrequenz

Die Messung der Oszillationsfrequenz nach einem Schaltvorgang erlaubt bei Kenntnis der Ausgangskapazität des verwendeten MOSFETs eine sehr einfach durchführbare erste Abschätzung der parasitären Induktivität.

In [30] wird vorgeschlagen, durch die Verwendung einer diskreten Induktivität L_{add} die Gesamtinduktivität zu ändern und nach Messung der Oszillationsfrequenzen f_1 (mit $L = L_{\sigma}$) und f_2 (mit $L = L_{add} + L_{\sigma} = \Delta L$) die parasitäre Induktivität zu bestimmen gemäß:

$$L_{\sigma} = \frac{\Delta L}{(f_1/f_2)^2 - 1} \quad (3.20)$$

3.6.6 Zeitbereich Reflektometrie

Reflektometrie im Zeitbereich, auch als TDR (engl. *time domain reflectometry*) bezeichnet, basiert auf der Messung der Leiterimpedanz durch Einkopplung eines pulsformigen Signals in eine Leiterbahn und der Analyse der reflektierten Welle.

Hierfür wird ein kurzer Strompuls ($I_{in} \approx$ einige mA) mit einer hohen Flankensteilheit ($t_{ri} < 1$ ns) auf den zu untersuchenden Leiter (gesuchte Impedanz Z_0) gegeben. Die an einer Diskontinuität des Leiters reflektierte Welle wird analysiert. Dafür werden die sich ergebende Spannung $V_{in} = I_{in} \cdot Z_0$ und die Verzögerungszeit zwischen eingekoppeltem und reflektiertem Signal t_d gemessen und daraus die Impedanz Z_0 berechnet. Die Angabe der gemessenen Parameter erlaubt eine Charakterisierung des Leiters [59].

Alternativ kann die Charakterisierung auch durch Angabe der Gesamtkapazität C_{ges} und der

Gesamtinduktivität L_{ges} erfolgen. Für diese Parameter gilt:

$$C_{ges} = \frac{t_d}{Z_0} \quad (3.21)$$

$$L_{ges} = t_d \cdot Z_0 \quad (3.22)$$

Sowohl die eingekoppelte als auch die reflektierte Welle sind Stufenfunktionen, die sich nur in Amplitude und Ausbreitungsrichtung unterscheiden. Die Extraktion partieller Induktivitäten ist bei Kenntnis der Diskontinuitäten (Störstellen, Leiterbahnänderungen) eines Leiters ebenfalls möglich, soll hier aber nicht vertiefend dargestellt werden. Hierzu sei auf [59] verwiesen.

3.6.7 Netzwerk-Analysator

Ein Netzwerk-Analysator (*engl. Vector Network Analyser*) misst die komplexe Impedanz eines Bauteils oder einer Leiterbahn. Dazu wird ein Testsignal mit bekannter Frequenz f , Amplitude A und Phase p am Eingang des Testobjekts angelegt.

Das reflektierte Signal wird gemessen und durch die sich ergebenden Differenzen aus gesendetem, reflektiertem und transmittiertem Signal können Reflexion und Transmission bestimmt werden, wodurch sich die S-Parameter und die Impedanz berechnen lassen.

Bei der Messung muss auf die korrekte Polarität der Messspannung in Bezug auf die enthaltenen Leistungshalbleiter geachtet werden, außerdem müssen sich die Leistungshalbleiter im ausgeschalteten Zustand befinden. Des Weiteren muss bei der Auswertung der Messung die Beeinflussung durch die parasitären Elemente der Leistungshalbleiter berücksichtigt werden. Diese Methode ist daher nur bedingt zur Analyse parasitärer Elemente in leistungselektronischen Aufbauten geeignet [30].

3.6.8 Messung mittels Reihenschwingkreis

Diese Methode wurde von Philips Research, Aachen vorgestellt [60], die nach dem Prinzip eines Reihenschwingkreises arbeitet, der aus einer Kapazität bekannter Größe und der zu bestimmenden parasitären Kapazität gebildet wird.

Mittels einer steilen Stromschaltflanke wird der LC-Schwingkreis angeregt, die Amplitude und die Frequenz der angeregten Schwingung wird gemessen. Mit Hilfe numerischer Methoden, bei denen die gemessenen Verläufe durch analytische Formeln approximiert werden, kann dann auf die parasitäre Induktivität zurückgerechnet werden.

Die Methode kann mit verhältnismäßig geringem messtechnischen Aufwand durchgeführt werden, die numerischen Methoden zur Auswertung sind jedoch komplex. Auch sind keine „Systemmessungen“ möglich, da die zu bestimmende Induktivität sehr dicht (niederinduktiv) an die

Kapazität und die anderen Elemente der Schaltung angebunden sein muss, wenn eine ausreichende Genauigkeit erzielt werden soll. Zudem muss gewährleistet sein, dass Störeinkopplungen verhindert werden, was im System kaum möglich ist.

3.6.9 LCR-Messgerät

Eine direkte Messung der Impedanzen eines Zweipols ist mit Hilfe eines LCR-Messgerätes möglich, das den Frequenzgang des Messobjekts charakterisiert und dadurch die genaue Bestimmung der elektrischen Parameter ermöglicht.

Moderne Geräte erlauben Messfrequenzen von 2 MHz und mehr und bieten Auflösungen bis in den sub-nH Bereich [61]. Somit erlauben sie die direkte Messung parasitärer Elemente und ermöglichen auch die Analyse ihrer Frequenzabhängigkeit.

3.6.10 Vergleich und Bewertung der vorgestellten messtechnischen Verfahren

In Tabelle 3.5 werden die vorgestellten Messverfahren vergleichend gegenübergestellt und bewertet.

Messverfahren	Messprinzip	Messgröße	Messaufwand	Genauigkeit*
LCR-Meter	Messung der Resonanzfrequenz	f	gering	mittel
Reihenschwingkreis	Messung der Resonanzfrequenz	f	gering	mittel
Zeitbereichs-relektometrie	Messung der Laufzeiten	t	mittel	mittel
Sprungantwort im Zeitbereich	Messung der Laufzeiten	t	mittel	mittel
Einzelstrompuls	Kurzschlussstrom	$\frac{dI}{dt}, U_{ind}$	gering	hoch
Doppelpuls	Schaltvorgang	$\frac{dI}{dt}, U_{ind}$	gering	mittel - hoch

Tab. 3.5: Messtechnische Methoden zur Bestimmung parasitärer Induktivitäten (*bei einer geforderten Auflösung von 1 nH für Fragestellungen der Leistungselektronik)

3.7 Zusammenfassung und Schlussfolgerungen

In diesem Kapitel wurden analytische, simulative und messtechnische Verfahren zur Bestimmung parasitärer Elemente in leistungselektronischen Systemen vorgestellt und die mit ihnen erzielten Ergebnisse verglichen. Hierfür wurden einfache Beispielsysteme untersucht, die aufgrund ihrer geometrischen Strukturen auch analytisch zu charakterisieren sind.

Analytische Ansätze wurden verglichen und um einen semi-analytischen Ansatz erweitert, bei dem für typische, in Leistungshalbleitermodulen auftretende Strukturen erzielte Simulationsergebnisse mittels analytischer Funktionen gefittet wurden, sodass mit Hilfe der erzielten Ergebnisse eine abschätzende Bestimmung der in vergleichbaren Strukturen enthaltenen parasitären Elemente auch ohne Simulationen möglich ist. Eine hinreichende Genauigkeit der Methode für Abschätzungen der parasitären Elemente unter eingeschränkten Systemparametern wurde gezeigt.

Anschließend wurden zwei simulative Verfahren, die PEEC- und die FE-Methode, vorgestellt. In dieser Arbeit wurde aus Gründen der Simulationsdauer, die ein entscheidendes Kriterium bei iterativen Optimierungsprozessen darstellt, die PEEC-Methode verwendet.

Abschließend wurden messtechnische Verfahren zur Bestimmung parasitärer Elemente vorgestellt. Es wurde zwischen sogenannten Systemmessungen (die bei hoher Leistung im Betrieb des Umrichters durchgeführt werden können) und kleinsignalbasierten Messungen unterschieden, die zur Analyse weitere Messapparaturen erfordern und im Allgemeinen nicht im Betrieb des Umrichters durchgeführt werden können. Die Vor- und Nachteile der Methoden, die erreichbare Genauigkeit und ihre Anwendbarkeit auf leistungselektronische Fragestellungen wurden verglichen und bewertet.

Es zeigt sich, dass die exakte Bestimmung parasitärer Elemente auch heute noch eine Herausforderung darstellt und die mit einer bestimmten Methode erzielten Ergebnisse nach Möglichkeit durch Anwendung einer zweiten verifiziert werden sollten.

4. Auswirkungen parasitärer Elemente in der Leistungselektronik

4.1 Einführung

Im Zuge der fortschreitenden Entwicklung immer schneller schaltender Leistungshalbleiterbauelemente steigen die Spannungs- und Stromgradienten an und die Bedeutung parasitärer Elemente für die Leistungsfähigkeit des Gesamtsystems nimmt zu.

Die Auswirkungen parasitärer Elemente auf das Verhalten leistungselektronischer Schaltungen sind vielschichtig und stehen oftmals in Wechselwirkung mit weiteren Eigenschaften. Insbesondere die kontinuierlich steigende Leistungsdichte und das reduzierte Bauvolumen moderner Umrichter verstärken diese Kopplungen, z.B. zwischen elektrischen und thermischen Parametern. Während der Konzeptionierungsphase in der Entwicklung von Umrichtern stellt die Vorhersage der zu erwartenden Auswirkungen der in der Schaltung enthaltenen parasitären Elemente eine komplexe Aufgabe dar, die sorgfältige Voruntersuchungen erfordert.

In der Literatur finden sich einige Arbeiten, die Teilaspekte dieser Auswirkungen aufgreifen und analysieren. [15] und [62] untersuchen die Auswirkungen auf die Stromverteilung in Zwischenkreisverschaltungen. [63], [64] und [65] betrachten paralleles Schalten von Leistungshalbleitern unter Berücksichtigung des Einflusses parasitärer Elemente. In [56] werden einige Untersuchungen des Schaltverhaltens von 600 V-MOSFETs unter dem Einfluss parasitärer Elemente dargestellt.

In diesem Kapitel soll eine umfassende Analyse der Auswirkungen parasitärer Elemente auf leistungselektronische Schaltungen gegeben werden und anhand von Messungen am Beispiel von Niedrigstspannungs-MOSFETs für Hochstromanwendungen dargestellt werden.

Diese Anwendungen sind aufgrund der erforderlichen kurzen Schaltzeiten bei hohen Strömen in besonderem Maße von parasitären Elementen, insbesondere den parasitären Induktivitäten, beeinflusst.

Teile dieses Kapitels wurden bereits in [55], [66] und [67] veröffentlicht.

4.2 Leistungshalbleitermodule

In leistungselektronischen Systemen mit erhöhten Anforderungen an die Stromtragfähigkeit und Kühlung sind die Leistungshalbleiter oft in Form von Leistungsmodulen zu einem Subsystem des Umrichters zusammengefasst. Besonders in Anwendungen mit erhöhten Anforderungen an die Zuverlässigkeit oder das Bauvolumen, wie im Automotivbereich, zur Umformung regenerativer Energie und in vielen Industrieanwendungen werden heute Leistungshalbleitermodule eingesetzt [68]. Gegenüber diskret aufgebauten Schaltungen weisen Leistungsmodule

technische Vorteile auf, die vor allem in einer sehr guten thermischen Kopplung an den Kühlkörper, also einem reduzierten thermischen Übergangswiderstand $R_{th(j,c)}$, einem kompakten Aufbau und einer elektrischen Kontaktierung, die sich innerhalb gewisser Grenzen flexibel gestalten lässt, begründet sind [32]. Zudem sinkt durch die Verwendung von Modulen auf Systemebene die Anzahl der zu integrierenden Elemente.

Der modulare Aufbau erleichtert Reparaturen bei Ausfällen und erlaubt außerdem eine Optimierung bestehender Systeme durch den Austausch vorhandener Module mit anschlussseitig baugleiche Varianten, z.B. mit Leistungshalbleitern neuerer Generationen.

4.2.1 Aufbau eines Leistungsmoduls

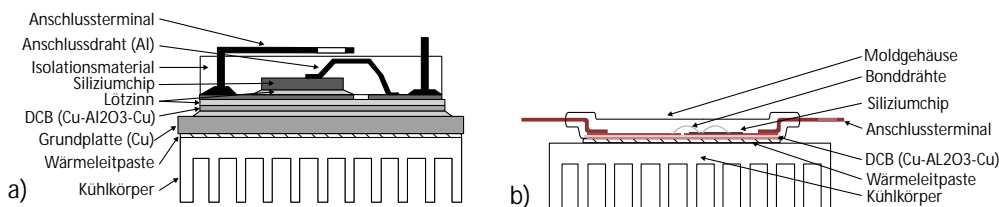


Abb. 4.1: Bauformen von Leistungsmodulen: a) Kunststoffgehäuse, b) Moldmodul

Abbildung 4.1 a) zeigt den typischen Aufbau eines klassischen Leistungsmoduls, bestehend aus einer Bodenplatte, die als Träger und zur Wärmespreizung dient, und dem Gehäuse, das meist im Spritzgussverfahren aus Kunststoff hergestellt ist. Diese Packung dient dem Schutz des innenliegenden Leistungsteils, das aus einem Kupfersubstrat und den Leistungsbauerelementen besteht. Das Substrat wird meist in Form eines dreilagigen DCBs (engl. *direct copper bonded*) ausgeführt, bei dem eine Keramik als Isolationsschicht beidseitig mit Kupferflächen versehen ist. Der symmetrische Aufbau dieses Sandwich-Konzepts dient der Reduzierung thermomechanischer Spannungen, die entstehen würden, wenn nur eine Seite des DCB metallisiert wäre und sich dann bei Erwärmung ausdehnte.

Die oberseitige Kupferschicht ist gemäß der gewünschten Schaltungstopologie strukturiert und trägt die Leistungshalbleiter sowie ggf. andere Bauteile wie Temperatur- oder Stromsensoren. Die oberseitige Kontaktierung der Leistungshalbleiter erfolgt in den meisten Fällen mittels Bonddrahtverbindungen aus Al, Cu oder Ag [69].

Zur Verbindung der Bauteile und des Kupfersubstrates eignen sich klassische Lot- oder neuere Silbersinterverbindungen. Ziel einer optimalen Verbindungstechnik ist das Erreichen einer niederohmigen Verbindung, die hohe thermomechanische Belastbarkeit und eine hohe Lebensdauer bei geringen Kosten aufweist.

Eine Vielzahl neuer Modulkonzepte wurde in den letzten Jahren entwickelt und realisiert. Dabei besteht auch hier der Trend zu einer Reduzierung des Bauvolumens, einer Erhöhung der Leistungsdichte und einer Verbesserung der thermischen Eigenschaften sowie der Zuverlässigkeit der Module.

In Abbildung 4.1 b) ist das Aufbaukonzept eines Moldmoduls dargestellt. Hierbei werden das Substrat und die Leistungshalbleiter des Moduls durch ein mittels Transfermolding hergestelltes Kunststoffgehäuse auf Epoxy-Basis gegen Umwelteinflüsse geschützt. Das Konzept reduziert das Bauvolumen und verbessert die mechanische Stabilität sowie die Entwärmung im Vergleich zu rahmenbasierten Modulen mit Silikonverguss.

Weitere neue Aufbaukonzepte wurden zum Beispiel von der Firma Semikron entwickelt. Hier wurden mit Hilfe der SKiip-Technologie elektrische Verbindungen über Federkontakte hergestellt, wodurch Lotverbindungen entfallen und Bondverbindungen reduziert werden können [70].

Infineon hat mit der sogenannten .XT-Technologie eine oberseitige Chipkontaktierung mit Kupferdrähten vorgestellt. Hierzu werden die Oberflächen der Leistungshalbleiter mit Kupfer metallisiert [71].

Bei Danfoss Silicon Power wurden substratfreie Mold-Module (SFM) entwickelt, die ohne Bodenplatte in einem Spritzgussverfahren hergestellt werden [72], siehe Abb. 4.2. Diese finden vor allem in Automotive-Applikationen niedriger Spannungsklasse Anwendung, bei der die geforderte elektrische Isolation beispielsweise mittels Wäremeleitpads sichergestellt werden kann. Beim SFM werden die gewünschten Schaltungstopologien auf einem entstprechend strukturierten *Leadframe* aus Kupferblech realisiert, wobei zu Beginn des Fertigungsprozesses alle Potentialflächen mit kleinen Stabilisierungsstegen verbunden sind. Nach der Bestückung mit den gewünschten Leistungsbauelementen werden die Module mit einem an den thermischen Ausdehnungskoeffizienten des DCBs angepassten Kunststoff umspritzt und anschließend mit Hilfe gezielter Bohrungen die Haltebrücken entfernt, sodass das Modul elektrisch funktionsfähig ist. Dadurch wird eine enorme Verbesserung der thermischen Anbindung der Halbleiter an den Kühlkörper erreicht und gleichzeitig werden die ohmschen Verluste reduziert, was wiederum die joulsche Erwärmung der Module herabsetzt [72].

In der Vorentwicklung befinden sich Modulkonzepte mit einem gestapelten Aufbau der Leistungshalbleiter, bei denen ein dreidimensionaler Aufbau verfolgt wird, was die Vorteile eines niederinduktiven Aufbaus mit dem Vorteil der Möglichkeit zur beidseitigen Kühlung kombiniert [73]. Ein Beispiel hierfür ist das UltiMo-Projekt, bei dem ein dreidimensionales Modul für höchste Leistungsdichte und Zuverlässigkeit aufgebaut wurde [74].

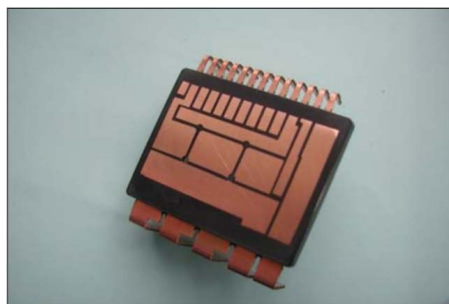


Abb. 4.2: Substratfreies Moldmodul (SFM) für Automotive-Anwendungen [72]

4.2.2 Parasitäre Elemente in Leistungsmodulen

Die parasitären Elemente in Leistungsmodulen resultieren aus der geometrischen Struktur der meist flächigen Kupferleiterbahnen auf dem Substrat und den Bonddrähten, die zur oberseitigen Chipkontaktierung, zur Verbindung mehrerer DCBs oder zur Kontaktierung der Anschlussterminals dienen. Die parasitären Elemente der im Modul enthaltenen aktiven Bauelemente werden an dieser Stelle nicht betrachtet.

Um vorab eine orientierende Übersicht typischer Werte zu liefern, sind die Größenordnungen parasitärer Elemente von Leistungsmodulen in Tabelle 4.1 angegeben.

Abbildung 2.4 zeigt ein Ersatzschaltbild der wichtigsten parasitären Elemente einer in einem Leistungshalbleitermodul realisierten Halbbrücke.

	optimiert / techn. Minimum	typisch	Maximum
L_{σ} eines Leistungsmoduls	< 5 nH	10-20 nH	> 50 nH
C_{σ} eines Leistungsmoduls	< 5 pF	100 pF	> 2 nF
R_{Cu} eines Leistungsmoduls	< 2 m Ω	5 m Ω	> 10 m Ω

Tab. 4.1: Typische Größenordnungen parasitärer Elemente in Leistungsmodulen für automotive Traktionsanwendungen (im typ. Leistungsbereich 5-30 kW)

4.2.2.1 Parasitäre Widerstände Die parasitären Widerstände der Leiter lassen sich direkt auf den Querschnitt und das verwendete Material zurückführen. Die Tabelle 4.2 enthält für eine Abschätzung der Größenordnungen geeignete Werte.

4.2.2.2 Parasitäre Induktivitäten Die Kupferleiterbahnen auf dem DCB und vor allem die Bonddrähte führen zur Entstehung von parasitären Induktivitäten. Dabei weisen die oftmals breiten und eher kurz gehaltenen Kupferleiterbahnabschnitte auf dem DCB meistens eine geringere Induktivität als die Bonddrahtverbindungen auf. Ein großer Anteil der parasitären Induktivitäten entfällt auf die Anschlüsse des Moduls, genauere Untersuchungen werden in Kapitel 3. dargestellt. Die Tabelle 4.2 enthält für eine Abschätzung der Größenordnungen geeignete Werte.

4.2.2.3 Parasitäre Kapazitäten Durch die flächigen Leiterbahnen auf dem DCB und die flächenparallel dazu liegende Rückseitenmetallisierung kommt es zur Bildung parasitärer Kapazitäten zwischen den Potentialen der Leiterbahnabschnitte und der Rückseitenmetallisierung, die meist das Potential des Kühlkörpers aufweist. Dabei wirken sich parasitäre Kapazitäten von Leitern mit konstantem Potential kaum aus, während sich insbesondere die Potentialflächen der Phasenanschlüsse, bedingt durch ihre mit der Taktfrequenz umgeladenen Potentiale, stark auswirken.

Leiterstruktur	par. Induktivität (DC/2MHz) [nH/cm]	par. Kapazität [pF/cm]	par. Widerstand [mΩ/cm]
Bonddraht, $d = 400 \mu m$	9,3 / 8,9	-	2,3 / 4,4
Kupferleiter, $b = 5 \text{ mm}$, $t = 300 \mu m$	4,0 / 3,7	6	0,11 / 0,57
Kupferleiter, $b = 10 \text{ mm}$, $t = 300 \mu m$	2,9 / 2,7	13	0,06 / 0,32
Kupferleiter, $b = 20 \text{ mm}$, $t = 300 \mu m$	2,0 / 1,8	25	0,03 / 0,16

Tab. 4.2: Übersicht zur Abschätzung parasitärer Elemente eines DCB-basierten Leistungsmoduls (PEEC-Simulation); $380 \mu m Al_2O_3$ -Keramik mit beidseitiger $300 \mu m$ Cu-Metallisierung; betrachtete Frequenzen: DC / 2 MHz

4.2.3 Größenordnungen parasitärer Elemente in Leistungsmodulen

Die Tabelle 4.2 zeigt mit Hilfe von PEEC-Simulationen gewonnene Werte für eine erste Abschätzung der Größenordnungen. Für eine genauere Abschätzung der parasitären Elemente in Leistungsmodulen wurden für verschiedene geometrische Strukturen bei unterschiedlichen Frequenzen Simulationen zur Bestimmung der parasitären Elemente durchgeführt. Die nachfolgenden Abbildungen (4.3 - 4.8) zeigen die Ergebnisse dieser Simulationen.

Die Simulationen wurden für eine DCB mit einer beidseitigen Kupfermetallisierung von $300 \mu m$ durchgeführt, als Isolator wurde eine $380 \mu m$ dicke Al_2O_3 -Keramik angenommen. Es ist anzumerken, dass die sich ergebenden Änderungen bei Verwendung einer $630 \mu m$ dicken AlN -Keramik sehr gering ausfallen ($< 5 \%$) und daher hier nicht betrachtet werden.

Abbildung 4.3 zeigt die parasitären Induktivitäten für Leiterbahnen auf dem Modul, wobei die annähernd lineare Zunahme der parasitären Induktivität mit der Länge des Leiters deutlich wird. Ebenfalls ersichtlich ist die reduzierte Induktivität bei Verwendung breiterer Leiterbahnen.

Abbildung 4.4 stellt die gleichen Untersuchungen für Bonddrähte dar. Hierbei wurden Bonddrähte mit einer Drahtstärke von $400 \mu m$ betrachtet, die Abweichungen für die ebenfalls weit verbreiteten Drähte der Stärken 300 und $500 \mu m$ sind ebenfalls gering. Verglichen wird hier die Induktivität für eine unterschiedliche Anzahl parallel geführter Bonddrähte. Betrachtet man den einzelnen Bonddraht mit einer Länge von 10 mm , so zeigt sich hier eine hinreichende Genauigkeit der Abschätzung von 1 nH/mm für den Draht. Bedingt durch die Mitkopplung der Drähte (Abstand der Bondfüße: $0,8 \text{ mm}$) reduziert sich die parasitäre Induktivität nicht mit der theoretisch erwarteten $1/n$ -Abhängigkeit, sondern schwächer. Dennoch wird deutlich, dass in Anwendungen mit optimierter parasitärer Induktivität die Erhöhung der Anzahl der Bonddrähte erhebliches Verbesserungspotential bietet.

Abbildung 4.5 veranschaulicht die Simulationsergebnisse für den parasitären Widerstand der Bonddrähte. Die durchgezogenen Linien gelten für eine Frequenz von $3,5 \text{ MHz}$, während die gepunktete Linie die Ergebnisse für 7 MHz und die gestrichelte Linie für $1,75 \text{ MHz}$ darstellen.

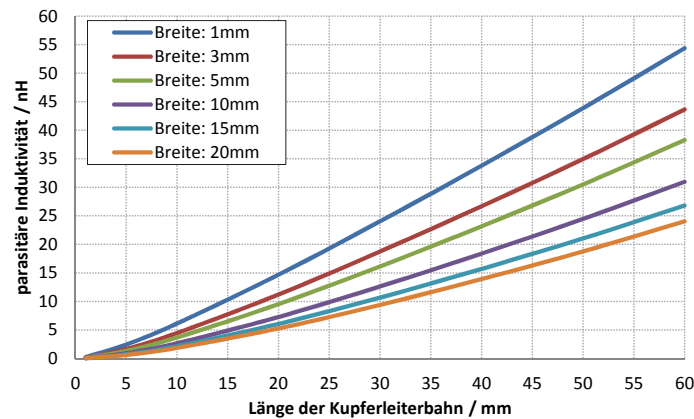


Abb. 4.3: Parasitäre Induktivitäten innerhalb eines Leistungsmoduls für unterschiedliche Leitergeometrien, Leiterdicke $t = 300 \mu\text{m}$, $f = 3,5 \text{ MHz}$

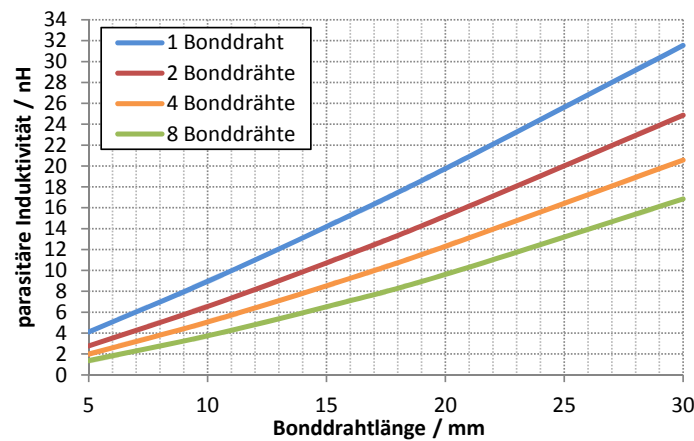


Abb. 4.4: Parasitäre Induktivitäten innerhalb eines Leistungsmoduls für unterschiedliche Bonddrahtlängen und -anzahlen, Bonddrahtdurchmesser $2r = 400 \mu\text{m}$, $f = 3,5 \text{ MHz}$

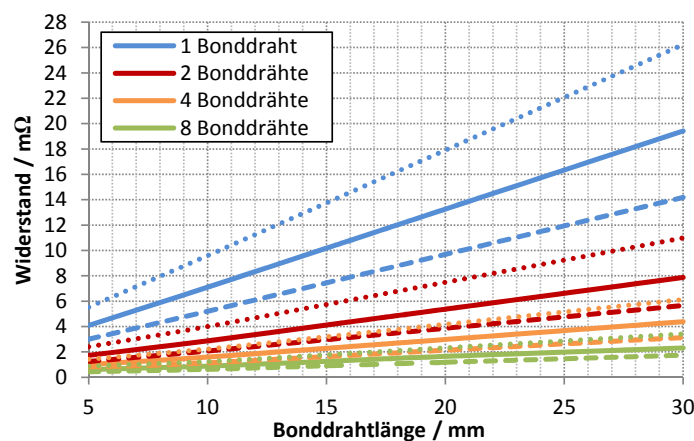


Abb. 4.5: Parasitärer Widerstand von Bonddrähten, Bonddrahtdurchmesser $2r = 400 \mu\text{m}$, gestrichelte Linie: $f = 1,75 \text{ MHz}$, durchgezogene Linie: $3,5 \text{ MHz}$, gepunktete Linie: 7 MHz

Abbildungen 4.6, 4.7 und 4.8 zeigen die parasitären Widerstände der Kupferleiterbahnen auf dem Substrat für unterschiedliche Frequenzen und verschiedene Geometrien.

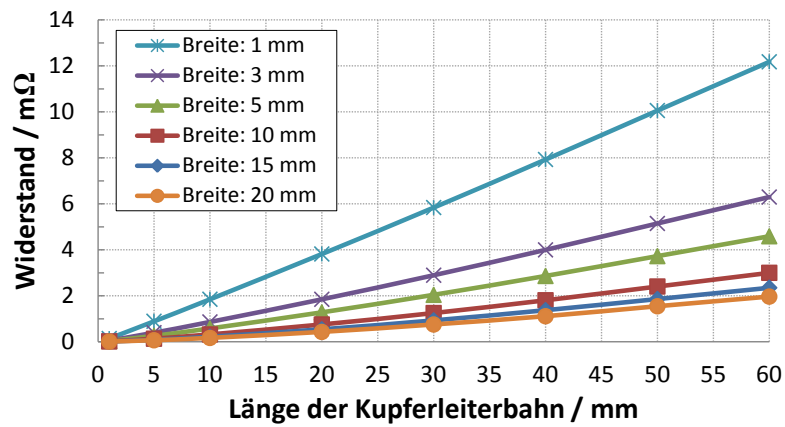


Abb. 4.6: Parasitärer Leiterbahnwiderstand, Leiterdicke $t = 300 \mu\text{m}$, $f = 1,75 \text{ MHz}$

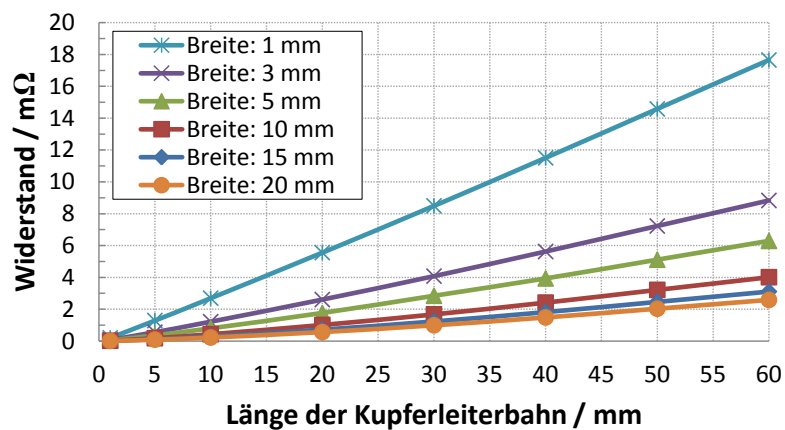


Abb. 4.7: Parasitärer Leiterbahnwiderstand, Leiterdicke $t = 300 \mu\text{m}$, $f = 3,5 \text{ MHz}$

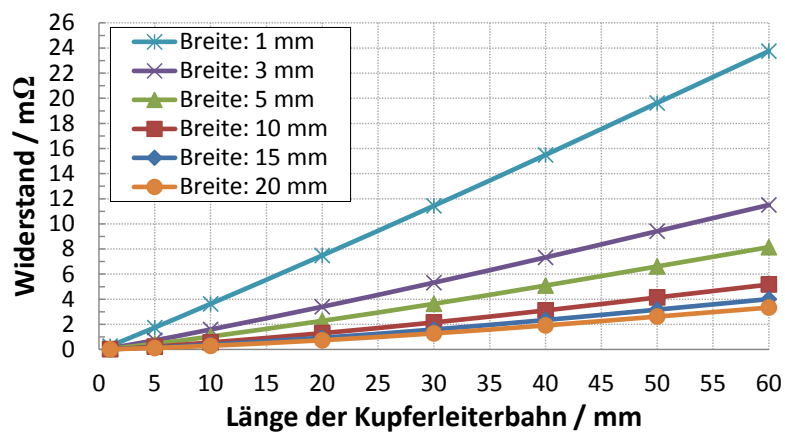


Abb. 4.8: Parasitärer Leiterbahnwiderstand, Leiterdicke $t = 300 \mu\text{m}$, $f = 7 \text{ MHz}$

4.3 Parasitäre Elemente im diskreten Aufbau

Die Leistungsteile von Umrichtern kleinerer Leistungsklassen werden oftmals mit diskreten Leistungshalbleitern realisiert. Hier sind die Anforderungen an die Stromtragfähigkeit und an die thermische Anbindung des Kühlkörpers geringer als bei höheren Leistungen. Die Vorteile des diskreten Aufbaus liegen in einem reduzierten Fertigungsaufwand bei gleichzeitig geringeren Materialkosten im Vergleich zu einer modulbasierten Lösung.

4.3.1 Parasitäre Elemente diskreter Gehäuse

Anhand verbreiteter Gehäuseformen für Leistungs-MOSFETs mit niedriger Zwischenkreisspannung soll nachfolgend auf die parasitären Elemente diskreter Bauelemente eingegangen werden. Abb. 4.9 zeigt verbreitete Gehäuseformen.

In Tabelle 4.3 sind die parasitären Elemente der diskreten Gehäuse aufgeführt.

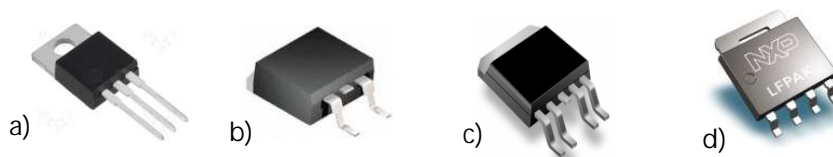


Abb. 4.9: Gehäuseformen moderner Leistungs-MOSFETs für niedrige Zwischenkreisspannungen: a) TO220, b) D2PAK, c) D2PAK 5 Pin, d) Power-SO-8-LFPAK [75], [76]

Gehäuseform	par. Induktivität	par. Kapazität	par. Widerstand
TO220	7,5 nH	12 pF	1,0 mΩ
D2PAK	6,0 nH	N/A	1,5 mΩ
D2PAK 5 Pin	5,3 nH	N/A	0,8 mΩ
Power-SO-8-LFPAK	1,8 nH	N/A	0,2 mΩ

Tab. 4.3: Übersicht zur Abschätzung parasitärer Elemente für diskrete Gehäuseformen [58], [77], [78], [79]

4.3.2 Parasitäre Elemente der Leiterbahnen

Bei Anwendungen mit hohen Betriebsströmen, die erhöhte Leiterquerschnitte und eine verbesserte Kühlung erfordern, kommen bei diskret aufgebauten Umrichtern sogenannte IMS-Platinen (*Insulated Metal Substrate*) zum Einsatz. Hier wird statt des üblichen Platinenbasierten Materials (wie z.B. FR4) ein Aluminiumsubstrat als Träger für die Kupferleiterbahnen verwendet, von denen es durch eine mehrere 100 μm dicke Isolationsschicht getrennt ist. Dadurch werden die notwendige elektrische Isolationsfestigkeit und eine ausreichende Wärmeabfuhr zur Unterseite

der Platine gewährleistet. Abb. 4.10 zeigt einen vertikalen Schnitt und die Oberflächenstruktur einer IMS-Platine mit einem aufgelöteten Leistungshalbleiter im Vergleich zum modularen Aufbau mittels DCB-Substrat (Abb. 4.11).

Die durch IMS-Platinen gegebene Möglichkeit, die Steuerschaltung, die Leistungshalbleiter und die Zwischenkreiskondensatoren auf derselben Platine zu integrieren, erleichtert die Fertigung und den Aufbau der Schaltung, weist jedoch Nachteile bei Fehlersuche und Reparaturen auf. Die thermische Kopplung von Steuerteil, Zwischenkreis und Leistungshalbleitern ist oftmals höher als bei modularem Aufbau und bedarf daher besonderer Beachtung.

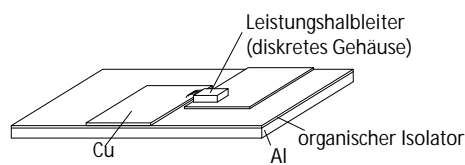


Abb. 4.10: Vertikale Struktur einer IMS-Platine

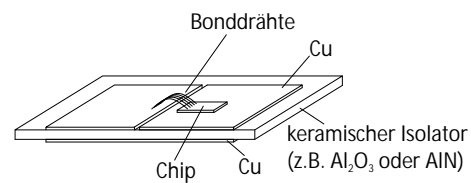


Abb. 4.11: Vertikale Struktur eines DCB-Substrates

4.4 Auswirkungen von parasitären Widerständen

Als parasitäre Widerstände bezeichnet man alle unerwünschten elektrischen Widerstände, die aus der Nichtidealität elektrischer Bauteile resultieren, insbesondere die Bahnwiderstände von Leitern und Halbleitern. Technisch sind diese Widerstände unvermeidbar, da sie durch die elektronische Struktur der betreffenden Materialien bestimmt sind.

4.4.1 Gleichstromverluste

Insbesondere bei Anwendungen mit hohen Betriebsströmen tragen Gleichstromverluste einen erheblichen Anteil zu den Gesamtverlusten bei. DC-Verschienungen, Anschlussterminals und Leistungskabel müssen entsprechend dimensioniert werden, dabei werden der Minimierung der Verluste die Kosten für die Verwendung stärkerer Kupferleiter gegenübergestellt und ein Kompromiss muss applikationsabhängig gefunden werden.

4.4.2 Spannungsabfälle

In Umrichtern mit niedrigen Zwischenkreisspannungen (12 V - 60 V) machen sich bei hohen Strömen trotz der Verwendung sehr niederohmiger Verbindungen Spannungsabfälle bemerkbar, die nicht vernachlässigt werden dürfen, da sie leistungsmindernd wirken und durch weitere Erhöhung des Stromes ausgeglichen werden müssen. So reduziert z.B. der ohmsche Widerstand von Batteriezuleitung und Anschlussklemmen in Höhe von 25 m Ω bei einem Gleichstrom von 100 A die Spannung um 2,5 V und damit um 10 % im vorliegenden Anwendungsfall eines 24 V-Systems. Die Reduzierung der parasitären Widerstände der Leiter kann in der Praxis durch Verwendung größerer Leiterquerschnitte erreicht werden.

4.4.3 Wechselstromverluste

Mit zunehmender Frequenz ist eine Stromverdrängung in die äußeren Schichten des Leiters physikalisch gegeben. Die effektiv genutzte Fläche des Leiterquerschnitts nimmt ab, was zu einer Erhöhung des Widerstands führt.

Typischerweise muss bei Anwendungen mit Schaltfrequenzen von mehr als 1 kHz der erhöhte Wechselstromwiderstand des Kommutierungskreis nach Gleichung 2.28 berücksichtigt werden. Dieser wirkt sich auch auf die Verluste in den Zwischenkreiskondensatoren aus. Die typischen Frequenzen der Ströme in den Motorzuleitungen liegen im Bereich von 0-400 Hz. Ob und wie stark sich an dieser Stelle Wechselstromwiderstände auswirken, hängt maßgeblich von der Applikation und dem Typ der verwendeten elektrischen Maschine ab.

4.5 Auswirkungen von parasitären Induktivitäten

Für den sicheren und effizienten Betrieb eines Umrichters sind die parasitären Induktivitäten des Kommutierungskreises und seiner Teilbereiche von besonderer Bedeutung. Im nachfolgenden Abschnitt sollen die möglichen Auswirkungen von parasitären Induktivitäten auf die Systemeigenschaften dargestellt und anhand von Messungen analysiert werden. Durch Kenntnis dieser Einflussgrößen kann bereits in der ersten Phase des Entwicklungsprozesses eine Abschätzung ihres Einflusses auf das Betriebsverhalten eines Umrichters erfolgen, wodurch spätere Designanpassungen vermieden werden können.

Die Auswirkungen der parasitären Elemente werden hier am Beispiel von Niedrigstspannungsmosfets mit hohen Stromtragfähigkeiten messtechnisch untersucht. Die niedrige Sperrspannungsfestigkeit $U_{BR,DSS}$ und Versorgungsspannung in Verbindung mit schnellen Schaltzeiten führt bei diesen Bauteilen zu induzierten Spannungen von derselben Größenordnung wie die der Zwischenkreisspannung [66]. In einigen Fällen kann die induzierte Spannung sogar ein Vielfaches der Zwischenkreisspannung betragen, etwa im Bereich der Automotive-Lenksteuerungen (EPS, engl. *electric powered steering*) mit typischerweise 12 V Zwischenkreisspannung. Daher sind insbesondere Anwendungen mit Niedrigstspannungsbauteilen auf eine Optimierung der parasitären Elemente angewiesen.

Die grundlegenden Prinzipien und abgeleiteten Designregeln sind jedoch aufgrund ihrer physikalischen Ursachen allgemeingültig und können auch auf Hochspannungsmosfets und andere Leistungshalbleiteranwendungen, etwa auf Basis von IGBTs oder SiC-Bauelementen, übertragen werden.

4.5.1 Einfluss auf die erforderliche Sperrspannung der Leistungshalbleiter

Die parasitären Induktivitäten speichern eine kleine Energiemenge in Form eines Magnetfeldes und geben sie als induzierte Spannung ab, sobald der Strom (z.B. durch einen Leistungshalbleiter) abgeschaltet wird [80].

Der Stromgradient während des Abschaltvorganges ($di/dt < 0$) erzeugt nach 4.1 eine Überspannung am schaltenden Bauelement:

$$U_{ind} = U_{DS} - L \cdot \frac{di}{dt} \quad (4.1)$$

Diese Überspannungen müssen zum Schutz der Leistungshalbleiter innerhalb bestimmter Grenzen gehalten werden, da sie beim Überschreiten der maximalen Sperrspannung $U_{BR,DSS}$ des Leistungshalbleiters zu seiner Zerstörung führen können.

Neben der Zerstörung des Leistungshalbleiters können weitere Folgeschäden auftreten, etwa durch Kurzschlüsse im Umrichter. Ein Ausfall des Gesamtsystems ist eine mögliche Folge.

Eine weitere negative Auswirkung parasitärer Induktivitäten tritt auf bei Umrichtern, die auf

schnellschaltenden Dioden bzw. bei IGBTs der neueren Generationen basieren. Hier werden Bauteile zur Reduzierung der Schaltverluste unsoft ausgelegt, wodurch die Gefahr eines sogenannten Rückstromabrisses steigt. Hierbei werden die Ladungsträger in der Diode so schnell abgebaut, dass die Diode schlagartig aus dem leitfähigen Zustand in den Sperrzustand versetzt wird. Es treten dabei sehr hohe Stromgradienten auf, die an parasitären Induktivitäten des Kommutierungskreises hohe Spannungen induzieren, welche ebenfalls Bauelemente zerstören können.

4.5.2 Einfluss auf die Durchlassverluste

Insbesondere bei MOSFETs, die nicht in Superjunction-Bauweise ausgeführt sind, besteht ein starker Zusammenhang von Durchlasswiderstand $R_{DS(on)}$ und maximaler Sperrspannung $U_{(BR)DSS}$ gemäß des funktionalen Zusammenhanges [3], [81]:

$$R_{DS(on)} \propto U_{(BR)DSS}^{2.4..2.6} \quad (4.2)$$

Abbildung 4.12 zeigt den funktionalen Zusammenhang zwischen $U_{(BR)DSS}$ und dem resultierenden Widerstand, der hier aufgrund der variablen Halbleitereigenschaften als relativer Widerstand $R_{DS}/R_{DS}(30V)$ angegeben wird. Es ist ersichtlich, dass die Erhöhung der Sperrspannung eines MOSFETs z.B. von 75 V auf 100 V bei gleicher Halbleitertechnologie eine Vergrößerung des Durchlasswiderstandes um den Faktor 2 bewirkt (vgl. [2]). Da die parasitären Induktivitäten in Niedrigstspannungsumrichtern die Hauptursache von Überspannungen darstellen, ermöglicht ihre Reduktion eine Herabsetzung der benötigten Sperrfestigkeit der verwendeten Leistungshalbleiter. Somit reduzieren sich die Durchlassverluste.

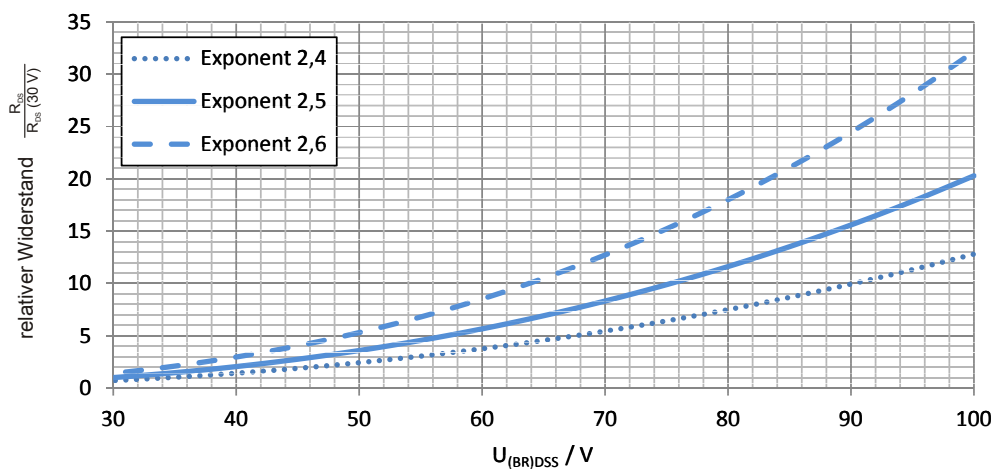


Abb. 4.12: Durchlasswiderstand eines MOSFET gegen die Sperrspannung $U_{(BR)DSS}$ aufgetragen, normiert auf 30 V (nach Gl. 4.2); Toleranzen für die Exponenten 2,4 bzw. 2,6 sind gestrichelt dargestellt [81]

4.5.3 Einfluss auf die maximalen Stromgradienten

Der Vorteil der kurzen Schaltzeiten modernster Leistungs-MOSFETs mit niedriger Spannungsfestigkeit lässt sich nur in einem niederinduktiven Aufbau voll ausnutzen, da zur Vermeidung induzierter Überspannungen ansonsten die halbleiterseitig theoretisch mögliche Dynamik der Stromgradienten (di/dt) auf ein bestimmtes Maß reduziert werden müssen.

Im Bereich der Niedrigstspannungsanwendungen muss als zusätzlicher Faktor beachtet werden, dass die maximalen Stromanstiegszeiten nicht mehr allein von den dynamischen Eigenschaften der Leistungshalbleiter, sondern auch von den passiven Elementen des Aufbaus abhängig sind. Abbildung 4.13 zeigt die durch parasitäre Induktivitäten bedingte maximal mögliche zeitliche Änderung des Stromes in einem exemplarischen Vergleich für Zwischenkreisspannungen von 24 V und 400 V (der ohmsche Widerstand sei hier vernachlässigt, vgl. Gleichung 4.1).

Während bei Anwendungen mit Zwischenkreisspannungen von 400 V (oder höher) die maximale Stromsteilheit bei Kommutierungskreisinduktivitäten bis 50 nH größer ist als $8000 \text{ A}/\mu\text{s}$ und somit die Dynamik der aktiven Bauteile über die Stromanstiegszeiten bestimmt, gilt dies für Niedrigstspannungsanwendungen bei hohen Strombelastbarkeiten nicht. Hier bestimmt meist die parasitäre Induktivität des Zwischenkreises die maximalen Stromänderungsraten. So wird zum Beispiel bei einer Zwischenkreisspannung von $U_{zwk} = 24 \text{ V}$ mit einer parasitären Induktivität von 50 nH der Stromanstieg auf $480 \text{ A}/\mu\text{s}$ begrenzt, obwohl die dynamischen Eigenschaften moderner Niedrigstspannungs-MOSFETs ein Vielfaches dieses Stromanstieges zulassen würden, vgl. Tabelle 4.4. Eine Minimierung der parasitären Induktivität bildet daher insbesondere im Niedrigstspannungsbereich und bei hohen Strombelastungen die Voraussetzung für schnelles, verlustarmes Schalten.

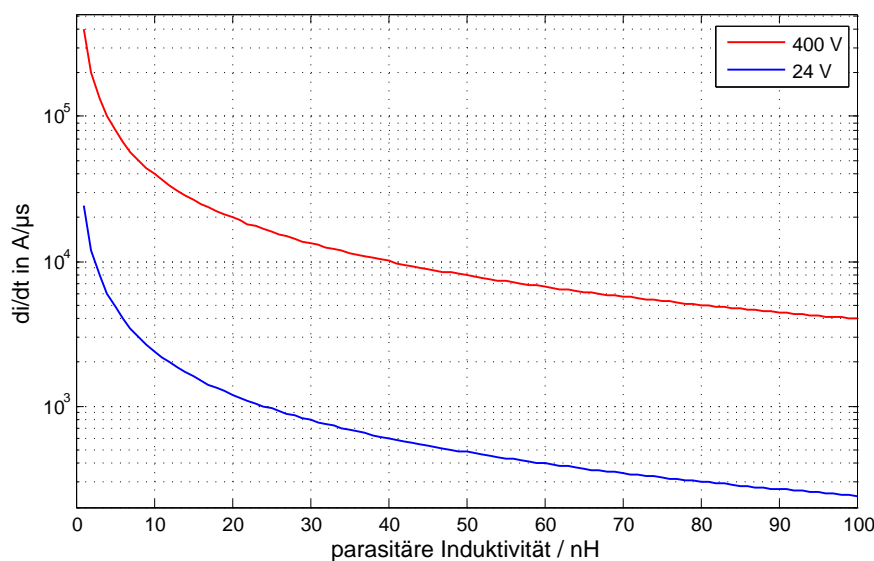


Abb. 4.13: Maximale zeitliche Stromänderung für Zwischenkreisspannungen von 24 V (blau) und 400 V (rot) bei parasitären Induktivitäten von 1 bis 100 nH im Kommutierungskreis

Halbleiter	Typ	$U_{BR,DSS}$ in V	t_r / t_f in ns	@ I_D in A (10%-90%)	typ. Stromgradienten* (Ein- / Ausschalten in A / μs)
Optimos 3	IPB019N06L3G	60	79 / 38	80	1013 / 2105
ISiT180	customized	70	98 / 66	100	1020 / 1515
CoolMOS	IPW65R660CFD	650	8 / 10	2,56	320 / 256

Tab. 4.4: Schaltzeiten moderner Leistungs-MOSFETs (*berechnet aus dynamischer Charakteristik gemäß Datenblattangaben, t_r und t_f jeweils für 10 %-90 % I_D [82], [83])

4.5.4 Einfluss der partiellen Schaltungsinduktivitäten auf das Schaltverhalten

Neben der direkten Beeinflussung der Stromdynamik durch die parasitäre Induktivität können Rückwirkungen auf weitere dynamische Eigenschaften des Leistungshalbleiters beobachtet werden. Das Schaltverhalten eines Leistungshalbleiters kann durch drei parasitäre Induktivitäten beeinflusst werden, die sich in den Strompfaden des Drain-, Source- oder Gateanschlusses befinden. Abbildung 2.4 zeigt eine Halbbrückenschaltung, bei der zur Veranschaulichung der enthaltenen parasitären Elemente für den MOSFET in der unteren Brückenhälfte das vollständige Ersatzschaltbild angegeben ist (Abb. 2.5).

4.5.4.1 Einfluss der Gesamtinduktivität $L_{\sigma,Zwk}$ auf das Schaltverhalten

Nachfolgend wird der Einfluss von $L_{\sigma,Zwk}$ auf das Schaltverhalten von Niedrigstspannungsmosfets für Hochstromanwendungen untersucht. Zu diesem Zweck wurden fünf verschiedene Zwischenkreise mit definierten parasitären Induktivitäten aufgebaut und im Labor hinsichtlich ihrer Auswirkungen auf die Strom- und Spannungsverläufe bei den Ein- und Ausschaltvorgängen untersucht. Die Messungen sind in Abbildung 4.14 dargestellt.

Die Beeinflussung des dynamischen Schaltverhaltens wurde mittels des Doppelpulsversuches (siehe Abschnitt 3.6.4) bei einer Zwischenkreisspannung von 25 V und einem Drainstrom von 100 A untersucht. Die Messungen zeigen, dass sich die parasitären Induktivitäten vor allem auf die Dynamik des Stromes auswirken, Abb. 4.14a) und b). Bedingt durch die geringe Zwischenkreisspannung von 25 V zeigt sich hier die begrenzte Einflussnahme der parasitären Induktivitäten besonders stark (vgl. Abb. 4.13). Die Stromanstiegszeiten erhöhen sich für die hier untersuchte Vergrößerung der Kommutierungsinduktivität $L_{\sigma,ZWK}$ von 29 nH bis 56 nH auf Zeiten von 102 ns bis 187 ns, sie skalieren also annähernd linear (s. Abb. 4.15). Die Stromfallzeiten $t_{f,i}$ werden weniger stark beeinflusst, hier beträgt die Abweichung für die Verdopplung der Induktivität nur etwa 30 % (vgl. Abb. 4.15). Die Dynamik der Drain-Source-Spannung $t_{f,u}$ und $t_{r,u}$ zeigt für den Einschaltvorgang nur eine schwache Abhängigkeit von $L_{\sigma,ZWK}$, vgl. Abb. 4.14 c) und d). Die Einschaltverluste sinken mit zunehmender parasitärer Induktivität (siehe Abb. 4.14 e), während die Ausschaltverluste ansteigen (Abb. 4.14 f). Es ist zu beachten, dass die Skalierung der Energie E_{sw} in beiden Fällen unterschiedlich ist.

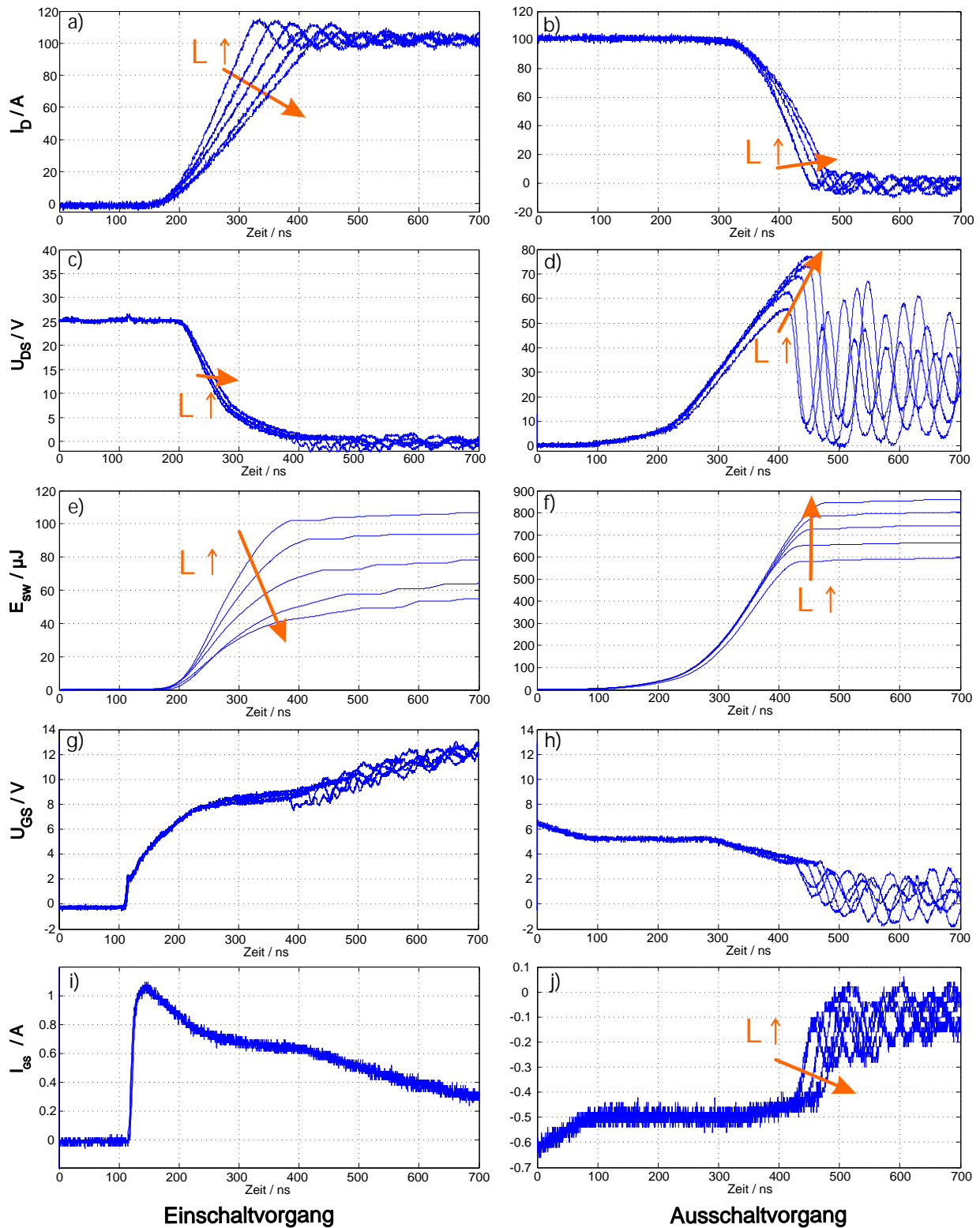


Abb. 4.14: Schaltvorgang des MOSFET ISiT180 für verschiedene parasitäre Induktivitäten des Kommutierungskreises: 33 nH, 38 nH, 46 nH, 54 nH, 64 nH bei $U_{Zwk} = 25$ V, $I_D = 100$ A, $R_g = 8,2$ Ω , $T_j = 25$ °C, Zeitskalierung: 100 ns / div

Der Vergleich der absoluten Werte für die Schaltverlustenergien zeigt, dass die Ausschaltverluste wesentlich stärker von den parasitären Induktivitäten beeinflusst werden, als die Einschaltverluste.

Die Abbildungen 4.14 g) und h) zeigen die Gatespannung U_{GS} beim Ein- bzw. Abschalten. Die unteren Abbildungen 4.14 i) und j) zeigen die dazugehörigen Gateströme I_G . Die Beeinflussung der Gatespannungen und -ströme durch $L_{\sigma,ZWK}$ ist vernachlässigbar.

Abbildung 4.15 und Tabelle 4.5 zeigen eine Übersicht über die aus den Messungen gewonnenen Daten. Schaltzeiten sind hier als mittlere Anstiegs- und Fallzeiten zwischen 10 % I_D und 90 % I_D angegeben.

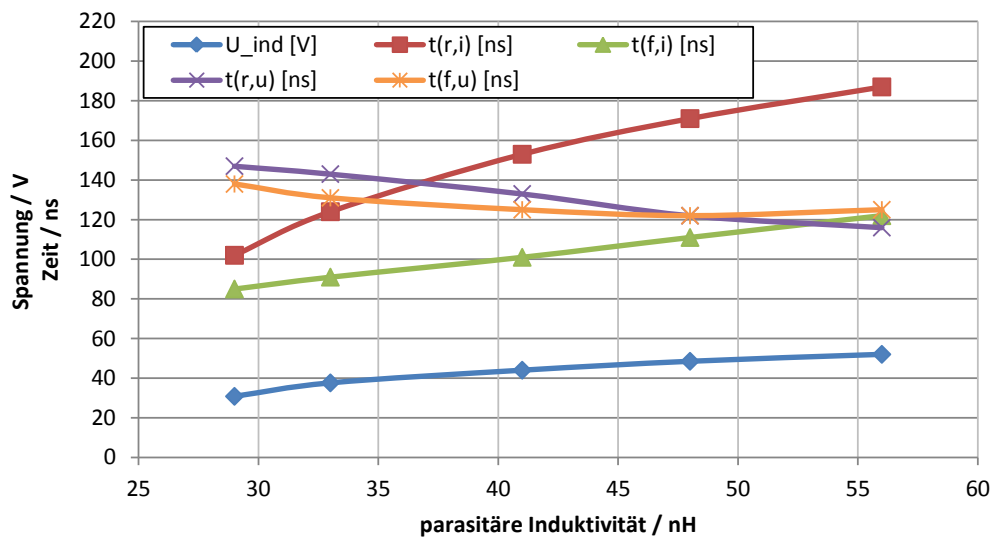


Abb. 4.15: Strom- und Spannungsein- und -ausschaltzeiten für den MOSFET ISiT 180 bei $U_{Zwk} = 25$ V, $I_D = 100$ A, $R_g = 8,2$ Ω , $T_j = 25$ $^{\circ}$ C

$L_{\sigma,Zwk}$	29 nH	33 nH	41 nH	48 nH	56 nH	
U_{ind}	30,8	37,6	44,0	48,5	52,0	[V]
$t_{r,i}$	102	124	133	171	187	[ns]
$t_{f,i}$	85	91	101	111	122	[ns]
$t_{r,u}$	147	145	133	122	116	[ns]
$t_{f,u}$	138	131	128	122	125	[ns]

Tab. 4.5: Gemessene elektrische Parameter des MOSFET ISiT 180 in Abhängigkeit von $L_{\sigma,Zwk}$ bei $U_{Zwk} = 25$ V, $I_D = 100$ A, $R_g = 8,2$ Ω , $T_j = 25$ $^{\circ}$ C

4.5.4.2 Einfluss der Gateanschlussinduktivität $L_{\sigma,GS}$ auf das Schaltverhalten

Die parasitäre Induktivität des Gateanschlusses $L_{\sigma,GS}$ ergibt sich aus der Induktivität der Gateleitung zwischen Treiberschaltung und MOSFET. Untersucht wurde der Einfluss von $L_{\sigma,GS}$ auf das Schaltverhalten des in Kapitel 8.2.2 vorgestellten MOSFETs ISiT 180.

Dafür wird unter Beibehaltung des Treibers und des Gatevorwiderstandes das dynamische Schaltverhalten bei unterschiedlichen Gateanschlusskabelnängen untersucht. Die Messergebnisse für das Schaltverhalten des Drainstromes I_D , der Drain-Source-Spannung U_{DS} , der Gate-Source-Spannung U_{GS} und des Gatestromes I_G sind in Abbildung 4.16 dargestellt. Die Ergebnisse sind in Tabelle 4.6 zusammengefasst.

Es zeigt sich, dass die Auswirkung der Gateinduktivität auf das Schaltverhalten von Niedrigspannungs-MOSFETs gering ist. Erst eine erhebliche parasitäre Induktivität von einigen 100 nH (100 nH werden durch eine etwa 10 cm lange Drahtzuleitung erzeugt) in Kombination mit einem auf $R_g = 3,9 \Omega$ reduzierten Gatevorwiderstand erlaubt die Messung von Abweichungen in den Schaltvorgängen. Die Ein- und Ausschaltverzögerungszeiten $t_{d,on}$ und $t_{d,off}$ steigen mit zunehmender Anschlussinduktivität an, da der Gradient des Gatestroms I_g reduziert und somit die Gatekapazität langsamer umgeladen wird. Der Effekt ist bei der Einschaltverzögerung stärker ausgeprägt, da die zeitliche Verzögerung bis zum Erreichen der Schwellenspannung $U_{gs,th} = 4,4 \text{ V}$ beim Einschalten größer ist.

Die Stromanstiegs- und -fallzeiten $t_{r,i}$ und $t_{f,i}$ zeigen im untersuchten Betriebspunkt kaum messbare Beeinflussung. Die Spannungsanstiegs- und -fallzeiten $t_{r,u}$ und $t_{f,u}$ reduzieren sich geringfügig mit zunehmender Induktivität. In der Abbildung 4.16 ist dies vor allem im Bereich der fallenden Spannungsflanke beim Einschalten sichtbar. Ab dem Zeitpunkt $t = 220 \text{ ns}$ ist der Gatestrom I_g für die höherinduktiven Zuleitungen größer, wodurch das vollständige Einschalten des MOSFET beschleunigt werden kann. Trotz der geringfügigen gemessenen Verkleinerung von $t_{r,u}$ und $t_{f,u}$ und einer daraus resultierenden geringfügigen Reduzierung der Schaltverluste ist eine niederinduktive Auslegung des Gatestromkreises anzustreben, da die Einkopplung von Störspannungen durch externe Magnetfelder mit wachsender parasitärer Induktivität zunimmt. Untersuchungen und Optimierungsansätze zu dieser Thematik werden in Kapitel 8.5.1 dargestellt.

$L_{\sigma,GS}$	20 nH	200 nH	400 nH	
U_{ind}	43,5	44	42,8	[V]
$t_{d,on}$	43	60	66	[ns]
$t_{r,u}$	71	70	66	[ns]
$t_{d,off}$	213	216	216	[ns]
$t_{f,u}$	76	74	66	[ns]

Tab. 4.6: Gemessene elektrische Parameter des MOSFET ISiT 180 in Abhängigkeit von $L_{\sigma,GS}$ bei $U_{Zwk} = 25 \text{ V}$, $I_D = 100 \text{ A}$, $L_{\sigma,ZWK} = 29 \text{ nH}$, $R_g = 3,9 \Omega$, $T_j = 25 \text{ °C}$

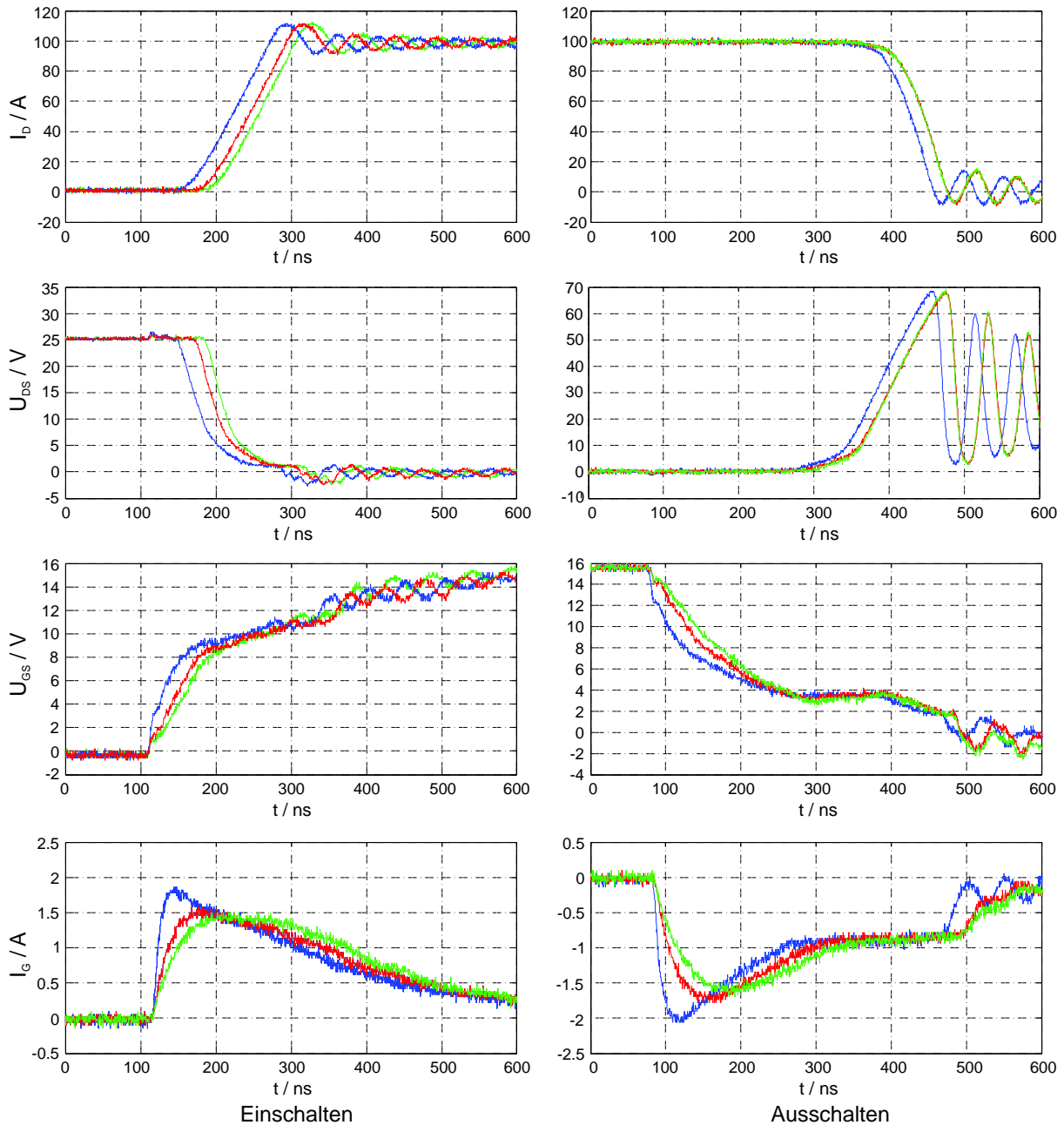


Abb. 4.16: Schaltvorgang des MOSFETs ISiT 180 für Variation von L_g mit konstantem Vorwiderstand $R_g = 3,9 \Omega$; blau: $L_g = 20 \text{ nH}$, rot: $L_g = 200 \text{ nH}$, grün: $L_g = 400 \text{ nH}$ bei $U_{Zwk} = 25 \text{ V}$, $I_D = 100 \text{ A}$, $T_j = 25 \text{ }^\circ\text{C}$, Zeitskalierung: 100 ns/div

4.5.4.3 Einfluss der Sourceinduktivität L_{CS} auf das Schaltverhalten

Die Induktivität L_{CS} beeinflusst das Schaltverhalten des MOSFETs durch die negative Rückkopplung auf die Spannung U_{GS} des Treibers, siehe Abbildung 4.17. Je größer die Induktivität L_{CS} gewählt wird, desto stärker wird die Rückkopplung des Stromgradienten di/dt beim Ausschaltvorgang und umso stärker wird der Abschaltvorgang gebremst. Abhängig von der Größe von L_{CS} lässt sich der Stromgradient für den in Abb. 4.17a) gezeigten Fall beim Ausschaltvorgang steuern. Dies ist insbesondere dann interessant, wenn die herkömmliche Methode der Widerstandssteuerung nur eine unzureichende Anpassung der Schaltgeschwindigkeit bietet. Die Untersuchungen und Ergebnisse zu diesem Thema wurden in [55] veröffentlicht. Für High Voltage MOSFETs wurden von [56] und für IGBTs von [84] vergleichbare Untersuchungen durchgeführt, wobei ähnliche Ergebnisse erzielt wurden. Die grundsätzlichen Zusammenhänge sind somit auch auf andere Leistungshalbleitertypen übertragbar.

Die Erhöhung der Induktivität $L_{\sigma,CS}$ bewirkt beim Ausschalten des MOSFETs, also bei negativem Drainstromgradienten, die Induktion einer Gegenspannung U_{ind} . Durch die damit verbundene Anhebung der Gate-Source-Spannung kommt es zu einer Verlangsamung des Ausschaltvorganges. Beim Einschaltvorgang kehrt sich dieser Effekt um: die über der Source-Induktivität induzierte Spannung des positiven Drainstromgradienten wirkt der Gatespannung (Aufladung des Gates) entgegen und verlangsamt auch hier den Schaltvorgang. Die Anpassung der gemeinsamen Source-Induktivität kann daher in Kombination mit einer Anpassung des Gatevorwiderstands genutzt werden, um das Schaltverhalten von Niedrigstspannungs-MOSFETs zu kontrollieren, vgl. [55].

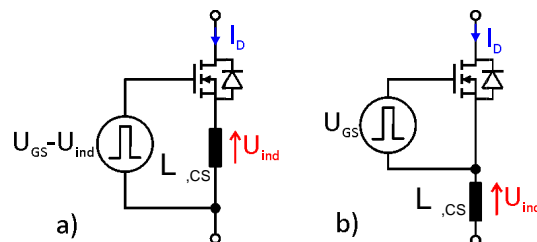


Abb. 4.17: Realisierung des Source-Anschlusses: a) mit Kopplung über $L_{\sigma,CS}$, b) Hilfssource-Anschluss für Anwendungen mit kurzen Schaltzeiten

4.5.5 Beeinflussung der Schaltverluste durch $L_{\sigma,Zwk}$

Die Betrachtung der Schaltverluste (Abbildung 4.18 und Tabelle 4.7) zeigt eine Reduzierung der Einschaltverluste bei Erhöhung von $L_{\sigma,Zwk}$, da die Stromanstiegszeit gebremst wird, während die Spannungsfallzeit nahezu konstant bleibt. Der Effekt auf die Ausschaltverluste ist erheblich größer, die höheren induzierten Spannungen und das langsamere Abfallen des Stromes führen hier zu einer Erhöhung der Schaltverluste. Die Betrachtung der Gesamtverluste zeigt, dass

der Anstieg der Ausschaltverluste die Abnahme der Einschaltverluste bei weitem überschreitet und somit eine Erhöhung der Gesamtverluste zu beobachten ist (Abb. 4.18). Die Schaltverluste limitieren die maximal mögliche Schaltfrequenz, wenn bei gegebenen thermischen Randbedingungen die maximale Sperrschichttemperatur des Bauteils erreicht wird. Ihre Minimierung hat also direkten Einfluss auf die maximal mögliche Schaltfrequenz bzw. auf den Wirkungsgrad der Halbleiter [85].

$L_{\sigma,ZWK}$	29 nH	33 nH	41 nH	48 nH	56 nH	
$E_{sw(on)}$	102	91	72	58	49	[μ J]
$E_{sw(off)}$	580	650	727	788	846	[μ J]
$E_{sw(ges)}$	682	741	799	846	895	[μ J]

Tab. 4.7: Gemessene elektrische Parameter des MOSFET ISiT 180 in Abhängigkeit von $L_{\sigma,GS}$ bei $U_{Zwk} = 25$ V, $I_D = 100$ A, $R_g = 8,2$ Ω , $T_j = 25$ °C

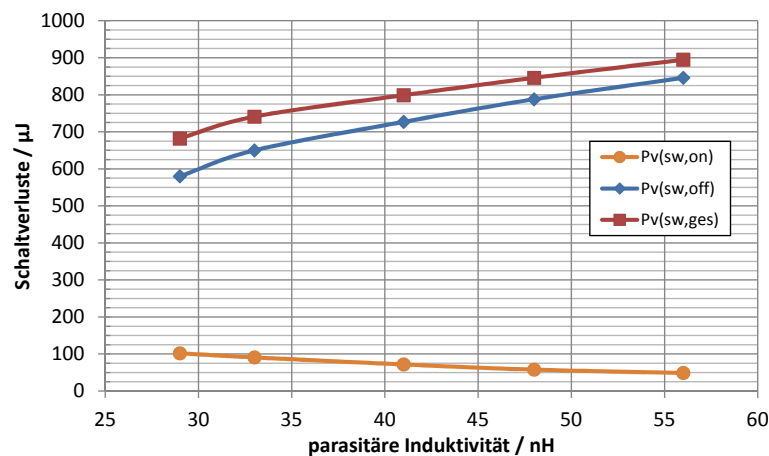


Abb. 4.18: Ein-, Ausschalt- und Gesamtverluste in Abhängigkeit von der parasitären Induktivität des Kommutierungskreises des MOSFET ISiT 180 bei $U_{Zwk} = 25$ V, $I_D = 100$ A, $R_g = 8,2$ Ω , $T_j = 25$ °C

4.5.6 Einfluss auf die thermischen Eigenschaften

Die bei Ausschaltvorgängen induzierten Überspannungen beeinflussen die Verlustenergie eines Leistungshalbleiters und haben somit direkte Auswirkung auf sein Temperaturverhalten (siehe Tab. 4.7). Mit Hilfe des simulativ bestimmten Wertes für den Wärmeübergangswiderstand $R_{th(j,h)}$ von 0,72 K/W (im verwendeten Moldmodul mit MOSFET ISiT180, je Halbleiter) lassen sich die resultierenden Sperrschichttemperaturen des MOSFETs für verschiedene parasitäre Induktivitäten bei einer Kühlkörpertemperatur von 80 °C und einem als konstant angenommenen Durchlassverlust von 7,5 W bei $\tilde{I}_D = 100$ A rechnerisch bestimmen. Abbildung 4.19 zeigt

die resultierenden Temperaturunterschiede zwischen Sperrschicht und Kühlkörper ($\Delta T_{j, KK}$) für verschiedene parasitäre Induktivitäten des Kommutierungskreises. Für parasitäre Induktivitäten zwischen 20 und 60 nH ändert sich $\Delta T_{j, KK}$ um etwa 3 K (16 kHz) bzw. 6 K (32 kHz). Die parasitäre Induktivität hat somit einen deutlichen Einfluss auf die thermischen Eigenschaften des Gesamtsystems.

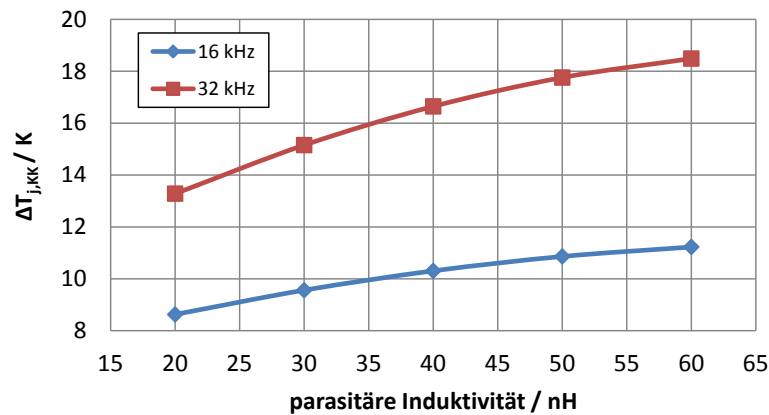


Abb. 4.19: Abhängigkeit von $\Delta T_{j, KK}$ von der durch parasitäre Induktivitäten beeinflussten Gesamtverlustleistung für $f_{sw} = 16$ kHz bzw. 32 kHz (berechnet); bei $U_{Zwk} = 25$ V, $I_D = 100$ A, $R_g = 8,2 \Omega$, $T_{kk} = 80^\circ C$

4.5.7 Einfluss auf LC-Oszillationen

Die parasitären Induktivitäten können mit den im Aufbau enthaltenen passiven Kapazitäten oder den parasitären Elementen in aktiven Bauelementen LC-Schwingkreise bilden, die zur Entstehung von Spannungs- und Stromschwingungen mit großen Amplituden führen können. Diese Oszillationen beeinflussen sowohl die Schaltverluste als auch die elektromagnetischen Emissionen auf negative Weise (vgl. 5. Kapitel und 4.5.5).

Auch die parasitären Elemente innerhalb der aktiven Bauelemente einer Schaltung können Kopplungen mit parasitären Elementen des Aufbaus verursachen. Die Gateinduktivität $L_{\sigma, GS}$ koppelt zum Beispiel resonant mit der Eingangskapazität des MOSFETs, wobei der Gatevorwiderstand allerdings zu einer Dämpfung der Oszillationen beiträgt, sodass in den meisten Fällen die Auswirkung von $L_{\sigma, GS}$ gering ist.

Die Source-Induktivität koppelt mit der DS-Kapazität des MOSFETs sowie mit der intrinsischen Kapazität der Diode. Hier ist die Oszillation nur durch die vernachlässigbaren Widerstände der Leiter gedämpft und fällt daher bei den Schaltvorgängen erheblich stärker aus. Zusätzlich ist sie über die Millerkapazität an die Gatekapazität gekoppelt und wirkt sich somit über U_{GS} auch auf U_{DS} und I_D aus.

Ihre Oszillationsfrequenz liegt typischerweise im Bereich einiger 10 MHz, was sich aus der Größenordnung der beteiligten parasitären Elemente ergibt und sich anhand des Emissionsspektrums nachvollziehen lässt.

Das Ersatzschaltbild in Abbildung 2.5 zeigt folgende Kopplungen:

- $L_{\sigma,D}$ und $L_{\sigma,S}$ mit C_{GD} und C_{DS} : starke Kopplung, nur schwach gedämpft, Auswirkung auf U_{DS} , U_{GS} und I_D
- $L_{\sigma,GS}$ mit C_{GS} und C_{DS} : mittlere Kopplung, gedämpft durch R_G , Auswirkung (schwach) auf U_{GS}
- $L_{\sigma,CS}$ mit C_{GS} und C_{DS} : starke Kopplung, nur schwach gedämpft, Auswirkung auf U_{DS} , U_{GS} und I_D

4.5.8 Einfluss auf die Lebensdauer der Bauelemente

Das Überschreiten der Durchbruchspannung $U_{BR,DSS}$ kann bei MOSFETs einen Avalanche-prozess verursachen, bei dem einzelne Elektronen durch das anliegende hohe elektrische Feld beschleunigt werden und durch Stoßprozesse Elektron-Loch-Paare bilden, die zu einem lawinenartigen Anwachsen des Stromflusses führen.

Insbesondere beim Schalten von induktiven Lasten ohne externe Schutzbeschaltung (engl.: *Unclamped Inductive Switching*) kann dieser Effekt auftreten. Dabei wird erhebliche thermische Energie freigesetzt (siehe Gleichung 4.3, [86]), die einzelne Zellen des Bauteils beschädigen und bei periodischem Auftreten von Avalancheprozessen das Bauteil zerstören kann [86].

$$E_{therm} = \frac{1}{2} \cdot I_{peak} \cdot U_{BR,DSS} \cdot \left(L_{\sigma} \cdot \frac{I_{peak}}{U_{BR,DSS} - U_{DS}} \right) \quad (4.3)$$

Auch an anderer Stelle können induzierte Überspannungen Schäden hervorrufen: Die Gateoxide moderner PowerMOS Bauelemente sind sehr dünn (< 100 nm), eine Überschreitung der zulässigen Spannung U_{GS} schädigt diese Isolationsschicht und reduziert daher die Lebensdauer der Bauelemente [87].

Neben der direkten Zerstörung sind durch die an parasitären Elementen induzierten Überspannungen somit auch Schädigungen möglich, die erst nach einiger Zeit zu einem Ausfall führen und daher als lebensdauerreduzierend klassifiziert werden können.

4.5.9 Einfluss auf Stromsymmetrie bei Parallelschaltung von Leistungshalbleitern

Um die Stromtragfähigkeit von Umrichtern bei erhöhten Leistungsanforderungen zu gewährleisten, werden innerhalb von Leistungsmodulen mehrere Halbleiter gleichen Typs parallel betrieben, oder es werden ganze Module parallel geschaltet. Eine homogene Stromverteilung zwischen den beteiligten Leistungshalbleitern bzw. -modulen ist essentiell, um die zulässigen Betriebsgrenzen jedes Bauteils einzuhalten. Unterschieden wird dabei zwischen der statischen Stromverteilung, die sich beispielsweise während der Einschaltdauer der Leistungshalbleiter

einstellt und der dynamischen Stromverteilung während des Auftretens von Transienten (einige 10 ns bis einige μs), etwa während der Ein- oder Ausschaltvorgänge der Leistungshalbleiter. Unsymmetrien der ohmschen Widerstände innerhalb paralleler Strompfade führen zu stationären inhomogenen Stromverteilungen. Es kann dadurch zu einer Überbelastung einzelner Bauelemente kommen.

Abweichungen in den parasitären Induktivitäten zwischen einzelnen Pfaden bewirken Unsymmetrien, die sich nur bei dynamischen Stromänderungen auswirken, dort jedoch zu erheblichen Abweichungen bei der Stromaufteilung zwischen den Bauelementen führen [64] und zudem Oszillationen zwischen den Chips hervorrufen können.

Zur Verdeutlichung dieses Zusammenhanges sei hier als Beispiel die Parallelschaltung dreier Niederspannungs-MOSFETs gemäß Abbildung 4.20 angenommen, bei denen sich die parallelen Strompfade um einige nH unterscheiden.

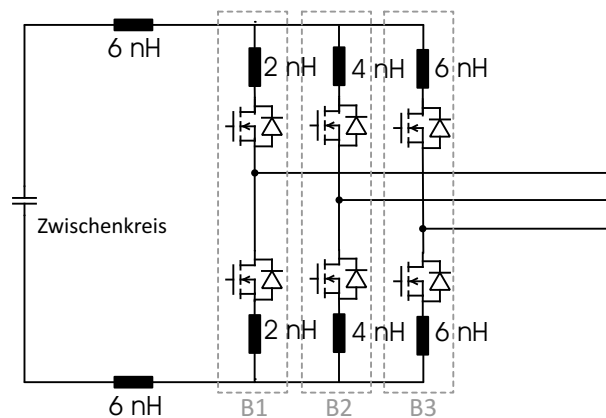


Abb. 4.20: Ersatzschaltbild: Parallelschaltung von MOSFETs unterschiedlicher Kommutierungsinduktivitäten

Für eine Zwischenkreisspannung von 24 V ergeben sich die folgenden Stromgradienten, die bei einer Schaltzeit von 100 ns zu den in Tabelle 4.8 angegebenen Abweichungen in der dynamischen Stromaufteilung führen.

	B1	B2	B3
Kommutierungsinduktivität / nH	16	20	24
Stromgradient / ($\text{A}/\mu\text{s}$)	1500	1200	1000
Strom nach 100 ns / A	150	120	100

Tab. 4.8: Berechnete Stromgradienten und Stromverteilungen für drei Halbbrücken mit unterschiedlicher parasitärer Induktivität

Diese einfache Abschätzung zeigt, dass die durch unterschiedliche parasitäre Induktivitäten verursachten dynamischen Prozesse einen zwar nur kurzzeitigen, aber hohen Einfluss auf die Stromaufteilung zwischen den Bauteilen haben. In einer Anwendung, bei der die Leistungshalbleiter auf die entsprechenden Nennströme ausgelegt sind, könnte der gezeigte Einfluss die

thermische Zerstörung des Bauteils durch Überstrom bedeuten. Bedingt durch den positiven Temperaturkoeffizienten von MOSFETs symmetriert sich der Strom im statischen Betrieb (nach einigen μs Einschaltdauer).

Neben den passiven Elementen einer Schaltung sind auch die Bauteilsschwankungen der Leistungshalbleiter entscheidend für die Stromverteilung. Untersuchungen zu den Einflüssen unterschiedlicher Eigenschaften der aktiven Bauteile wurden zum Beispiel in [88] statistisch und in [89] messtechnisch durchgeführt und sollen an dieser Stelle nicht Teil weiterer Untersuchungen sein.

4.5.10 Einfluss der parasitären Elemente von Bonddrähten in Leistungsmodulen

Die oberseitige Kontaktierung von Leistungshalbleitern erfolgt heute in den meisten Fällen durch Bonddrähte. Um eine ausreichende Stromtragfähigkeit zu gewährleisten, werden dabei mehrere parallel liegende Bonddrähte verwendet.

Die parallele Anordnung der Drähte führt zu einer Mitkopplung ihrer parasitären Induktivitäten, was einige unerwünschte Effekte verursachen kann, die nachfolgend beschrieben werden.

4.5.10.1 Unsymmetrie der dynamischen Stromverteilung

Die Kopplung zwischen den Bonddrähten ist nicht konstant, da bei parallel verlaufenden Bonddrähten, bedingt durch die Überlagerung der magnetischen Felder, die inneren Drähte eine stärkere Kopplung aufweisen als Bonddrähte am Rand. Der in Kapitel 2.5.3 erläuterte Proximityeffekt bewirkt eine unsymmetrische Stromverteilung zwischen den Bonddrähten.

Abbildung 4.21 zeigt die Simulation der Stromdichte für sechs parallele Bonddrähte (Durchmesser: $300 \mu m$, $I_{ges} = 50 A$), die im Abstand von $0,5 mm$ parallel verlaufen. Mit zunehmender Frequenz findet eine Stromverdrängung auf die äußeren Bonddrähte statt, bei denen sich der Strom wiederum in den außen liegenden Schichten konzentriert.

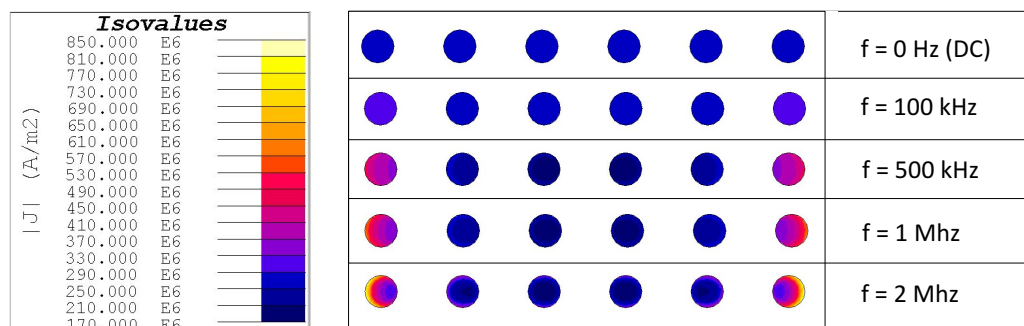


Abb. 4.21: Darstellung der Stromdichteverteilung in parallelen Bonddrähten in Abhängigkeit von der Schaltflankenfrequenz; Durchmesser $2r = 300 \mu m$; Abstand $d = 0,5 mm$; $I_{ges} = 50 A$

Während im Gleichstromfall ($f=0\text{ Hz}$) eine homogene Stromverteilung vorliegt, treten für höhere Frequenzen (Schaltvorgänge) stärkere Abweichungen auf ($f > 1\text{ MHz}$). Dies bewirkt eine Unsymmetrie der Stromverteilung, die in Abbildung 4.22 für verschiedene Frequenzen dargestellt ist. Dabei wird deutlich, dass die Auswirkungen der Unsymmetrie durch den Proximityeffekt stark zunehmen und dadurch Abweichungen um den Faktor 2 zwischen einzelnen Bonddrähten auftreten. Bedingt durch die Symmetrie des Aufbaus sind die ermittelten Werte jeweils für die symmetrischen Paare der Bonddrähte (Bonddrähte 1 und 6, 2 und 5 sowie 3 und 4) identisch und daher hier nicht gesondert dargestellt.

Je nach elektronischer Struktur des verwendeten Leistungshalbleiters kann dies während der hochfrequenten Schalttransienten zu unterschiedlicher Belastung der kontaktierten Siliziumzellen führen und so zu einer inhomogenen Belastung des Bauteils führen [80].

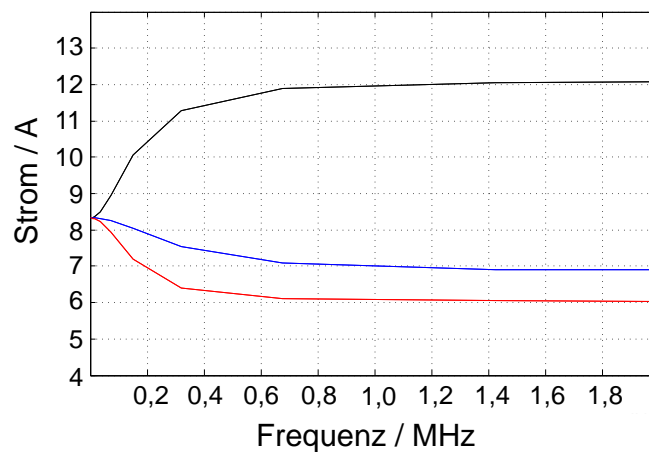


Abb. 4.22: Simulation der Stromverteilung in Abhängigkeit der Frequenz bei sechs Bonddrähten, $I_{ges} = 50\text{ A}$; Bonddrähte 1 und 6: schwarz, Bonddrähte 2 und 5: blau, Bonddrähte 3 und 4: rot

4.5.10.2 Einfluss auf die Lebensdauer

Ein weiterer Aspekt, der durch die parasitären Induktivitäten von Bonddrähten und die dadurch verursachte Magnetfelder beeinflusst wird, ist die Lebensdauer der Verbindung zwischen Bonddraht und Leistungshalbleiter. Bedingt durch die hohen Temperaturen des Siliziums und die unterschiedlichen thermischen Ausdehnungskoeffizienten (CTE) sind diese Verbindungen besonders kritisch, es kann hier zu Rissen oder Brüchen kommen (engl. *bond wire lift-off*) [90]. Neben den genannten thermomechanischen Belastungen spielen hier auch parasitäre Effekte und daraus resultierende elektromagnetisch/mechanische Belastungen eine Rolle: Durch das Magnetfeld benachbarter Bonddrähte kommt es zur Ausbildung einer Lorentzkraft, welche senkrecht nach außen auf die Drähte wirkt. Um eine Abschätzung der Größe dieser Kraft zu ermöglichen, soll von einem Strom von 20 A je Bonddraht bei einer Bonddrahtlänge von 20 mm

und einem Abstand von 0,5 mm ausgegangen werden. Gemäß der Gleichung

$$F = Bil \quad (4.4)$$

mit Magnetfeldstärke B , Strom i und Leiterlänge l wirkt bei der Annahme eines magnetischen Flusses von 5 mT (aus Simulation) bei jedem Schaltvorgang auf die äußeren der sechs Bonddrähte eine Kraft von ca. 6 mN. Diese Kraftwirkung ist zwar gering, wirkt jedoch bei jedem Schaltvorgang, also mit der Taktfrequenz des Bauteils, und kann in Kombination mit den thermischen Lastzyklen zu einer Ablösung der Chipmetallisierung und somit zu einem Ausfall des Moduls führen, wie es von [80] und in ähnlicher Form von [91] beobachtet wurde.

4.5.11 Einfluss auf die Systemkosten

Wie in den Abschnitten 4.5.3 und 4.5.2 gezeigt, verringern sich die Schalt- und Durchlassverluste eines Umrichters durch Optimierung der parasitären Induktivitäten. Dadurch können der Kühlaufwand und die damit verbundenen Kosten reduziert werden. Außerdem erhöht sich die Leistungsdichte des Umrichters.

Auf der anderen Seite kann bei gleichbleibender Kühlung und Reduzierung der Schaltverluste die Schaltfrequenz des Umrichters erhöht werden. Auf diesem Wege können die passiven Bauteile kleiner und damit kostengünstiger dimensioniert und durch das eingesparte Bauvolumen die Systemkosten weiter reduziert werden.

Mit der Verwendung von Leistungshalbleitern geringerer Spannungsfestigkeiten und somit nach 4.2 geringerem $R_{DS(on)}$ kann gegebenenfalls die benötigte Siliziumfläche innerhalb eines Umrichters reduziert werden, was ebenfalls die Systemkosten senkt.

4.6 Auswirkungen von parasitären Kapazitäten

4.6.1 Auswirkungen parasitärer Kapazitäten auf das Schaltverhalten

Die Auswirkung aufbaubedingter parasitärer Kapazitäten auf das Schaltverhalten von Niedrigspannungs-MOSFETs ist gering, da sie in den meisten Fällen gegenüber den inneren Kapazitäten des MOSFETs klein sind. Aufbaubedingte parasitäre Kapazitäten liegen in der Größenordnung von einigen hundert pF, während die der internen Kapazitäten von MOSFET mehrere nF überschreiten können (Bsp. ISIT180 $C_{iss} = 30$ nF, $C_{oss} = 5$ nF.)

Die Auswirkungen parasitärer Kapazitäten zeigen sich jedoch in Form einer Beeinflussung der hochfrequenten Spannungs- und Stromoszillationen nach den Schaltvorgängen der Leistungshalbleiter (siehe Kap. 5.3.3).

4.6.2 Entstehung von Leckströmen

Die parasitären Kapazitäten eines Aufbaus werden bei jeder Potentialänderung der beteiligten Leiterbahnen, also während des Schaltvorganges, umgeladen und können einen Stromfluss über die gemeinsame Bezugsmasse (z.B. das Kühlkörperpotential) verursachen.

Der dabei fließende Erdstrom I_E muss im Umrichter über geeignete, nahe an den Leistungshalbleitern angebundene, Y-Kondensatoren geführt werden, um einen unerwünschten Stromfluss über die Controller- oder Treiberleitungen zu unterbinden, der Probleme der EMV nach sich ziehen könnte. Dadurch kommt es zur Entstehung leitungsgebundener Gegentaktstörungen (siehe 2.6.2.1).

4.7 Auswirkung der parasitären Elemente auf die elektromagnetische Verträglichkeit

Im Allgemeinen werden elektromagnetische Emissionen entweder durch Strom- oder Spannungsflanken verursacht (di/dt bzw. du/dt). Physikalisch betrachtet bewirken die zeitlichen Änderungen dieser Größen die Aufnahme oder die Abgabe elektrischer Energie, die in Form eines magnetischen Feldes (bei Induktivitäten) oder eines elektrischen Feldes (bei Kapazitäten) gespeichert ist. Die aus den parasitären Elementen freigesetzte elektrische Energie ist schließlich für die elektromagnetischen Emissionen einer Schaltung mitverantwortlich.

In der EMV-Messtechnik wird zwischen Gegentaktstörungen, die durch den Beitrag der parasitären Induktivitäten verursacht werden, und den Gleichtaktstörungen unterschieden, die durch kapazitive Effekte hervorgerufen werden, vgl. Kapitel 2.6.2.1 [28].

Es ist daher notwendig, die parasitären Parameter eines Leistungsmoduls genau zu modellieren und zu bestimmen, wenn eine Aussage über die zu erwartenden EMV-Eigenschaften gefordert ist. Methoden zur Modellierung und Bestimmung der parasitären Induktivitäten und Kapazitäten werden in Kapitel 3. vorgestellt, im nachfolgenden Abschnitt geht es zunächst um die Charakterisierung der parasitären Elemente und das Verständnis ihrer allgemeinen Eigenschaften.

4.7.1 Beeinflussung der EMV durch parasitäre Induktivitäten

Gemäß den maxwellschen Gleichungen, aus denen sich das Induktionsgesetz als Spezialfall ableiten lässt, erzeugt jeder zeitlich veränderliche Strom ein Magnetfeld um den stromführenden Leiter. Entlang der geschlossenen Feldlinien dieses Magnetfeldes wird eine Spannung hervorgerufen, die als induzierte Spannung messbar ist und einen Stromfluss bewirkt, dessen Magnetfeld dem ursächlichem Stromfluss entgegen gerichtet ist (Lenz'sche Regel).

Somit ist es technisch unvermeidbar, dass jeder Leiterabschnitt eines leistungselektronischen Aufbaus eine parasitäre Induktivität aufweist. Einzig die Größe der Induktivität, die (bei konstanter Permeabilität im betrachteten Raum) proportional zur Größe des resultierenden Magnetfeldes ist, kann durch geometrische Optimierungen reduziert werden.

4.7.2 Beeinflussung der EMV durch parasitäre Kapazitäten

Die heute übliche Aufbau- und Verbindungstechnik moderner Leistungshalbleitermodule führt zur Entstehung parasitärer Kapazitäten: Die Leistungshalbleiter werden auf einem DCB (engl.: *direct bonded copper*) Substrat mittels Lot- oder Sinterverfahren flächig kontaktiert. Die so entstehende vertikale Struktur ist in Abbildung 4.1 dargestellt.

Bedingt durch die Verwendung eines elektrisch isolierenden Substrats entstehen kapazitive Kopplungen zwischen den Potentialflächen des Moduls und der Rückseitenmetallisierung, die zur Reduzierung thermischer Spannungen bei Erwärmung des Moduls verwendet werden muss. Bei Schaltvorgängen der Leistungshalbleiter werden steile Spannungsflanken du/dt erzeugt. Diese Spannungsflanken führen als Gleichtaktstörung zu Verschiebungsströmen in den Schutzleitern, als Gegentaktstörung verursachen sie Störströme, die sich im Umrichter schließen (siehe Kap. 2.6.2.1).

Parasitäre Kapazitäten sind von besonderer Bedeutung für die (leitungsgebundenen) Störemissionen des Moduls während des Betriebs. Die Kupferflächen des DCBs sind kapazitiv gegen die Bodenplatte des Moduls gekoppelt, die meist auf dem elektrischen Potential des Kühlkörpers liegt. Während des Betriebs wird die Spannung am Phasenanschluss mit der gewählten Taktfrequenz zwischen dem Bezugspotential des Zwischenkreises (0 V) und der Zwischenkreisspannung umgeladen. Daraus resultiert ein Verschiebungsstrom, der sich gemäß der Gleichung

$$I_{disp} = C \cdot \frac{dU}{dt} \quad (4.5)$$

berechnen lässt. Diese Verschiebungsströme erreichen in MOSFET-Modulen Größen im Bereich von einigen zehn bis hundert Milliampere.

Vor allem bei Anwendungen aus dem Automotive-Bereich muss hier besondere Aufmerksamkeit auf die Unterbindung von Kopplungswegen gelegt werden, zumal bei diesen Anwendungen meist zwischen der Masse, die das Bezugspotential der elektrischen Schaltung bildet, und der Fahrzeugmasse, die auf dem gleichen Potential wie die Karosserie liegt, unterschieden wird.

Wenn parasitäre Kapazitäten gegen die elektrische Bezugsmasse koppeln, können sich die entstehenden Störungen in andere Schaltungen einkoppeln und wiederum Störungen verursachen [92]. Der Strom, der diese Gleichtaktstörung verursacht, wird durch das Laden und Entladen der parasitären Kapazitäten gegen Masse erzeugt. Da die thermischen Anforderungen eine großflächige Ankopplung an den Kühlkörper erforderlich machen, sind die entstehenden Kapazitäten insbesondere für die Schaltungsfunktion bei Automotiveanwendungen nicht mehr vernachlässigbar.

sigbar. Des Weiteren besteht auf den DCBs eine kapazitive Kopplung zwischen den einzelnen Kupferbahnen. Die Größe dieser Kopplung beträgt jedoch nur einen Bruchteil der Kapazität gegen die Rückseitenmetallisierung.

Die parasitäre Kapazität zwischen den beiden Seiten des DCBs kann mit Hilfe der Plattenkondensatorgleichung näherungsweise berechnet werden. Man erhält für das gewählte Beispiel einer 2000 mm^2 DCB eine Kapazität von 440 pF . Zu Abschätzung werde ein Spannungsgradient von $250 \text{ V}/\mu\text{s}$ angenommen. Gemäß $I_{disp} = C_{DCB} \cdot \frac{du}{dt}$ ergibt sich bei jedem Schaltvorgang ein Verschiebungsstrom von 110 mA . Genauere Untersuchungen müssen auch die Koppeffekte zwischen den Kapazitäten berücksichtigen. Abbildung 4.23 zeigt die serielle Kopplung zweier Kondensatoren über die Rückseitenmetallisierung eines Leistungsmoduls [93].

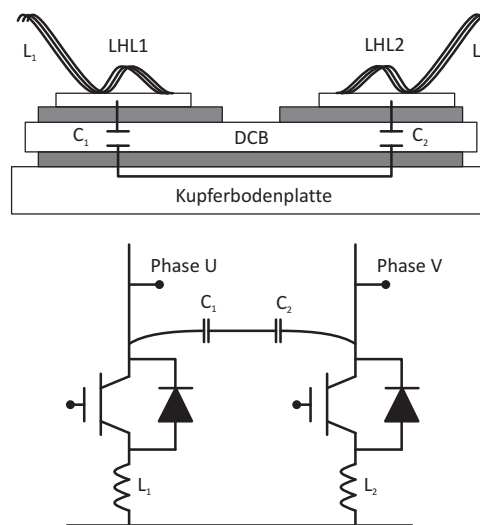


Abb. 4.23: Kapazitive Kopplung zweier Leistungshalbleiter auf einem DCB, nach [93]

4.7.3 Abschätzung des Einflusses parasitärer Kapazitäten auf die Modulperformance

Parasitäre Kapazitäten sind vor allem für die Gleichtaktstörungen des Umrichters verantwortlich. Die Verschiebungsströme (siehe Abschnitt 4.6.2), die aus dem Umladen der parasitären Kapazitäten bei jedem Schaltvorgang resultieren, breiten sich innerhalb des DC-Netzes des Umrichters aus und können dadurch Rückwirkungen auf weitere Bestandteile des Systems haben. Außerdem tragen die aufbaubedingten parasitären Kapazitäten des Moduls zu einer Erhöhung der Schaltverluste bei, da bei jedem Schaltvorgang die in ihnen gespeicherte Energie $W = \frac{1}{2} C U^2$ umgeladen werden muss. Diese Verluste treten bei jedem Schaltvorgang auf, selbst dann, wenn kein Strom durch den Halbleiter fließt.

Besonders bei hochfrequent taktenden MOSFET mit hoher Sperrspannung ($> 600 \text{ V}$) wird diese Auswirkung parasitärer Kapazitäten in Form von in Wärme umgesetzter Verlustenergie deutlich.

4.8 Zusammenfassung und Schlussfolgerungen

In diesem Kapitel wurden die Auswirkungen parasitärer Elemente unterschiedlicher Leiterstrukturen innerhalb eines Umrichters in Bezug auf die Leistungshalbleiter untersucht. Die Analyse zeigt, dass die Auswirkungen sehr vielschichtig sind: Neben der Beeinflussung des dynamischen Verhaltens einer Schaltung und den damit in Zusammenhang stehenden Größen wie induzierte Überspannungen, Schaltverluste und Oszillationen sind auch Einflüsse auf die Spannungsfestigkeit und den Durchlasswiderstand, sowie auf die Lebensdauer und Systemkosten nachgewiesen. Ein weiterer zu berücksichtigender Faktor ist die Auswirkung parasitärer Elemente bei Parallelschaltung mehrerer Leistungshalbleiter, da insbesondere bei kleinen Zwischenkreisspannungen schon geringfügige Abweichungen der parasitären Induktivitäten zu erheblichen Unsymmetrien bei der Stromverteilung führen können.

Es zeigt sich daher, dass ein hinsichtlich seiner parasitären Elemente optimierter Umrichter wesentlich wirtschaftlicher arbeiten kann, nicht zuletzt, weil bei der Systemauslegung Sicherheitsreserven reduziert werden können.

Parasitäre Elemente wirken sich somit auf die Auslegung der Leistungshalbleiter, den Kühlaufwand und die Performance des Gesamtsystems aus und müssen während der Entwicklungsphase entsprechend berücksichtigt werden, die wesentlichen Einflussgrößen wurden in diesem Kapitel dargestellt.

Die Beeinflussung der elektromagnetischen Störemissionen wird in ihren Grundlagen diskutiert und soll im nachfolgenden Kapitel genauer untersucht werden.

5. Auswirkungen parasitärer Elemente auf leitungsgebundene Störemissionen

5.1 Einführung

Die Gewährleistung der Elektromagnetischen Verträglichkeit (EMV) eines Umrichters stellt ein wesentliches Ziel der Entwicklungsarbeit dar. Nur Geräte, welche die geltenden normativen Bestimmungen (wie z.B. nach CISPR, IEC, DIN, VDE oder MIL-STD) erfüllen, dürfen vermarktet werden.

Eine entwicklungsbegleitende Analyse der zu erwartenden Störemissionen ist dabei von besonderem Interesse, da die Ausführung technischer Nachbesserungen am Ende einer Produktentwicklung meist hohe Kosten und zeitlichen Mehraufwand mit sich bringen [94].

Das Ziel einer EMV Optimierung ist im Allgemeinen die Einhaltung bestimmter Grenzwerte, wie sie z.B. durch Normen vorgegeben werden. Zur Reduzierung der Störemissionen sind unterschiedliche Ansätze bekannt, die entweder durch Verwendung von Zusatzschaltungen wie passiver Filter [95], [96], [97] bzw. aktiver Filter [98], [99], durch besondere Schalt- (soft-switching, [100]) oder Ansteuerverfahren (spread spectrum [101], parasitic noise source cancellation, [102]) eine Reduzierung der Störampplituden erreichen. Alle genannten Verfahren zielen auf die Reduzierung der Auswirkungen des harten Schaltens in Verbindung mit parasitären Elemente ab. Sie bedeuten einen Mehraufwand bezüglich der Bauteile und der Komplexität der Ansteuerverfahren.

Die Untersuchung der Störquellen (also hart schaltenden Halbleiter und der parasitären Elemente) auf die Störemissionen und Möglichkeiten zur Beeinflussung und Optimierung des Emissionsspektrums durch Modifikation der im Aufbau enthaltenen parasitären Elemente zur Erzielung möglichst geringer EMI Störspektren stellt die elegantere, weil nachhaltigere und kostengünstigere Lösung dar. Die sich ergebenden Abhängigkeiten und Optimierungspotentiale sind in der Literatur noch nicht ausführlich betrachtet worden. Einzelne Messungen anhand eines Gleichstromstellers sind in [56] vorgestellt.

Die Analyse der Abhängigkeit der Störemissionen von den parasitären Elementen erfordert zunächst eine genaue Bestimmung und Bewertung der im Aufbau enthaltenen Elemente, hierauf wurde im 3. Kapitel bereits eingegangen.

Eine Übersicht über die Messmethoden für leitungsgebundene Störemissionen liefern [18] und [19]. Eine Bewertungsmethode zum Vergleich verschiedener Emissionsspektren auf Basis der erforderlichen Entstörmaßnahmen wird von [103] vorgeschlagen.

Bei Kenntnis der parasitären Elemente und der Möglichkeit, ihre Werte zu modifizieren, können mittels Störemissionsmessungen Abhängigkeiten und Optimierungsansätze abgeleitet werden. Diese Untersuchungen sind Bestandteil des nachfolgenden Kapitels.

5.1.1 Vorüberlegungen zu Emissionsspektren

Parasitäre Elemente in den passiven und aktiven Komponenten eines Stromrichters sind nach Stand der Forschung die Hauptursache von leitungsgebundenen Störemissionen [104]. Während des Betriebs eines Umrichters wird durch die mit der Schaltfrequenz getaktete Umladung der parasitären Elemente elektrische oder magnetische Energie zwischengespeichert. Diese Energie wird bei jedem Umladevorgang als Störenergie freigesetzt und zeigt sich dann im Emissionsspektrum eines Umrichters.

Die fundamentalen Mechanismen, die zur Entstehung der leitungsgebundenen Störungen führen, sind aufgrund der vielfältigen Kopplungen komplex und können nur für stark vereinfachte Modelle analytisch beschrieben werden. Ansätze hierfür zeigen [105] und [104].

Bei hart schaltenden Umrichtern sind vor allem drei Faktoren für die Amplituden- und die Frequenzverteilung der Emissionsspektren relevant:

1. das zur Ansteuerung der Leistungshalbleiter verwendete Pulsmuster (PWM-Verfahren) [106], [107], [108] und [109],
2. die elektrischen Eigenschaften der verwendeten Leistungshalbleiter (statisch und dynamisch, sowie halbleiterinterne parasitäre Elemente) und
3. die parasitären Elemente im Aufbau, die Schalteigenschaften eines Leistungshalbleiters beeinflussen, Störenergie speichern und elektro-magnetische Kopplungen und Emissionen verursachen [56], [110], [111], [112], [113].

Die Auswirkungen unterschiedlicher Ansteuerverfahren (Punkt 1) werden in dieser Arbeit nicht untersucht. Grundlage der meisten Verfahren bildet die Variation der Taktfrequenz nach bestimmten Methoden, sodass einzelne Peaks im Emissionsspektrum durch die Verteilung auf ein breiteres Frequenzband abgeschwächt werden. Ihren besonderen Vorteil zeigen diese Verfahren im Bereich des A-Bandes (9 kHz - 150 kHz), da sich hier insbesondere die Schaltfrequenz und ihre Harmonischen zeigen. Der Einfluss der Ansteuerverfahren auf höherfrequente Störemissionen ist eher als gering zu bewerten. Zur weiteren Vertiefung sei vor allem auf die Arbeiten von [106], [107], [108] und [109] verwiesen.

Die elektrischen Eigenschaften der Leistungshalbleiter wirken sich über die parasitären Elemente des Aufbaus auf die elektromagnetische Verträglichkeit aus. Somit erscheint es sinnvoll, die Punkte 2 und 3 kombiniert zu betrachten und die Auswirkungen der parasitären Elemente auf ihre Beeinflussung zum einen der Schalteigenschaften und zum anderen auf die Spannungs- und Stromtransienten zu untersuchen.

In der Literatur finden sich nur wenige Arbeiten zur qualitativen Untersuchung der Auswirkung parasitärer Elemente in leistungselektronischen Systemen auf die leitungsgebundenen Störemissionen. In [114] wurden die Auswirkungen parasitärer Elemente auf die EMV-Eigenschaften

von mikroelektronischen Bauteilen (System-on-Chip, SoC) untersucht. Es wird darauf hingewiesen, dass die elektromagnetischen Emissionen hauptsächlich durch die von parasitären Elementen verursachten Kopplungen und nicht durch die Leistungshalbleiter selber verursacht werden. Ob diese These auch für leistungselektronische Systeme zutrifft, muss überprüft werden.

5.1.2 Frequenzanalyse unterschiedlicher Signalarten in Umrichtern

Das Frequenzspektrum der Störemissionen eines Umrichters kann in unterschiedliche Bereiche zergliedert werden. Abbildung 5.1 zeigt eine Übersicht über die wesentlichen Störquellen und ihre Signalverläufe sowie ihre Auswirkungen auf bestimmte spektrale Bereiche.

Die typische leistungstragende Ausgangsfrequenz von Umrichtern im Automotive-Bereich liegt bei einigen 10 bis 100 Hz. Die niedrige Frequenz bewirkt, dass parasitäre Elemente nur sehr langsam umgeladen werden und daher auch nur wenig Störenergie abgeben, somit also für das Emissionsspektrum vernachlässigt werden können.

Bei höherfrequenten Signalverläufen wie dem PWM-Muster der Ausgangsspannungen können bereits kleinere parasitäre Elemente bedingt durch die schnelle Umladung einen erheblichen Anteil an Störenergie in das System einkoppeln.

Der Effekt verstärkt sich bei höheren Frequenzen, wie sie etwa als Äquivalente der Spannungs- und Stromgradienten angegeben werden können. Hier treten spektrale Anteile im Bereich einiger MHz auf. Die höchsten Frequenzen findet man in den LC-Oszillationen direkt nach den Schaltvorgängen der Leistungshalbleiter. Hier sind Frequenzen im Bereich von einigen 10 MHz vorherrschend.

Die Zuordnung bestimmter Bandbereiche des Spektrums zu den jeweiligen Ausschnitten der Spannungs- und Stromzeitverläufe ermöglicht die iterative Analyse der Auswirkungen von den im Zeitbereich herbeigeführten Änderungen auf die Emissionsspektren.

T	f	Signal	Spektrum	Frequenzband
		<p>$f(t) = x \cdot \sin(\omega t)$</p>	<p>$1/T$</p>	0-500 Hz
		<p>$f(t) \begin{cases} = 0 \text{ für } 0 < t < t' \\ = x \text{ für } t' < t < T \end{cases}$</p>	<p>$1/T \quad 1/t' \quad 2/t'$</p>	500 Hz - 150 kHz
			<p>$1/\pi \cdot T \quad 1/\pi \cdot t_r$</p>	150 kHz - 5 MHz
		<p>$f(t) = x e^{-\delta t} \cos(\omega t)$</p>	<p>$1/T$</p>	2 Mhz - 30 Mhz

Abb. 5.1: Übersicht über Signalarten in Umrichtern im Zeit- und im Frequenzbereich (nach [19])

5.2 Laboraufbau

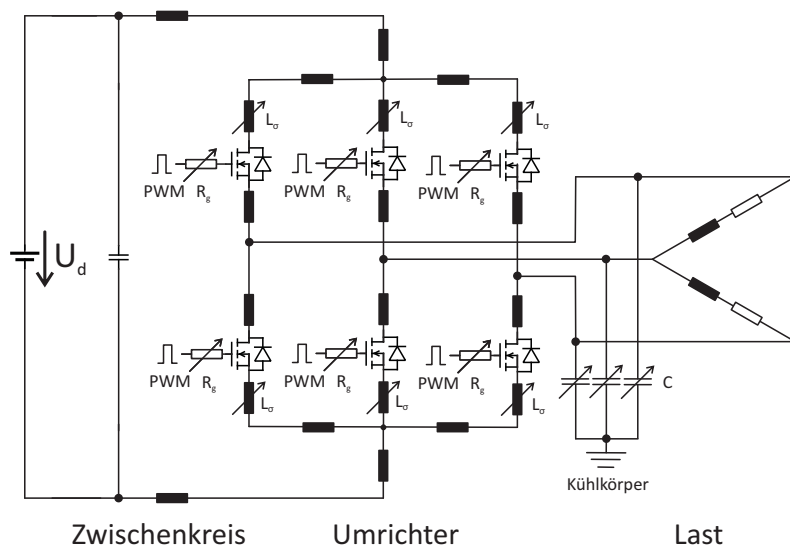


Abb. 5.2: Ersatzschaltbild der untersuchten Topologie eines dreiphasigen Niederstspannungswechselrichters mit variablen parasitären Elementen

Abbildung 5.2 zeigt das Ersatzschaltbild der für die messtechnischen Untersuchungen verwendeten Topologie mit variablen parasitären Elementen.

Es wurde eine passive (ohmsch-induktive) Last verwendet, um die Beeinflussung der Messungen durch drehzahlabhängige Einkopplungen wie bei einer motorischen Last zu unterbinden. Untersuchungen der elektromagnetischen Emissionen mit Schwerpunkt auf motorischen Lasten wurden zum Beispiel in [94], [115], [116], [117] und [118] durchgeführt.

Während der nachfolgenden Untersuchungen wurden zur besseren Vergleichbarkeit und Bewertbarkeit der Änderungen im Emissionsspektrum alle übrigen Parameter wie die Parameter des PWM-Verfahrens (Raumzeigermodulation), Laststrom, Last- und Zwischenkreisspannung konstant gehalten. Als variable Parameter wurden „diskrete“ passive Elemente eingefügt, deren Größe variabel ist. Als veränderliche Parameter ergeben sich somit die Gatevorwiderstände R_g , die Kapazitäten C in den Phasen gegen Kühlkörperpotential und die parasitäre Induktivität des Zwischenkreises L_σ , vgl. Abb. 5.2.

Ziele der in diesem Kapitel durchgeführten Untersuchungen sind, die Ursachen leitungsgebundener Störemissionen eines Umrichters darzustellen und qualitative Abhängigkeiten zu analysieren. Dabei stellt die Ausarbeitung von „Designregeln“ zur Verbesserung der EMV-Eigenschaften eines Umrichters ein wesentliches Ziel dar.

Das Vorgehen zur Analyse der Auswirkungen parasitärer Elemente besteht zunächst in der Untersuchung der Beeinflussung der Strom- und Spannungsverläufe im Zeitbereich, anschließend wird mit Hilfe einer Fouriertransformation ein Frequenzspektrum erstellt. Die Durchführung einer Sensitivitätsanalyse und eine Bewertung bilden den Abschluss des Kapitels.

5.3 Analyse der Auswirkungen parasitärer Elemente

5.3.1 Auswirkungen der Leistungshalbleiter

Das Schaltverhalten der Leistungshalbleiter ergibt sich zum einen aus den elektronischen und elektromagnetischen Eigenschaften des Bauteils und wird zum anderen durch die passiven Bauteile der Beschaltung beeinflusst, wie in den vorangegangenen Abschnitten gezeigt wurde.

Eine kontrollierte Beeinflussung des Schaltverhaltens wird bei Niedrigstspannungs-MOSFETs jedoch meist nur durch Variation des Gatevorwiderstandes erreicht.

Durch die Vergrößerung des Gatevorwiderstandes wird die Schaltgeschwindigkeit des MOSFETs verlangsamt. Daher reduzieren sich zum Einen die Spannungsgradienten, zum Anderen werden die Stromanstiegs- und -fallzeiten verlangsamt, was zu geringeren Überspannungen beim Ausschaltvorgang führt. Da sich die parasitären Elemente durch Variation des Gatevorwiderstandes nicht ändern, sollten die Frequenzen der LC-Oszillationen konstant bleiben.

5.3.2 Auswirkungen der parasitären Induktivitäten

Beim Einschalten eines Leistungshalbleiters führt der Stromfluss durch die parasitären Induktivitäten zur Entstehung eines magnetischen Feldes, das elektrische Energie speichert. Beim Ausschalten des Stromes baut sich diese Energie über die Induktion einer Spannung und den damit verbundenen Stromfluss in dem Leiter wieder ab.

Die parasitären Induktivitäten beeinflussen somit sowohl die Gradienten der Ein- und Ausschaltströme als auch die Höhe der induzierten Spannungen. Zusätzlich werden durch die Spannungsgradienten parasitäre Kapazitäten geladen, die dann mit den Induktivitäten hochfrequent oszillieren. Die Frequenz dieser LC-Oszillationen berechnet sich nach der Grundgleichung 2.23. Es ist daher ein erheblicher Einfluss der parasitären Induktivitäten im Kommutierungskreis auf das Emissionsspektrum zu erwarten: Die Induktivitäten sind ursächlich für Gegenaktstörungen zwischen den DC-Leitern eines leistungselektronischen Systems verantwortlich. Die Stromgradienten während der Schaltvorgänge übertragen sich in hochfrequente (>500 kHz) Störemissionen.

5.3.3 Auswirkungen der parasitären Kapazitäten

Parasitäre Kapazitäten sind geladen, wenn sich der Leistungshalbleiter auf dem Leiterabschnitt im sperrenden Zustand befindet und durch die Potentialdifferenz zwischen Drain und Source ein elektrostatisches Feld besteht. Sobald durch das Einschalten die Spannung der Potentialfläche gegenüber dem Bezugspotential (z.B. Rückseitenmetallisierung des Moduls) sinkt, entlädt sich die parasitäre Kapazität der Potentialfläche. Dies führt zu einem Überspringen am Ende der

Schaltspannungsflanken, außerdem können die Kapazitäten dabei mit den parasitären Induktivitäten des Aufbaus koppeln und verursachen hochfrequente gedämpfte Oszillationen, deren Energie sich aus der Summe der in der Kapazität und der Induktivität gespeicherten Energie ergibt:

$$E_{ges} = \frac{1}{2}CU^2 + \frac{1}{2}LI^2 \quad (5.1)$$

Die durch parasitäre Kapazitäten verursachten Störungen zeigen sich in Form von Gleichtaktströmen, die durch die kapazitive Kopplung von Bauelementen an die gleiche Bezugsmasse (z.B. Kühlkörpermasse) entstehen. Die Umladung erfolgt im Takt der Schaltfrequenz, Hauptbestandteil der Störemissionen sind daher Frequenzen im Bereich einiger 10 kHz (< 500 kHz).

5.4 Messtechnische Untersuchungen

Für die Messungen wird ein dreiphasiger 2,5 kW-Umrichter mit 24 V Zwischenkreisspannung verwendet, dessen Leistungshalbleiter innerhalb des in Abschnitt 8.2.2 beschriebenen Leistungshalbleitermoduls zusammengefasst sind. Die Spannungsversorgung erfolgt über stabilisierte Labornetzteile (2x Voltcraft: 30 V, 60 A, parallel geschaltet). Die Zwischenkreiskondensatoren und die Treiberelektronik sind auf einer gemeinsamen mehrlagigen Elektronikflachbaugruppe zusammengefasst. Der Umrichter speist eine passive Last, um eine Beeinflussung der zu messenden Störemissionen durch eine drehende Maschine zu vermeiden. Es handelt sich um eine im Dreieck geschaltete ohmsch-induktive Last ($L = 80 \mu\text{H}$, $R = 450 \text{ m}\Omega$).

In Abbildung 5.3 ist ein normkonformer Messplatz zur Charakterisierung von leistungsgebundenen Störemissionen nach MIL-STD 461e dargestellt. Für die nachfolgend beschriebenen Messungen wurde ein Labormessplatz in Anlehnung an diesen Aufbau gewählt, vollständige Normkonformität konnte jedoch aufbaubedingt nicht erreicht werden. Da das Ziel der Messungen in diesem Fall der Vergleich unterschiedlicher Aufbauvarianten und die Untersuchung der

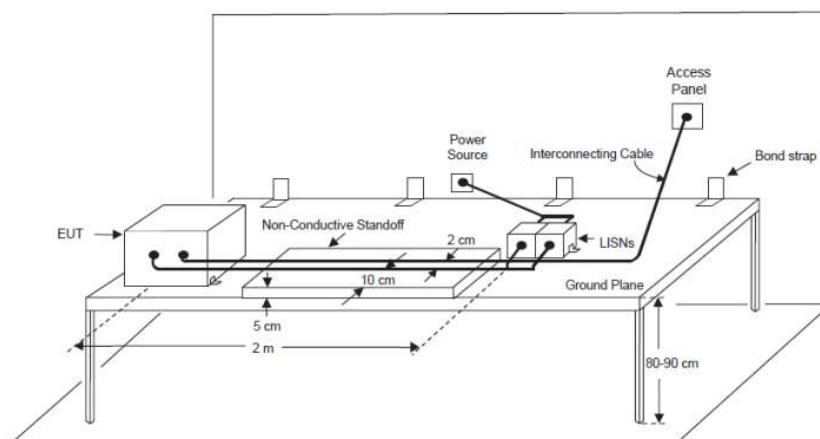


Abb. 5.3: Normkonformer Labormessplatz für leitungsgebundene Störemissionen [119]

relativen Differenzen ist und nicht die Gewinnung absoluter Werte, ist diese Abweichung zulässig. In Abb. 5.4 ist der schematische Aufbau des EMV-Laborteststands dargestellt.

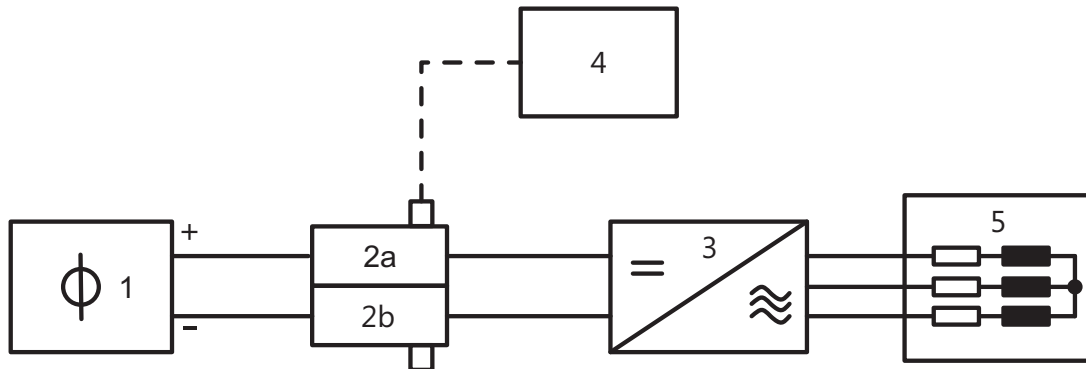


Abb. 5.4: Schematischer Aufbau des Laborteststandes. 1: Spannungsversorgung, 2a: LISN an Messempfänger angeschlossen, 2b: LISN mit Abschlusswiderstand 50 Ω , 3: Umrichter, 4: Messempfänger, 5: Last

Ein Netzimpedanzstabilisierungsnetzwerk (LISN) wurde gemäß MIL-STD 461F aufgebaut, siehe Abbildung 5.5. Die Netznachbildung ist zur Messung leitungsgebundener Störungen in Bordnetzen von Fahrzeugen im Bereich von 9 kHz - 30 MHz ausgelegt. Sie dient zum einen als genormte Messimpedanz, welche die hochfrequenten Störemissionen über den Hochpassfilter am Ausgang zur Messung durch einen Spektrumanalysator (Messempfänger) bereitstellt, zum anderen fungiert das LISN als Tiefpassfilter, das den Prüfling von der Spannungsversorgung entkoppelt. Außerdem wird durch das LISN eine definierte Bezugsmasse zur Verfügung gestellt, die reproduzierbare Messergebnisse erlaubt.

Die Messungen wurden mit einem ESPC-1 Funkstörmessempfänger von Rhode & Schwarz in einem Frequenzbereich von 9 kHz bis 30 MHz bei einer Bandbreite von 1000 Hz aufgezeichnet.

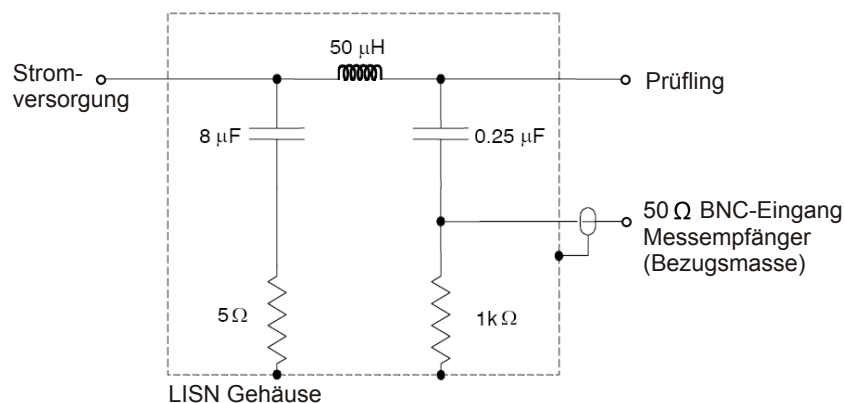


Abb. 5.5: Ersatzschaltbild des verwendeten LISN [119]

Zur Signalerfassung wurde die Spitzenwerterfassung des Messempfängers verwendet. Diese liefert prinzipiell nie geringere Werte als die Messung mit Quasispitzenwertdetektion, ermöglicht aber schnellere Frequenzsuchläufe [120].

Zur Messung wurden folgende in der Norm DIN EN 55016-2-1 [120] angegebene Durchstimmgeschwindigkeiten verwendet:

Band	Spitzenwertdetektor	Quasispitzenwertdetektor
A (9 kHz - 150 kHz)	100 ms/kHz	20 s/kHz
B (150 kHz - 30 MHz)	100 ms/MHz	200 s/kHz

Tab. 5.1: Durchstimmzeit je Frequenz des Messempfängers

Die Messungen wurden bei einer Zwischenkreisspannung von 24 Volt und einem Phaseneffektivstrom von $\tilde{I}_{phase} = 65$ A durchgeführt. Dieser Wert entspricht dem spezifizierten Nennstrom des verwendeten Moduls bei passiver Kühlung.

Gemessen wurden sowohl die Emissionsspektren als auch die Zeitverläufe der geschalteten Ströme und Spannungen, um Rückschlüsse der durch die parasitären Elemente verursachten Änderungen der Schaltcharakteristika auf die Emissionen zu ermöglichen.

Zur Untersuchung des Einflusses der parasitären Elemente auf die leitungsgebundenen Störemissionen wurde die Induktivität des Zwischenkreises in dem untersuchten Umrichter geändert und die Emissionsspektren an jeweils gleichen Betriebspunkten aufgenommen. Außerdem wurde die Kapazität der Phasenanschlüsse gegen das Kühlkörperpotential modifiziert, um die Auswirkungen größerer Kupferflächen und dadurch wachsender parasitärer Kapazitäten innerhalb des Moduls zu untersuchen.

Als Referenz wurde zu Beginn eine Messreihe aufgenommen, bei der eine Beeinflussung der Schaltcharakteristik allein durch Modifikation des Gatevorwiderstandes R_G bei konstanten parasitären Elementen ermittelt wurde. Diese Messungen dienen zur Orientierung, um Bereiche des Emissionsspektrums, in denen Änderungen zu erwarten sind, zu ermitteln.

Die Abbildung 5.7 zeigt die Emissionsspektren des Umrichters für Gatevorwiderstände von 8,2 Ω , 12 Ω , 15 Ω und 20 Ω .

Es ist erkennbar, dass die Amplitude der Störemissionen insbesondere im Bereich zwischen 1 MHz und 20 MHz variiert, was gut mit den Vorüberlegungen aus Abschnitt 5.1.2 übereinstimmt.

5.4.1 Messung des Emissionsspektrums für unterschiedliche Gatevorwiderstände

Die Varianz des Gatevorwiderstandes verlangsamt die Schaltvorgänge, insbesondere die Verlängerung der Ein- und Ausschaltverzögerungszeit ist in Abbildungen 5.6 und 5.7 gut zu erkennen. Die in den Messungen erzielten Ergebnisse sind in Tabelle 5.2 zusammengefasst.

Die Spannungsgradienten werden während der Schaltvorgänge mit zunehmendem R_g geringer, auch die Stromanstiegs- und -fallzeit nehmen ab, was zu einer Reduktion der induzierten Überspannungen führt.

Die LC-Oszillationen nach den Schaltvorgängen weisen immer die gleiche Frequenz auf, die Amplitude nimmt jedoch mit steigendem R_g ab, da durch die Verlangsamung der Schaltgeschwindigkeiten auch die Überspannungsspitzen geringer werden.

Im Spektrum zeigt sich eine Abnahme der Störampplituden mit wachsendem Gatevorwiderstand vor allem im Bereich von 1-10 MHz um etwa 5-10 dB μ V. Im identifizierten Bereich der Oszillationsfrequenzen (um 17 MHz) ist ein Abflachen des Peaks im Emissionsspektrum um etwa 5 dB μ V sichtbar. Eine Frequenzverschiebung einzelner Peaks ist nicht festzustellen, da die parasitären Elemente und somit die LC-Resonanzfrequenzen gleich bleiben.

Die Variation des Gatevorwiderstandes zeigt sich besonders während des Ausschaltvorganges, da der Einschaltvorgang hauptsächlich durch die Schaltdynamik der (abkommutierenden) Bodydiode bestimmt sind.

Gatevorwiderstand	8,2 Ω	12 Ω	15 Ω	20 Ω
dI/dt_{ein} [A/ μ s]	560	514	466	360
$f_{equiv}(dI/dt_{ein})$ [MHz]	2,8	2,6	2,3	1,8
dI/dt_{aus} [A/ μ s]	670	510	461	330
$f_{equiv}(dI/dt_{aus})$ [MHz]	3,4	2,6	2,3	1,7
du/dt_{ein} [V/ μ s]	78	68	61	54
$f_{equiv}(du/dt_{ein})$ [MHz]	1,8	1,6	1,4	1,3
du/dt_{aus} [V/ μ s]	203	142	128	86
$f_{equiv}(du/dt_{aus})$ [MHz]	4,7	3,3	3,0	2,0
$f_{oszi,LC}$ [MHz]	17,4	17,5	17,2	17,5

Tab. 5.2: Elektrische Parameter bei Varianz des Gatevorwiderstandes R_g ; schwarz: 8,2 Ω , blau: 12 Ω , rot: 15 Ω , grün: 20 Ω ; bei $U_{Zwk} = 24$ V, $I_D = 90$ A

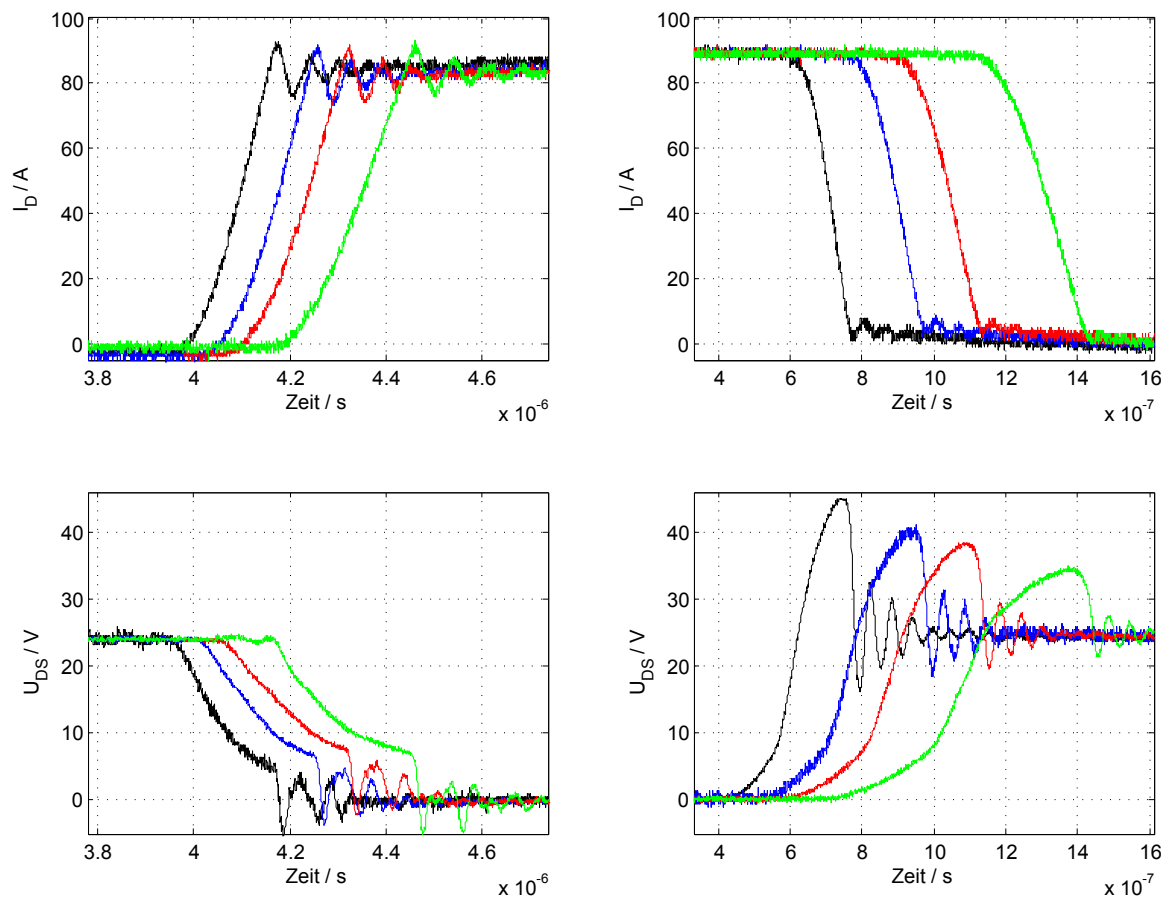


Abb. 5.6: Vergleich des Schaltverhaltens für variable Gatevorwiderstände R_g ; schwarz: 8,2 Ω , blau: 12 Ω , rot: 15 Ω , grün: 20 Ω ; bei $U_{Zwk} = 24$ V, $I_D = 90$ A

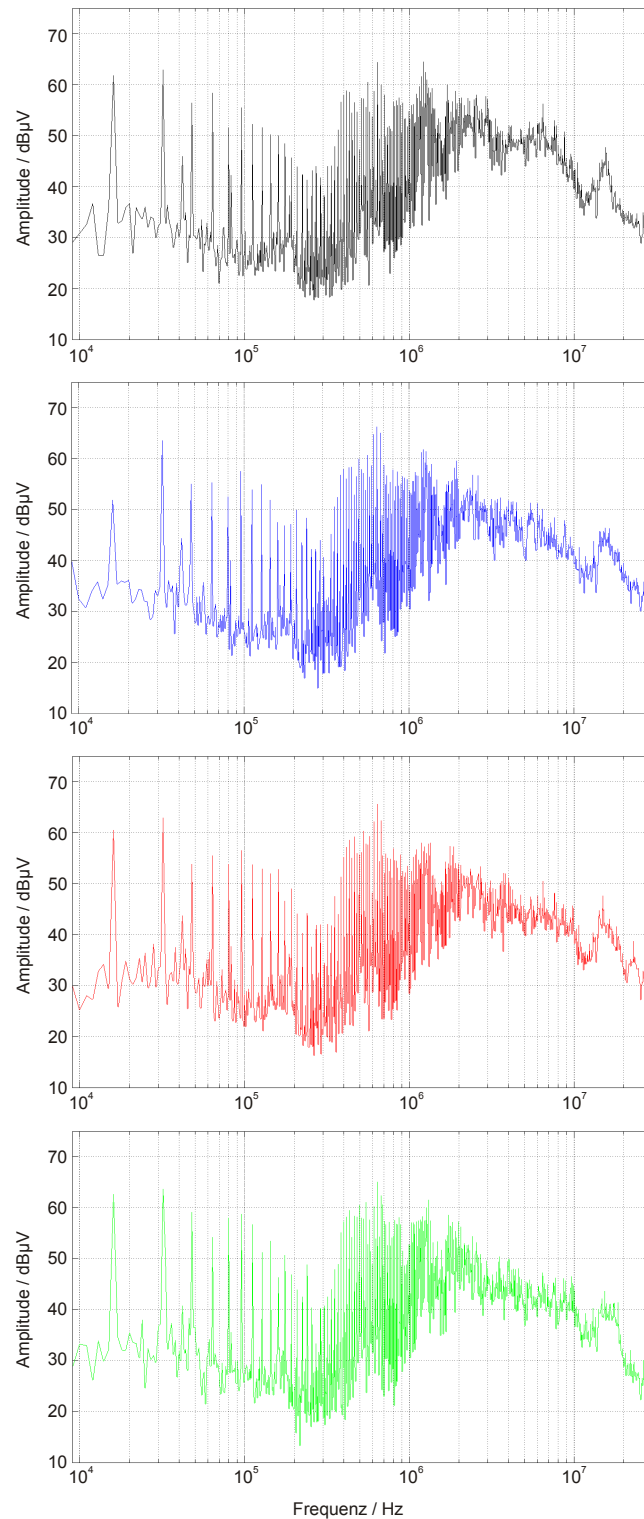


Abb. 5.7: Vergleich der leitungsgebundenen Störemissionen im Frequenzbereich von 9 kHz bis 30 MHz für variable Gatevorwiderstände R_g ; schwarz: $8,2 \Omega$, blau: 12Ω , rot: 15Ω , grün: 20Ω ; bei $U_{Zwk} = 24 \text{ V}$, $I_D = 90 \text{ A}$

5.4.2 Messung des Emissionsspektrums für unterschiedliche parasitäre Induktivitäten

Durch eine Modifikation der geometrischen Struktur der Busbarverschiebungen wurde die parasitäre Induktivität des Zwischenkreises variiert. Die Auswirkungen unterschiedlicher parasitärer Induktivitäten auf die Schaltvorgänge und das Emissionsspektrum sind in Abbildungen 5.8 und 5.9 sowie in Tabelle 5.3 dargestellt.

Es zeigt sich, dass vor allem die Stromgradienten und die Spannungsfallzeit beeinflusst werden, während die Spannungsanstiegszeit nahezu konstant bleibt. Die Höhe der induzierten Überspannungen variiert nur geringfügig, da der Stromgradient beim Ausschaltvorgang für große parasitäre Induktivitäten reduziert wird und die induzierte Spannung somit nahezu konstant bleibt.

Auffällig ist die deutliche Änderung des Spannungsverlaufes beim Ein- und Ausschalten für 34 nH parasitäre Kommutierungskreisinduktivität. Hier tritt zusätzlich eine induktive Kopplung von Drain- und Gatestrom auf, die durch die Bauform der Anschlusspins des verwendeten Moduls nicht verhindert werden konnte. (Die Leiter für Drain- und Gatestrom verlaufen dadurch teilweise parallel.) Diese Kopplung induziert eine Spannung, die der Gatespannung entgegenwirkt und führt so zu einer Verlangsamung des Ein- und Ausschaltverhaltens, vergleiche Abschnitt 4.5.4.3 und [55].

Im Spektrum (Abb. 5.9) ist nahezu über die gesamte Bandbreite eine Erhöhung der Störsignalamplituden um etwa $5 \text{ dB}\mu\text{V}$ mit zunehmender Kommutierungskreisinduktivität zu beobachten. Die Frequenz der LC-Oszillationen sinkt mit steigender parasitärer Induktivität, wie es gemäß Gleichung 2.23 zu erwarten ist. Im Emissionsspektrum ist die Verschiebung der Störfrequenz von 21 MHz auf etwa 14 MHz sichtbar. Die Störampplitude steigt dabei geringfügig an (um etwa $3 \text{ dB}\mu\text{V}$), was mit der größeren Menge gespeicherter Störenergie bei größeren parasitären Induktivitäten begründet werden kann.

Dies zeigt, dass die verbreitete Annahme, wonach geringe parasitäre Induktivitäten generell die elektromagnetischen Emissionen reduzieren, im Bereich hoher Frequenzen genau geprüft werden muss. Für die Amplitude und den Frequenzbereich der durch LC-Oszillationen verursachten Emissionen gilt diese Aussage nicht zwangsläufig. Vor allem im Bereich der Niederspannungsumrichter mit Hochstrom-MOSFETs sind die Einflüsse der parasitären Induktivitäten auf die Stromgradienten stärker als bei Anwendungen mit höheren Zwischenkreisspannungen (vgl. Abb. 4.13) und treten daher wie hier gezeigt deutlich in Erscheinung.

Induktivität	16 nH	24 nH	38 nH
dI/dt_{ein} [A/ μ s]	673	554	369
$f_{equiv}(dI/dt_{ein})$ [MHz]	3,3	2,7	1,8
dI/dt_{aus} [A/ μ s]	811	645	384
$f_{equiv}(dI/dt_{aus})$ [MHz]	3,9	3,1	1,9
du/dt_{ein} [V/ μ s]	95	81	54
$f_{equiv}(du/dt_{ein})$ [MHz]	3,7	4,3	6,5
du/dt_{aus} [V/ μ s]	80	79	78
$f_{equiv}(du/dt_{aus})$ [MHz]	5,3	5,3	5,3
$f_{oszi,LC}$ [MHz]	21,2	17,4	14,1

Tab. 5.3: Elektrische Parameter bei Varianz der Kommutierungsinduktivität; bei $U_{Zwk} = 24$ V, $I_D = 90$ A

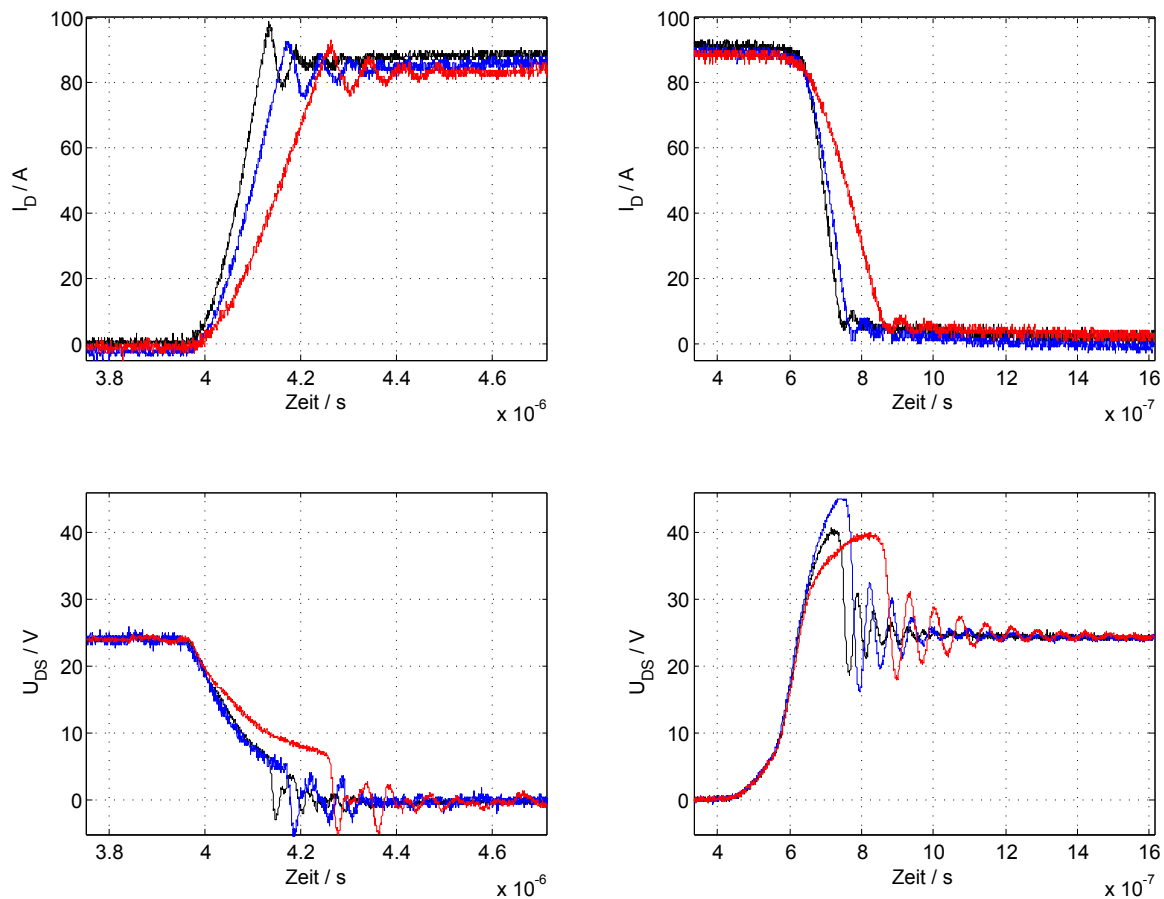


Abb. 5.8: Vergleich des Schaltverhaltens für variable parasitäre Induktivitäten des Zwischenkreises; schwarz: 16 nH, blau: 24 nH, rot: 38 nH; bei $U_{Zwk} = 24$ V, $I_D = 90$ A

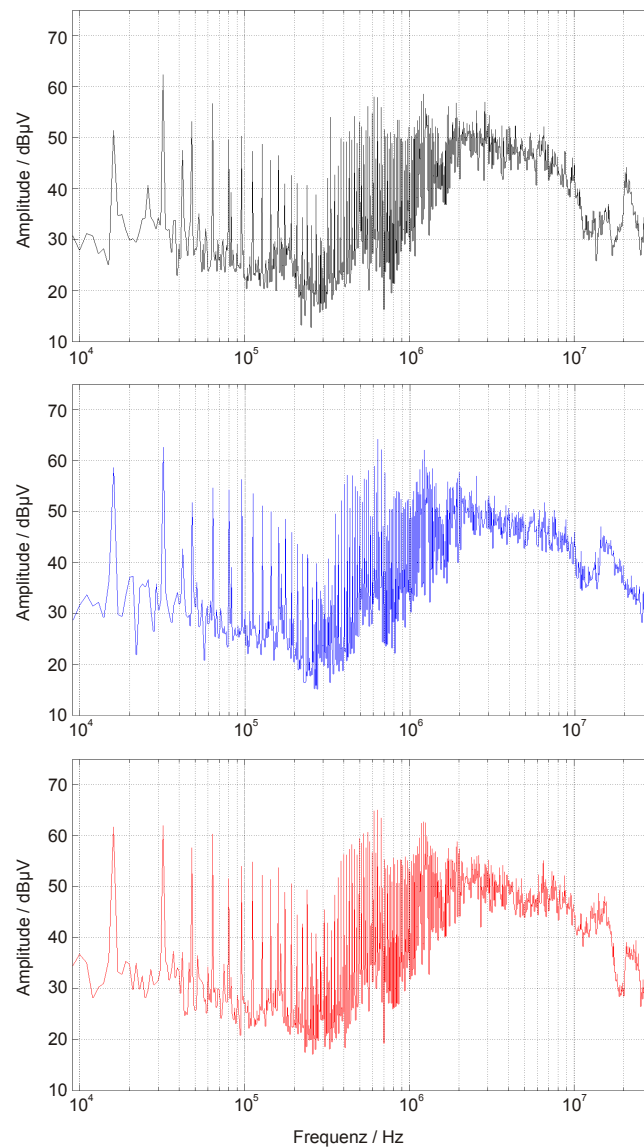


Abb. 5.9: Vergleich der leitungsgebundenen Störemissionen im Frequenzbereich von 9 kHz bis 30 MHz für variable parasitäre Induktivitäten des Zwischenkreises; schwarz: 16 nH , blau: 24 nH, rot: 38 nH; bei $U_{Zwk} = 24$ V, $I_D = 90$ A

5.4.3 Messung des Emissionsspektrums für unterschiedliche parasitäre Kapazitäten

Um den Einfluss von parasitären Kapazitäten zu analysieren, wurden zusätzliche Kapazitäten in Form von diskreten (Folien-)Kondensatoren parallel zu den parasitären Kapazitäten des Aufbaus zwischen Phasenanschluss und Kühlkörper montiert. Die parasitäre Kapazität der Phasenanschlüsse gegenüber der Rückseitenmetallisierung betragen hier 100 pF. Die Auswirkungen dieser Messungen sind in Abbildungen 5.10 und 5.11 grafisch und in Tabelle 5.4 numerisch dargestellt.

Es zeigt sich, dass eine Änderung der parasitären Kapazitäten der Phasenanschlüsse die Schaltcharakteristik des Leistungshalbleiters kaum beeinflusst. Eine Abweichung lässt sich bei der Frequenz der LC-Oszillationen feststellen, ihre Frequenz verlangsamt sich und die Amplitude im Zeitbereich reduziert sich für wachsende Kapazitäten. Dies ist vor allem bei den Ausschaltvorgängen der Spannungen zu erkennen.

Im Emissionsspektrum zeigen sich größere Abweichungen vor allem im Bereich von 1 - 5 MHz und im Bereich der LC-Oszillationen oberhalb von 10 MHz. Die Verschiebung der Oszillationsfrequenzen ist bei diesen Messungen aufgrund der unscharfen Peaks nicht gut erkennbar. Der Vergleich der Messungen für 0,56 pF und 3,3 pF lässt eine Verschiebung des Emissionspeaks von 17 MHz auf etwa 14 MHz erkennen.

Kapazität	0,56 nF	1 nF	2,2 nF	3,3 nF
dI/dt_{ein} [A/ μ s]	514	514	514	514
$f_{equiv}(dI/dt_{ein})$ [MHz]	2,4	2,4	2,4	2,4
dI/dt_{aus} [A/ μ s]	562	562	562	562
$f_{equiv}(dI/dt_{aus})$ [MHz]	2,6	2,6	2,6	2,6
du/dt_{ein} [V/ μ s]	91	91	91	91
$f_{equiv}(du/dt_{ein})$ [MHz]	1,6	1,6	1,6	1,6
du/dt_{aus} [V/ μ s]	222	232	236	236
$f_{equiv}(du/dt_{aus})$ [MHz]	4,9	5,1	5,2	5,2
$f_{oszi,LC}$ [MHz]	17,0	16,8	14,4	13,5

Tab. 5.4: Elektrische Parameter bei Varianz der parasitären Kapazitäten; bei $U_{Zwk} = 24$ V, $I_D = 90$ A

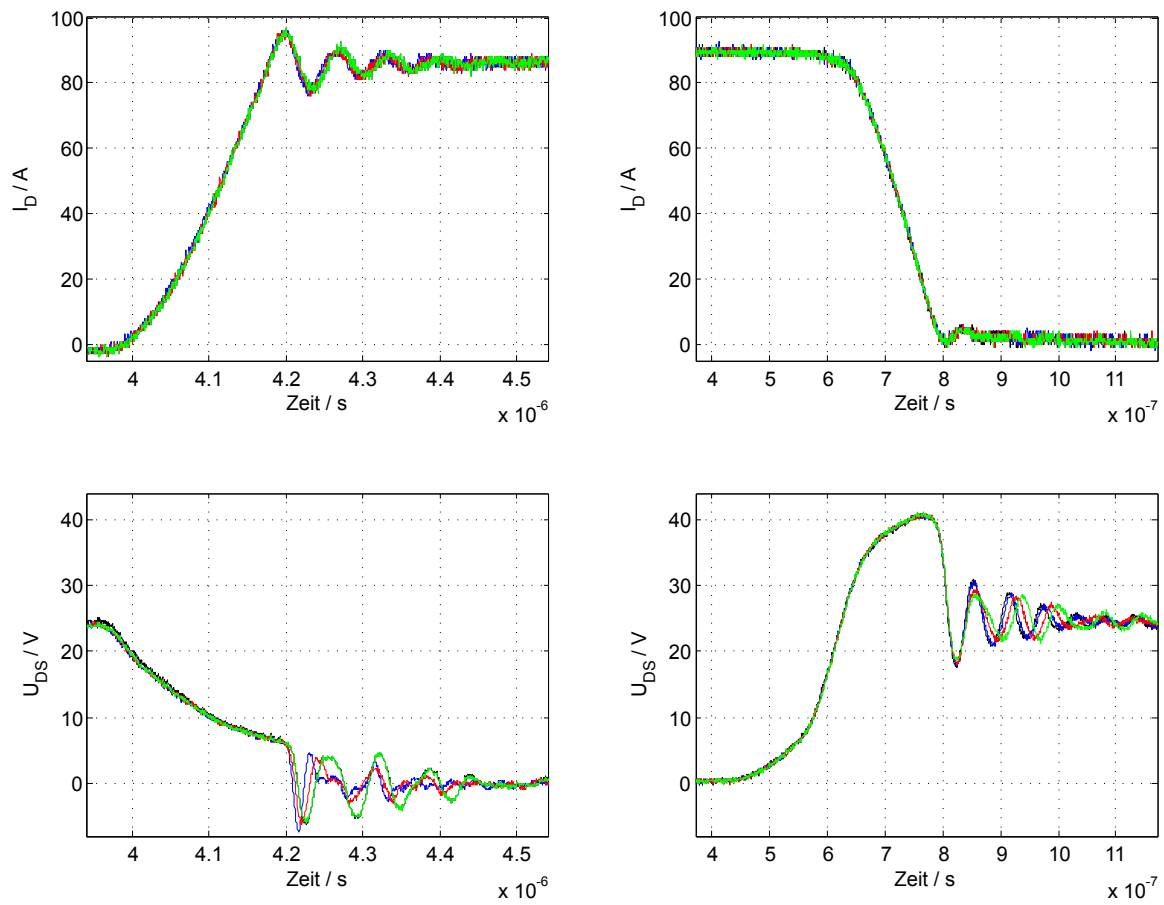


Abb. 5.10: Vergleich des Schaltverhaltens für variable Phasenkapazitäten C_{phase} ; schwarz: 0,56 nF, blau: 1 nF, rot: 2,2 nF, grün: 3,3 nF; bei $U_{Zwk} = 24$ V, $I_D = 90$ A

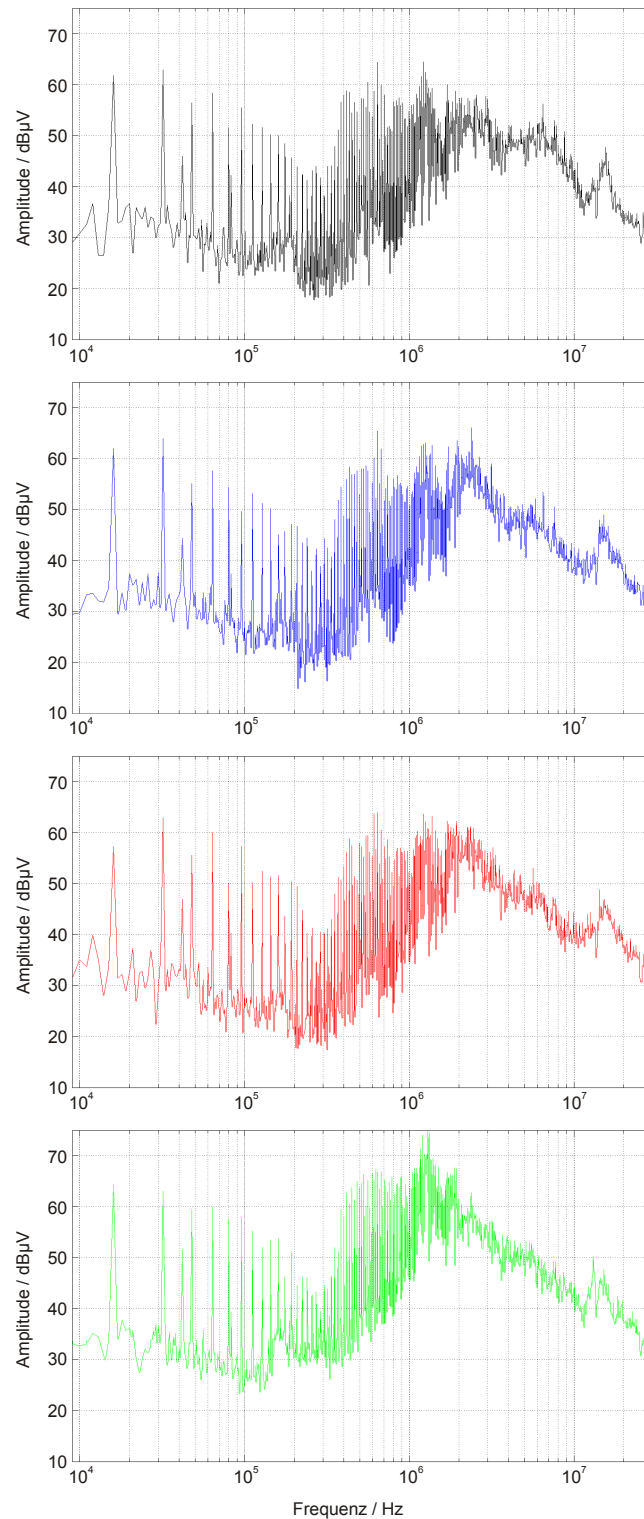


Abb. 5.11: Vergleich der leitungsgebundenen Störemissionen im Frequenzbereich von 9 kHz bis 30 MHz für variable Phasenkapazitäten C_{phase} ; schwarz: 0,56 nF, blau: 1,1 nF, rot: 2,2 nF, grün: 3,3 nF; bei $U_{Zwk} = 24 \text{ V}$, $I_D = 90 \text{ A}$

5.5 Sensitivitätsanalyse

In den vorangegangenen Abschnitten wurden die Auswirkungen parasitärer Elemente auf die Transienten und die damit verbundenen leitungsgebundenen Emissionen untersucht. Es wurde gezeigt, dass parasitäre Elemente charakteristische Änderungen des Emissionsspektrums herbeiführen und dass bestimmte Elemente einen besonders großen Einfluss besitzen.

Um eine Abschätzung dieser Auswirkungen vollziehen zu können, wird nachfolgend eine Sensitivitätsanalyse durchgeführt, welche die Wirkbeziehungen zwischen den einzelnen Elementen des Umrichters veranschaulicht und somit die Bereiche des größten Optimierungspotentials hervorhebt.

In Tabelle 5.5 sind die wesentlichen Erkenntnisse der qualitativen Untersuchungen zusammengefasst. Dabei werden die Messergebnisse den theoretisch ermittelten Werten gegenübergestellt. Letztere wurden auf Basis der gemessenen Zeitverläufe von Strom und Spannung, d.h. durch die Berechnung der äquivalenten Schaltflankenfrequenzen und die Bestimmung der im Zeitbereich beobachteten Oszillationsfrequenzen, ermittelt. Es wird deutlich, dass durch Berücksichtigung der Einflüsse parasitärer Elemente auf die leitungsgebundenen Störemissionen weiteres Optimierungspotential bei der Auslegung eines Umrichters genutzt werden kann.

Diese Einflüsse sind hier am Beispiel eines Niedrigstspannungsumrichters für hohe Ströme ausgearbeitet worden, für andere Anwendungen (andere Leistungsklassen, Schaltungstopologien oder Leistungshalbleiter) sind aufgrund der gleichen physikalischen Prinzipien ähnliche Effekte zu erwarten, deren spezifische Ausprägung jedoch im Einzelfall durch entwicklungsbegleitende Forschung experimentell nachgewiesen werden sollte.

Ursache	Vermittlung	Beeinflusster Frequenzbereich (gemessen)	Beeinflusster Frequenzbereich (theoretisch)
Gatevorwiderstand	Strom- und Spannungsgradienten	1 - 20 MHz	1 - 5 MHz 15 - 20 MHz
Parasitäre Induktivität im Zwischenkreis	Stromgradienten	10 - 20 MHz	1 - 6 MHz 14 - 22 MHz
Parasitäre Kapazität am Phasenanschluss	Ozillationen	1 - 5 MHz 10 - 30 MHz	1 - 3 MHz 13 - 17 MHz

Tab. 5.5: Von parasitären Elementen beeinflusste Bereiche des Emissionsspektrums

5.6 Zusammenfassung und Schlussfolgerungen

In diesem Kapitel wurde der Zusammenhang zwischen parasitären Elementen und den leitungsgebundenen Störemissionen des Leistungsteils eines Niedrigstspannungsumrichters für Hochstromanwendungen untersucht.

Die Messungen der vorangegangenen Abschnitte zeigen, dass neben der direkten Beeinflussung der Schaltcharakteristik mit Hilfe variabler Gatevorwiderstände auch durch die Adaption der parasitären Elemente ein gezielter Einfluss auf die Störspektren der leitungsgebundenen Emissionen genommen werden kann. Ein qualitativer Zusammenhang der durch die parasitären Elemente beeinflussten Schalteigenschaften der Leistungshalbleiter im Zeitbereich und dem resultierenden Emissionsspektrum des Umrichters wurde dargestellt.

Die Auswirkungen parasitärer Induktivitäten und Kapazitäten auf die entsprechenden Frequenzbereiche des Emissionsspektrums lassen sich aus den Messungen der Zeitverläufe eindeutig zuordnen. Eine Optimierung der leitungsgebundenen EMV auf Basis dieser Erkenntnisse erscheint durch eine Anpassung der parasitären Elemente des Zwischenkreises möglich.

Für die Entwicklung von Leistungsteilen von Umrichtern bedeutet dies, dass eine Optimierung der parasitären Elemente nicht nur auf Basis einer Analyse ihrer Auswirkungen im Zeitbereich erfolgen sollte, sondern auch im Frequenzbereich, da, wie gezeigt wurde, schon kleinere Modifikationen dieser Elemente merklichen Einfluss auf das Emissionsspektrum nehmen. Bei Kenntnis der Zusammenhänge zwischen einzelnen parasitären Elementen und ihren Auswirkungen ergibt sich somit ein erhebliches Optimierungspotential, das mit verhältnismäßig geringem Aufwand genutzt werden kann.

Es zeigt sich, dass sich die als Referenz verwendete Varianz des Gatevorwiderstandes im Emissionsspektrum vor allem auf den Bereich zwischen 1 bis 20 MHz auswirkt, wobei größere Widerstände die Störamplitude im vorliegenden Fall um bis zu $10 \text{ dB}\mu\text{V}$ reduzieren.

Die Änderung der parasitären Induktivität des Zwischenkreises hingegen führt zu Änderungen vor allem im Frequenzbereich von 1 bis 25 MHz, hier sind Änderungen des Emissionsspektrums im Bereich von bis zu $15 \text{ dB}\mu\text{V}$ zu beobachten.

Die Größe der parasitären Kapazitäten beeinflusst vor allem die Oszillationen nach den Schaltprozessen und zeigt sich im Bereich von 10 bis 30 MHz.

Basierend auf den erzielten Ergebnissen kann die Adaption parasitärer Elemente an die Applikationserfordernisse zur Verbesserung der EMV Eigenschaften eines Umrichters als weiterer Optimierungsparameter betrachtet werden.

6. Herleitung und Anwendung von Optimierungsansätzen für parasitäre Elemente

6.1 Einführung

Die Optimierung parasitärer Elemente dient der Reduktion ihrer unerwünschten Auswirkungen. Dabei muss dies nicht zwangsläufig in Form einer Minimierung dieser Elemente erfolgen, sondern kann auch ihre gezielte Nutzung durch eine geeignete Parametrisierung bedeuten.

Für den Betrieb eines leistungselektronischen Systems bedeutet die Optimierung der parasitären Elemente eine Annäherung an das ideale und somit erwünschte Schaltungsverhalten. Außerdem bewirkt sie eine Erhöhung der Auslastungsmöglichkeit des Systems, da die zu berücksichtigenden Sicherheitsreserven, etwa für die induzierte Überspannung bei Schaltvorgängen, reduziert werden können. Des Weiteren kann dies zur Verbesserung der dynamischen Stromverteilung parallel schaltender Leistungshalbleiter [63], zur Optimierung von Leistungsmodulen [57], [66], [67], [121], Busbarverschiebungen [62], [122], [123], [124], [125], [126] oder EMV-Filtern [127], [128] beitragen.

Eine Reduzierung der Effekte parasitärer Elemente wie die induzierten Überspannungen kann zum einen durch eine treiberseitige Beeinflussung der Schaltdynamik erreicht werden, etwa durch sogenannte Active Gate Control-Verfahren, wie du/dt -control oder di/dt -control [129]. Zum anderen kann eine weitere Beschaltung z.B. durch Snubber-Netzwerke oder Schaltungserweiterungen aus C-, RC- oder RCD-Gliedern, die ein weiches Schalten ermöglichen [130], die Auswirkungen parasitärer Elemente reduzieren. Beide Verfahren sind mit einem erhöhten Bauteilaufwand und dadurch mit einer aufwändigeren Herstellung und somit höheren Kosten verbunden [129].

Diese Optimierung parasitärer Elemente in Schaltungen ist ein Sonderfall in der elektrischen Schaltungsentwicklung: Während bei der herkömmlichen Schaltungssimulation die elektrischen Nutzelemente, die in weiten Teilen frei gewählt und bedarfsgerecht dimensioniert werden können, zusammengefügt werden und dann die Analyse der Schaltung ermöglichen, gelten für die Simulation parasitärer Schaltungselemente andere Prinzipien. Ihre simulative Bestimmung ist erst möglich, wenn neben den elektrischen Bauteilen auch die geometrische Form der zu untersuchenden Schaltung, also Leiteranordnungen, Leiterquerschnitte und die verwendeten Materialien, bekannt sind. Ein vollständiger Entwurf oder gar die Realisierung der Schaltung ist die Voraussetzung zur Bestimmung und Optimierung der parasitären Elemente. Deswegen besitzt die Optimierung parasitärer Elemente notwendigerweise einen iterativen Charakter und es müssen iterative Optimierungsmethoden angewendet werden.

In Abschnitt 6.2 wird zunächst eine generelle Optimierungsmethodik vorgestellt, die anschließend in den Abschnitten 6.3 bis 6.5 zur Optimierung parasitärer Kapazitäten, Widerstände und Induktivitäten von Leistungsmodulen eingesetzt wird.

Im Unterkapitel 6.6 werden Beispiele für die Optimierung einer Busbarverschiebung genannt.

Die aus den Untersuchungen abgeleiteten Designstrategien und ihre Auswirkungen sind in Abschnitt 6.7 dargestellt. Die Zusammenfassung des Kapitels erfolgt in Abschnitt 6.7. Um die Entwickler leistungselektronischer Schaltungen zu unterstützen sind einige Ansätze, die eine Reduzierung parasitärer Elemente bewirken können, in Form von Design-Regeln ausgearbeitet worden. In Kapitel 6.7 wird eine Übersicht über die abgeleiteten Design-Regeln gegeben und ihre Auswirkungen werden diskutiert.

Teile dieses Kapitels wurden bereits in [66] und [67] vorgestellt.

6.2 Generelle Optimierungsmethodik

Für die Optimierung der parasitären Elemente eines leistungselektronischen Systems wird nachfolgend eine Optimierungsmethodik vorgeschlagen, die es, basierend auf einer Analyse des Optimierungspotentials, ermöglichen soll, systematisch zu einem verbesserten System zu gelangen. Der prinzipielle Ablauf der Optimierung ist im Flussdiagramm 6.1 dargestellt.

Nach der Definition des Optimierungsziels wird zunächst das Optimierungspotential der parasitären Elemente im betrachteten System analysiert. Dazu wird das System hinsichtlich der enthaltenen parasitären Elemente mit einer der in Kapitel 3. vorgestellten Methoden charakterisiert. Diese Analyse ist notwendig, um die für die Optimierung passenden Ansätze zu wählen und Optimierungsschwerpunkte zu setzen.

Die Erstellung einer Prioritätenliste mit Gewichtung der parasitären Induktivitäten hilft dabei, die wesentlichen Elemente zu erkennen und ermöglicht bei der Bearbeitung des Layouts, die Bereiche mit hohem Optimierungspotential zu finden. Die Prioritätenliste sollte zur Orientierung dienen, bis der erste Entwurf vorliegt und mit Hilfe von Simulationen geprüft und dann ggf. weiter angepasst werden kann. Designkonflikte sollten möglichst zugunsten der höherpriorisierten Faktoren entschieden werden, also durch eine Abweichung von den Designregeln bezogen auf die Komponente mit der geringeren Einflussgröße.

Um die Notwendigkeit der Priorisierung zu verdeutlichen sind in Abbildung 6.2 die parasitären Induktivitäten zweier exemplarischer Leistungsmodule anteilig für verschiedene Modulbereiche dargestellt.

Der größte Teil der Modulinduktivität wird durch die Lastanschlussklemmen verursacht. Die Summe der DCB- oder Bonddraht-Induktivität beträgt hingegen in der Summe meist weniger als 50% der Gesamtinduktivität. Diese Tendenz wird durch Untersuchungen von [131] und [132] bestätigt. Die Erstellung einer Übersicht möglichen Optimierungspotentials und der erforderlichen Modifikationen sollte Basis jeder Optimierungsaufgabe sein.

Dennoch wird in der Literatur vielfach nur die Optimierung von Einzelkomponenten wie dem alleinigen DCB eines Moduls betrachtet [133], [134]. Anhand des Beispiels eines Leistungshalbleitermoduls und einer Busbarverschienenung werden nachfolgend verschiedene Optimierungsansätze und Maßnahmen präsentiert.

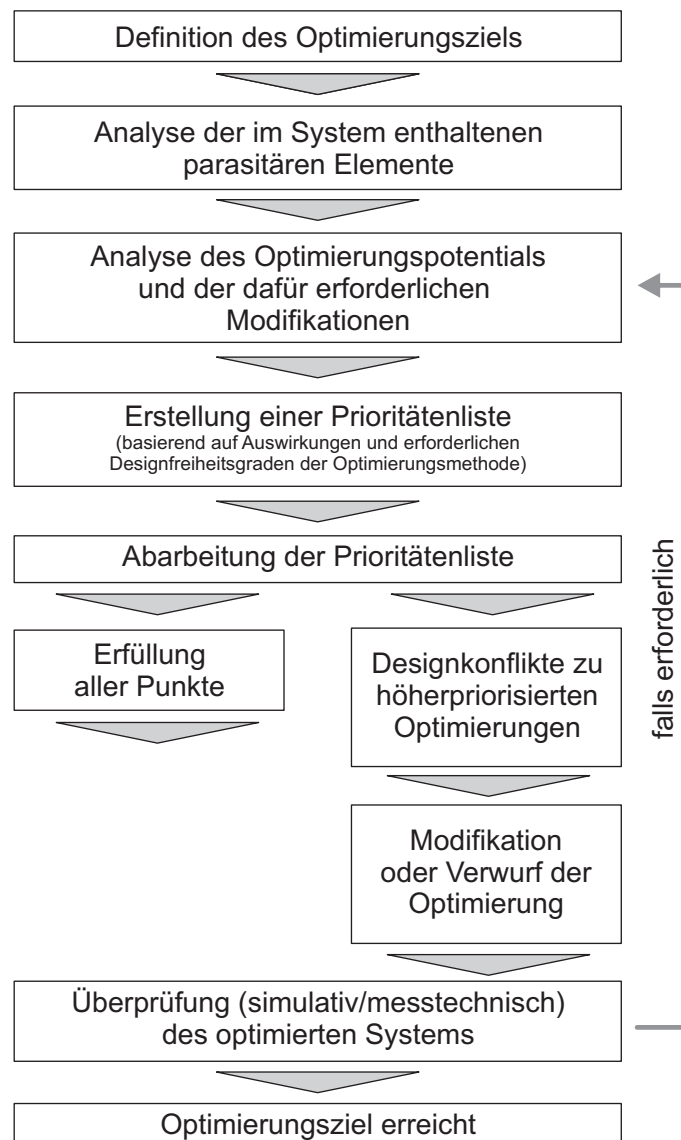


Abb. 6.1: Vorgeschlagene Methodik zur Optimierung parasitärer Elemente

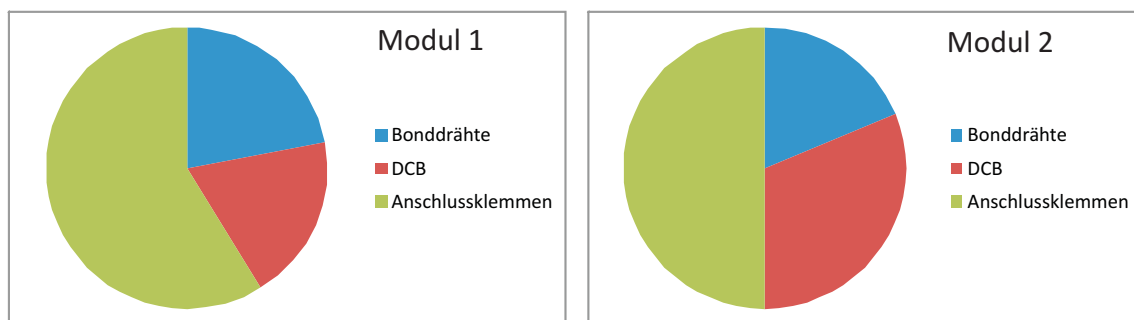


Abb. 6.2: Anteil der parasitären Induktivitäten einzelner Komponenten an der Gesamtinduktivität zweier Beispielmodule (Modul 1 [80], Modul 2: siehe Abschnitt 8.4)

6.3 Optimierung parasitärer Widerstände

Die Optimierung parasitärer Widerstände soll an dieser Stelle nur in Kürze vorgestellt werden. Im Wesentlichen bewirkt die Maximierung des Querschnitts und die Minimierung der Leiterlänge eine Reduktion des Widerstandes gemäß Gleichung 2.3.

Bei schnell taktenden Umrichtern müssen außerdem die Auswirkungen der Stromverdrängungseffekte berücksichtigt werden [15]. Hier bewirkt eine breite und flächige Leiterstruktur eine Reduktion der Stromverdrängungseffekte. Für unterschiedliche Seitenverhältnisse bei konstantem Querschnitt sind in Abb. 6.3 die frequenzabhängigen Widerstände dargestellt.

Sofern die Wahl der Querschnittsgeometrie der Leiter im System beeinflusst werden kann, ist es möglich, hier eine erste Optimierung durchzuführen.

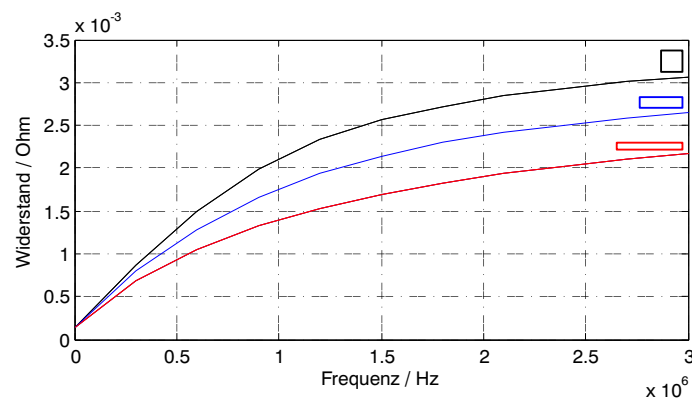


Abb. 6.3: Einfluss der Frequenz auf den Widerstand für verschiedene Querschnittsgeometrien bei konstantem Querschnitt $A = 16 \text{ mm}^2$ und Länge $l = 10 \text{ cm}$ (Seitenverhältnis: schwarz 1:1, blau 4:1, rot 10:1)

6.4 Optimierung der parasitären Induktivitäten in Leistungsmodulen

Die parasitäre Induktivität eines leistungselektronischen Aufbaus ist durch drei Größen bestimmt: Die geometrische Struktur der Leiter, die der Schaltflankenfrequenz äquivalente Frequenz des Stromes f_{eq} und die magnetische Permeabilität des Leitermaterials (vgl. 4.7.1). Die modernen Fertigungsmethoden von Leistungsmodulen erlauben es, diese Parameter innerhalb bestimmter Grenzen anzupassen und somit Optimierungspotential für die elektrischen Eigenschaften eines Moduls zu nutzen.

Numerische Simulationen (InCa3d, [41]), zeigen die Auswirkung der Parametervariation und erlauben die Formulierung von Designstrategien, die bei der Entwicklung von Leistungsmodulen eine Hilfestellung bieten. Für die Simulationen wurde Kupfer als Leitermaterial und eine äquivalente Schaltflankenfrequenz von 2 MHz angenommen.

Die nachfolgenden Untersuchungen gelten für die Leiterbahnen auf dem DCB eines Moduls,

das hier exemplarisch verwendet wird. Die gewonnenen Ergebnisse sind übertragbar auf beliebige Leiteranordnungen. Es ist zu beachten, dass eine Analyse der parasitären Induktivitäten nur für Segmente des Kommutierungskreises einer Umrichtertopologie sinnvoll ist. Die Phasenanschlüsse müssen bei den Optimierungen der parasitären Induktivität nicht berücksichtigt werden, da ihre Induktivität in der Regel erheblich kleiner ist als die der angeschlossenen Last oder der Zuleitungskabel.

Für die Optimierung der parasitären Induktivitäten wird die folgende Methodik vorgeschlagen:

1. Maximierung der Gegeninduktivitäten bei Leiterabschnitten mit antiparallelem Stromfluss
2. Minimierung der Selbstinduktivitäten bei einzelnen Leiterbahnen

Erst wenn die Leiterbahnen so strukturiert sind, dass eine maximale Gegenkopplung auftritt, sollte durch Befolgung weiterer Designregeln die Induktivität einzelner Leiterbahnen optimiert werden. Die Reihenfolge der Optimierung ergibt sich aus der Notwendigkeit der Verfügbarkeit maximaler Layout-Freiheitsgrade für die Umsetzung von Schritt 1, während Schritt 2 trotz der aus Schritt 1 resultierenden Restriktionen meist umsetzbar bleibt.

6.4.1 Methoden zur Optimierung der Gegeninduktivität in Leistungsmodulen

Die induktive Gegenkopplung von parasitären Induktivitäten sorgt dafür, dass sich beim Kommutierungsvorgang zwischen den beteiligten Leitern das Magnetfeld nur geringfügig ändern muss, also nur wenig magnetische Energie umgesetzt wird. Dies führt zu einem kleineren Wert für die Induktivität [3].

Die Untersuchung und Optimierung von magnetischen Kopplungen ist komplexer als für den Fall von Selbstinduktivitäten. Dennoch ist die Optimierung (Maximierung) magnetischer Gegenkopplung zur Reduzierung parasitärer Induktivitäten besonders sinnvoll, denn mit geringem Aufwand lässt sich hier in der Praxis je nach Orientierung der Leiter eine Reduktion der parasitären Induktivität von 40-90% erreichen, wie im nächsten Abschnitt gezeigt wird.

6.4.1.1 Optimierung der Leiteranordnung

Abbildung 6.4 zeigt Simulationsergebnisse für flächen- bzw. seitenparallele Leiter, die von einem antiparallelen Strom durchflossen werden. Dargestellt ist die Reduktion der parasitären Induktivitäten in Abhängigkeit vom Leiterabstand d in Bezug auf ein Leiterpaar mit Länge l . Neben der Maximierung der Gegenkopplung muss gleichzeitig die Mitkopplung der Magnetfelder zweier Leiter vermieden werden, denn diese hat verstärkenden Einfluss auf die resultierende parasitäre Induktivität. Die Mitkopplung sollte mittels geeigneter Wahl der Leiteranordnung vermieden werden, da sie sich im Gegensatz zur kapazitiven Kopplung, die ihre Ursache in

quasistatischen elektrischen Feldern hat, die durch geeignete Schirmungen oder Massekonzepte reduziert werden können, nur mit erheblichem Aufwand beseitigen lässt. So müssten zur Minimierung der magnetischen Kopplung ferromagnetische Materialien mit großem μ_r wie z.B. Mu-Metall [135] verwendet werden, welche die Leiter vollständig umschließen. Dadurch wird der magnetische Fluss in diesen Materialien konzentriert und kann sich nicht mehr in andere Leiter einkoppeln. Mit vertretbarem Aufwand ist diese Maßnahme in den Leistungsteilen moderner Umrichter aber nicht möglich.

Die Gegenkopplung wächst bei Reduzierung des Abstandes zwischen den Leitern überproportional an. Die Optimierung besteht daher darin, möglichst flächenparallele Leiteranordnungen zu wählen, da seitenparallele Anordnungen nur etwa halb so stark koppeln. Die Reduktion des Abstandes d auf ein akzeptables Minimum ist hingegen in beiden Fällen anzustreben.

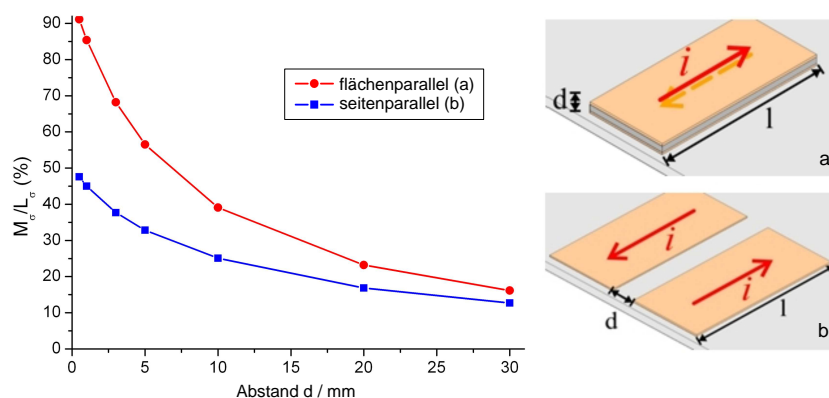


Abb. 6.4: Abhängigkeit der Kopplung vom Abstand und der Orientierung zweier Leiter bei antiparallelem Stromfluss; Leiterbreite $w = 10$ mm, Leiterlänge $l = 20$ mm, Leiterdicke $t = 0,3$ mm

6.4.1.2 Optimierung der Kommutierungszellen

Das geometrische Design, beispielsweise einer Halbbrückenschaltung, kann so gestaltet werden, dass statt der üblichen Kombination aus Transistor (IGBT) und antiparalleler Diode jeweils die kommutierenden Bauteile zusammengefasst werden. Dieses Konzept wird im englischen als „Basic Switching Cells“ bezeichnet [133]. Oftmals lassen sich die parasitären Induktivitäten des Kommutierungskreises mithilfe dieses Konzeptes erheblich reduzieren [134]. Dabei gilt als weiterer nützlicher Aspekt, gekapselte Kommutierungszellen zu bilden, die Halbbrücken eines mehrphasigen Umrichters innerhalb von Modulen zusammenzufassen und diese dann an einen eigenen Zwischenkreiskondensator anzuschließen (Abb. 6.5 b). Dieses Konzept erlaubt, verglichen mit dem klassischen Ansatz eines zentralen Zwischenkreises (Abb. 6.5 a), eine besonders hohe Symmetrie der parasitären Induktivitäten in den einzelnen Kommutierungskreisen.

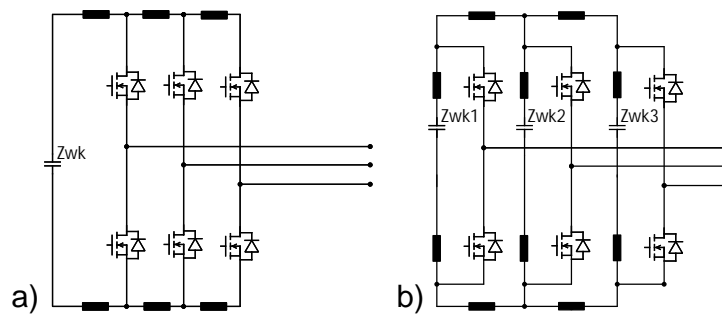


Abb. 6.5: Vergleich unterschiedlicher Kommutierungskreiskonzepte in einer dreiphasigen Halbbrückenschaltung: a) zentraler Zwischenkreiskondensator, b) Kommutierungszellen mit eigenem Zwischenkreiskondensator

6.4.1.3 Optimierung der Lastanschlüsse des Moduls

Von besonderer Bedeutung für die parasitären Induktivitäten von Leistungsmodulen ist die geometrische Struktur der DC Lastanschlüsse. Die parasitäre Induktivität dieser Anschlüsse kann die des DCBs und die der Bonddrähte um ein Vielfaches übersteigen.

Während die parasitären Widerstände und Kapazitäten vor allem durch die verwendeten Materialien beeinflusst werden, zeigt sich bei den Anschlussinduktivitäten der Leistungshalbleitermodule eine starke Abhängigkeit von der Aufbautechnik und den geforderten Isolationsabständen, da diese die geometrische Struktur der Anschlüsse maßgeblich bestimmen.

Zu ihrer Optimierung ist die Ausnutzung induktiver Gegenkopplung von besonderer Wichtigkeit, um ein niederinduktives Anschlusskonzept realisieren zu können.

Der Ansatz, eine busbarähnliche Leiterstruktur von den Anschlussklemmen bis zu den Leistungshalbleitern zu verwenden, bildet den aktuellen Stand der Technik [136], [3].

Dazu ist es erforderlich, die Zwischenkreisanschlüsse auf der gleichen Seite des Moduls zu platzieren, wodurch zusätzlich die Fläche der Leiterschleife verglichen mit der Platzierung der Anschlüsse auf gegenüberliegenden Seiten des DCB reduziert wird.

In Abbildung 6.6 ist das Simulationsmodell einer DC-Anschlusschiene eines Halbbrückenmoduls dargestellt. Die Anschlüsse sind im Abstand von 40 mm platziert und erzeugen eine parasitäre Induktivität von 20,3 nH (@ $f_{equiv} = 2$ MHz), vgl. Abb. 6.6.

Eine Spiegelung und Zusammenführung der Anschlüsse auf einen Abstand von 2 m (Abb. 6.6) reduziert die parasitäre Induktivität um 50 % auf 10,0 nH.

Dieses Beispiel zeigt exemplarisch den Vorteil, den eine sorgfältige Optimierung der externen Modulanschlüsse unter den gegebenen fertigungstechnischen Randbedingungen bewirkt. Zusätzlich kann die parasitäre Induktivität insbesondere bei größeren Modulgehäusen durch die Verwendung mehrerer parallelgeschalteter DC-Anschlüsse reduziert werden (vgl. Abschnitt 6.4.2.3). Die Bereiche, in denen die Anschlussklemmen und modulinternen Stromschienen nicht antiparallel geführt werden können, sollten möglichst kurz und flächig gehalten werden. Allgemeine Untersuchungen zur Induktivität von Einzelleitern sind in Abschnitt 6.4.2 aufgeführt.

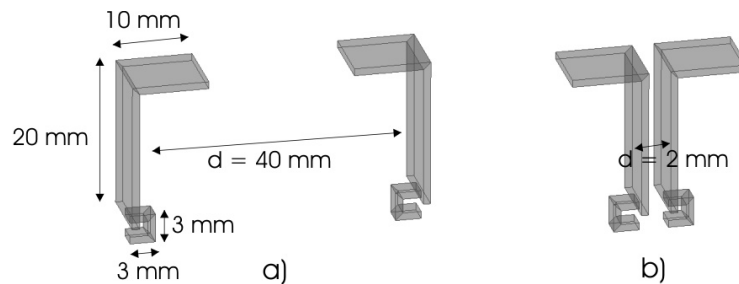


Abb. 6.6: Vergleich unterschiedlicher Lastanschlusskoffiguren zur Zwischenkreiskontaktierung eines exemplarischen Moduls [137]

6.4.1.4 Optimierung der Rückseitenmetallisierung

Die Rückseitenmetallisierung ist für die Reduzierung der parasitären Induktivität innerhalb eines Leistungsmoduls ebenfalls relevant. Der Stromfluss auf der strukturierten Oberseite des DCBs erzeugt ein Magnetfeld, das wiederum einen Stromfluss in die Rückseitenmetallisierung induziert. Diese Ströme sind dem ursächlichen Strom entgegengerichtet und können somit als antiparallele Spiegelströme interpretiert werden.

Die Magnetfelder beider Ströme haben entgegengesetzte Wirkrichtung, wodurch sich das resultierende Gesamtfeld verringert. Die Simulation in Abbildung 6.7 vergleicht die Induktivität eines einzelnen Leiters auf einem DCB mit und ohne Rückseitenmetallisierung. Der Leiter hat eine Länge von $l = 40$ mm, eine Breite von $w = 10$ mm und eine Dicke von $d = 0,3$ mm. Die Rückseitenmetallisierung hat die Maße $A = 60 \times 50 \times 0,3$ mm³, die der Keramik (Al_2O_3) beträgt $d = 0,4$ mm. Die resultierende Induktivität liegt ohne Rückseitenmetallisierung bei 20,1 nH gegenüber 13,5 nH mit Metallisierung. Aus der Rückseitenmetallisierung resultiert also in diesem Fall eine Reduzierung der Induktivität um ca. 30%. Ein ähnlicher Effekt kann bei diskreten Leitern erreicht werden, wenn diese in geringem Abstand über eine leitfähige Fläche geführt werden.

Wie in Abbildung 6.7 dargestellt, schließen sich die Spiegelströme in zwei Kreisen, die ihre größte Stromdichte am Rand der Rückseitenmetallisierung aufweisen.

Als funktionaler Zusammenhang gilt näherungsweise folgende Abhängigkeit:

$$L \propto A \cdot 1/d. \quad (6.1)$$

Dies bedeutet, dass eine Vergrößerung der metallisierten Fläche und eine Reduzierung des Abstandes eine Reduktion der parasitären Induktivität bewirken.

6.4.1.5 Reduktion der Magnetfeldauskopplung

Die Gegenkopplung der Magnetfelder innerhalb einer Busbarverschienung bewirkt die Konzentration der Feldenergie auf den Bereich zwischen den Leitern. Die externen Magnetfelder heben sich durch die hohe Gegenkopplung nahezu vollständig auf, wie die Simulation in Abbildung

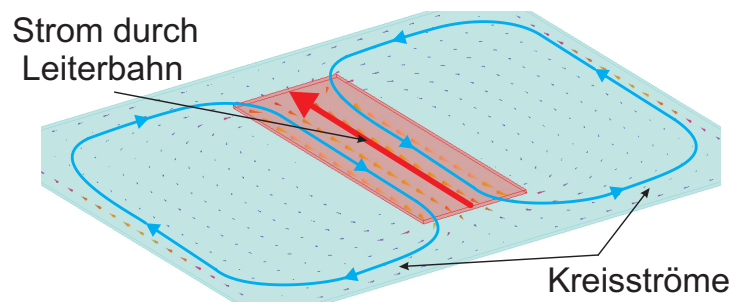


Abb. 6.7: Kreisströme in der Rückseitenmetallisierung, Abmessungen Leiter (rot): $40 \times 10 \times 0,3 \text{ mm}^3$, Metallisierung (blau): $60 \times 50 \times 0,3 \text{ mm}^3$, $d = 0,4 \text{ mm}$

2.16 zeigt. Zusätzlich bedeutet dies eine geringere wirksame Koppelinduktivität auf benachbarte Leiter, was vor allem bei Leistungsteilen genutzt werden kann, bei denen Leistungs- und Signalleiter dicht beieinander verlaufen.

In Abschnitt 8.5.1 wird das beschriebene Konzept bei der Entwicklung eines Umrichterleistungsteils angewendet und weiter analysiert.

6.4.2 Methoden zur Minimierung der Selbstinduktivität in Leistungsmodulen

Eine Leiterbahn A , deren Abstand oder Orientierung zum nächsten benachbarten Leiter B nur schwache Kopplung bewirkt (z.B. $A \perp B$, oder $\text{Abstand}(A, B) \gg \text{Breite}(A)$), können als Einzelleiter betrachtet werden, die in erster Näherung nur eine Selbstinduktivität aufweisen.

Vor allem in Leistungsmodulen ist diese Näherung häufig zulässig, da die Leiterbahnen in einer Ebene planar angeordnet sind und starke Kopplungen erst dann auftreten, wenn Leiterbahnen flächenparallel orientiert sind, vgl. Kap. 6.4.1.

Als variable Parameter ergeben sich für eine einzelne Leiterbahn bzw. ihre Teilstücke somit die Länge, die Breite und die Dicke des Leitermaterials. Innerhalb der Grenzen, die durch die geforderte Stromtragfähigkeit, die thermischen Anforderungen und die Fertigungstechnik bestimmt werden, lassen sich diese Parameter zur Optimierung der parasitären Induktivität variieren.

6.4.2.1 Länge der DC-Leiterbahnen

Die Länge l einer Leiterbahn hat proportionalen Einfluss auf den den Leiter umgebenden magnetischen Fluss und somit auf die resultierende parasitäre Induktivität L_σ .

In Abbildung 6.8 ist die Selbstinduktivität für das Beispiel eines geraden Leiters mit rechteckigem Querschnitt für den DC-Fall dargestellt. Die Ergebnisse der Berechnung nach der Formel (6.2) sind denen einer simulativen Berechnung mit Hilfe der PEEC-Methode durch die Software InCa3d [41] vergleichend gegenübergestellt. Beide Verfahren zeigen annähernd identische Ergebnisse bei der Bestimmung der parasitären Induktivität.

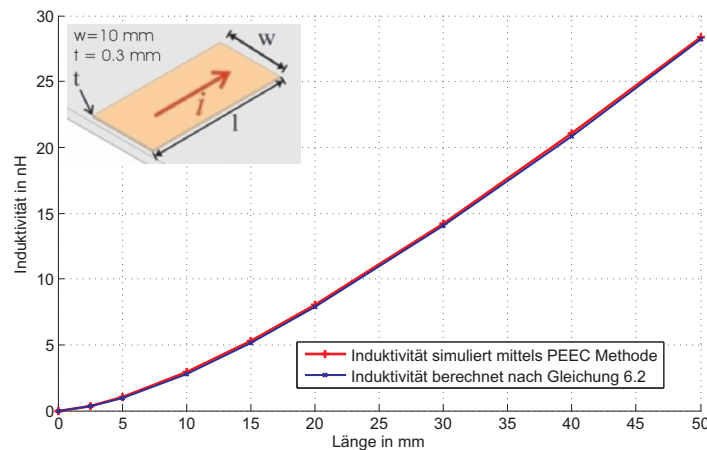


Abb. 6.8: Selbstinduktivität eines Leiters als Funktion der Länge; Leiterbreite $w = 10$ mm, Leiterdicke $t = 0,3$ mm

Als ersten Optimierungsansatz kann, basierend auf den in Abbildung 6.8 dargestellten Ergebnissen, die Minimierung der Länge der Leiterbahnen im Kommutierungskreis angegeben werden. Der funktionale Zusammenhang nach Gleichung 6.2 für einen Leiter mit Breite w und Dicke t macht dies deutlich [22]:

$$L_{\sigma} = 2 \cdot l \left[\ln \frac{2l}{w+t} + \frac{1}{2} + \frac{0,2235(w+t)}{l} \right] \quad (6.2)$$

$$\rightarrow L_{\sigma} \propto l \quad (6.3)$$

Zur Reduzierung der Leiterbahnlänge kann es erforderlich sein, die Platzierung der externen Anschlüsse oder der Leistungshalbleiter in die Optimierung einzubeziehen. Als weitestgehend freier Parameter kann die Länge der Phasenanschlussleiterbahnen zugunsten eines kürzeren Kommutierungskreises verändert werden. Die Phasenanschlussleiterbahnen sind nicht Bestandteil des Kommutierungsweges und tragen somit nicht zur kritischen Induktivität $L_{\sigma, Z_{wk}}$ während der Schaltvorgänge bei. Im Zweifelsfall sollte beim Design des DCBs die Länge der Phasenanschlüsse zugunsten kürzerer DC-Anschlüsse vergrößert werden.

6.4.2.2 Breite der DC-Leiterbahnen

Die Breite w der Leiterbahn hat ebenfalls Einfluss auf die im Magnetfeld gespeicherte Energie und damit auf die Selbstinduktivität der Leiterbahn. In der Darstellung der Simulation des magnetischen Flusses in Abbildung 6.9 wird deutlich, dass der magnetische Fluss bei konstantem Strom und konstantem Querschnitt des Leiters mit zunehmender Breite abnimmt.

In dem Beispiel wurde der magnetische Fluss für einen Leiter der Länge $l = 50$ mm bei einem Querschnitt von $A = 6 \text{ mm}^2$ und einem Strom von $I = 50$ A für zwei verschiedene Querschnittsgeometrien simuliert.

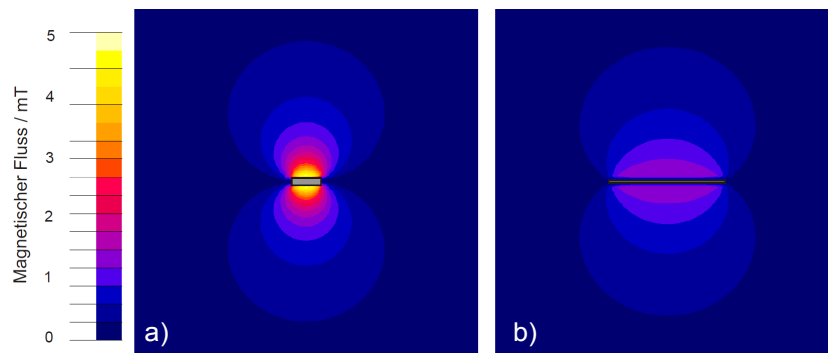


Abb. 6.9: Magnetischer Fluss eines Leiters mit unterschiedlichen Querschnittsgeometrien, $I = 50 \text{ A}$: a) schmaler Leiter ($w \times t = 5 \times 1,2 \text{ mm}^2$), b) breiter Leiter ($w \times t = 20 \times 0,3 \text{ mm}^2$)

Abbildung 6.10 zeigt Simulationsergebnisse für die Reduktion der parasitären Induktivität durch Erhöhung der Leiterbreite für verschiedene Leitergeometrien.

Die Maximierung der Breite der am Kommutierungsvorgang beteiligten Leiterabschnitte stellt somit eine weitere Optimierungsmaßnahme dar. Auch hier gilt, dass die Phasenanschlüsse unter Berücksichtigung der erforderlichen Stromtragfähigkeit zugunsten breiterer Leiter im Kommutierungskreis schmaler ausfallen dürfen.

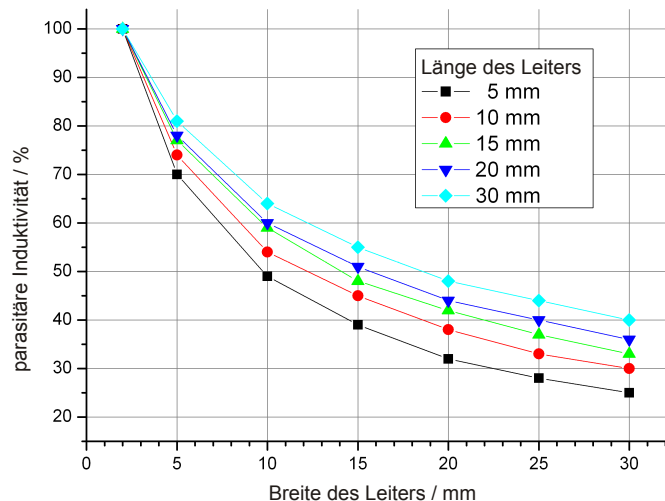


Abb. 6.10: Parasitäre Selbstinduktivität als Funktion der Leiterbreite; Referenzleiterbreite: $w = 2 \text{ mm}$, Leiterdicke: $t = 0,3 \text{ mm}$

6.4.2.3 Parallelschaltung mehrerer Leiter

Die Parallelschaltung mehrerer Leiter trägt ebenfalls zu einer Reduzierung der parasitären Induktivität bei. In vielen Anwendungsfällen können mehrere stromführende Verbindungen parallel ausgeführt werden, was häufig fertigungstechnische Vorteile mit sich bringt. Für die Summe

der Einzelinduktivitäten gilt dann unter Vernachlässigung von Kopplungen:

$$L_{\sigma, ges} = \left(\sum_i \frac{1}{L_i} \right)^{-1} \quad (6.4)$$

So werden z.B. die externen DC-Anschlüsse bei größeren Leistungsmodulen durch Parallelschaltung mehrerer (gleicher) Stromschienen realisiert, im Modul selber bilden Bonddrähte ein Beispiel für die Parallelschaltung mehrerer Leiter.

6.4.2.4 Bonddrahtverbindungen

Bonddrähte dienen der oberseitigen Kontaktierung von Leistungshalbleitern und zur Herstellung einer elektrischen Verbindung zwischen mehreren DCBs oder Leitern innerhalb eines Moduls. Heute werden hauptsächlich Bonddrähte aus Aluminium oder Silber, neuerdings auch aus Kupfer verwendet.

Aufgrund ihrer geometrischen Struktur, die meist bogenförmig über dem Substrat verläuft, und ihrer verglichen mit Kupfersubstrat kleinen Querschnittsfläche besitzen die Bonddrähte einen erheblichen Anteil an der parasitären Induktivität eines Moduls [80], [67].

Bonddrähte	Induktivität [nH]
1	10,4
2	7,4
3	6,1
4	5,2
5	4,7
6	4,2
via Substrat	2,7

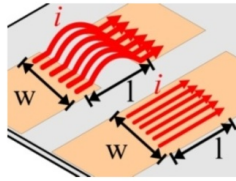


Abb. 6.11: Einfluss der Bonddrähte; Leiterbreite: 10 mm, Leiterdicke: 0,3 mm, Bondloophöhe: 3 mm, Abstand der Bondfüße bzw. Leiterlänge: 10 mm

Die Simulation (Tab. 6.11) eines beispielhaften Aufbaus zeigt die Änderung der parasitären Induktivitäten mit der Anzahl der verwendeten parallelen Bonddrähte im Vergleich zu einer Stromführung durch das Substrat. Für die hier verwendeten geometrischen Daten lässt sich eine parasitäre Induktivität von etwa 1 nH / mm Bonddraht ableiten. Dieser Wert kann für erste Abschätzungen verwendet werden, was durch die Ergebnisse von [138] (1,25 nH/mm) und [80] (0,7 nH/mm) gestützt wird, vgl. Tabelle 6.1.

Querschnitt [μm]	L_{σ} [nH/mm]	Quelle
200	1,0	Simulation
200	0,7	[80]
200	1,25	[138]

Tab. 6.1: Literaturwerte für die parasitäre Induktivität von Bonddrähten

In Tabelle 6.11 ist erkennbar, dass die parasitäre Induktivität nicht reziprok zur Anzahl der Bonddrähte abnimmt, sondern schwächer, da aus dem gleichgerichteten Stromfluss durch die Bonddrähte eine magnetische Mitkopplung zwischen den Bonddrähten resultiert, welche die Gesamtinduktivität wieder erhöht. Die aufgespannten Schleifen führen zur Entstehung einer parasitären Induktivität, die um den Faktor 2 bis 5 größer ist als die einer flachen Leiterbahn, wie die Simulationsergebnisse in Tabelle 6.1 zeigen.

Aus diesen Gründen sollten Bonddrähte durch eine geschickte Strukturierung des DCB-Layouts vermieden werden. Lediglich bei der oberseitigen Chipkontaktierung sind Bonddrähte unvermeidbar. Um dennoch eine minimierte parasitäre Induktivität zu erhalten, sollten, falls erforderlich, zu ihrer Reduktion so viele Bonddrähte wie möglich parallel verwendet werden, damit die Gesamtinduktivität reduziert wird, vgl. Tab. 6.11. Des Weiteren sollten die Bonddrähte möglichst flach über das DCB geführt werden, um ihre Länge und die Fläche der Schleifen zu reduzieren.

6.5 Optimierung der parasitären Kapazitäten

Zur Abschätzung der innerhalb eines Moduls auftretenden parasitären Kapazitäten kann die Tabelle 3.2 aus Kapitel 3.4.3 als Basis für die Parameter verwendet werden. Die durch Normen oder EMV-Anforderungen festgelegten Leckströme, wie die aus der kapazitiven Kopplung zwischen DCB und geerdetem Kühlkörper resultierenden Erdströme, können bei Kenntnis der Kapazität C und der während der Schaltvorgänge auftretenden Spannungsgradienten du/dt gemäß der nachfolgenden Gleichung überschlägig bestimmt werden:

$$I_E = C \cdot \frac{du}{dt}. \quad (6.5)$$

Mit Hilfe der in Tabelle 3.2 angegebenen Kapazität je Flächeneinheit kann somit bei Festlegung des maximal zulässigen Erdstromes $I_{E,max}$ bzw. der zulässigen Gleichtaktstörströme die einzuhaltende Obergrenze für die Größe einer Potentialfläche bei den zu erwartenden Spannungsgradienten du/dt des Halbleiters bestimmt werden:

$$A_{pot,max} \leq \frac{d \cdot I_{E,max}}{\epsilon_0 \epsilon_r} \left(\frac{du}{dt} \right)^{-1} \quad (6.6)$$

Besondere Aufmerksamkeit sollte denjenigen Flächen gewidmet werden, deren Potential sich mit der Taktfrequenz f_{sw} ändert, wie dies bei den Phasenanschlüssen des U-Umrichters der Fall ist. Hier findet bei jedem Schaltvorgang eine Umladung der Kapazitäten gegen das Bezugspotential (Kühlkörperpotential bzw. GND) statt, während z.B. die DC-Anschlüsse auch während des Schaltvorganges auf annähernd gleichem Potential verbleiben.

Die Optimierung der parasitären Kapazitäten kann demnach direkt durch die Anpassung der

Fläche A der Kupferleiterbahnen bzw. der Dicke d und der Dielektrizitätskonstante ε_0 des Isolationsmaterials erfolgen. Gemäß den Gleichungen 6.5 und 2.10 gilt für den Erdstrom:

$$I_E \propto A \quad (6.7)$$

$$\propto \frac{1}{d} \quad (6.8)$$

$$\propto \varepsilon_0 \quad (6.9)$$

Zur Bewertung der Optimierungsmöglichkeiten parasitärer Kapazitäten ist anzufügen, dass durch fertigungstechnische Randbedingungen die Parameter ε_0 und d meist festgelegt sind (bei Leistungsmodulen etwa durch Wahl des Substrates) und somit die Anpassung der Fläche A den wesentlichen Optimierungsparameter bildet.

6.6 Optimierung einer Busbarverschienung

Busbarverschienungen bilden die Grundlage für eine niederinduktive und niederohmige Verbindung von Leistungshalbleitern und Zwischenkreiskondensatoren bzw. Leistungsanschlüssen [125] und [122], [139].

Busbarverschienungen bestehen aus zwei oder mehr Lagen, da erst durch das antiparallele Führen der Ströme eine Abschwächung der Magnetfeldenergie erreicht wird, was dann eine niedrige parasitäre Induktivität bewirkt. Die elektrische Verbindung der Leistungshalbleitermodule mit den Zwischenkreiskondensatoren eines Umrichters sollte gleichzeitig niederohmig und niederinduktiv ausgeführt werden, um eine hohe Effizienz des Systems zu ermöglichen.

Heute werden dafür in der Leistungselektronik verplattete Bleche verwendet, die meist aus Kupfer oder Aluminium gefertigt sind. Diese sogenannten Busbarverschienungen werden hergestellt, indem dünne Bleche flächig mit Hilfe eines isolierenden Trennmateri als übereinander platziert werden, wobei die Anschlüsse für Leistungsmodule und Zwischenkreiskondensatoren so gewählt werden, dass in benachbarten Platten ein antiparalleler Stromfluss erzielt wird. Auf diese Weise werden mehrere positive Eigenschaften erreicht:

- Die große Querschnittsfläche ermöglicht die niederohmige Verbindung der einzelnen Komponenten des Leistungsteils.
- Die parasitäre Induktivität der Verschienung wird minimiert, da sich durch den antiparallelen Stromfluss die resultierenden magnetischen Felder zu einem großen Teil aufheben, siehe Abb. 2.16.
- Des Weiteren kann durch die Minimierung des Abstandes zwischen den Platten und einer Maximierung ihrer Fläche bei Wahl eines Isolators mit einer großen Dielektrizitätskonstante (z.B. Kaptonfolie: $\varepsilon_r = 3,4$) eine intrinsische Kapazität gebildet werden, die parallel zur Zwischenkreiskapazität liegt und sehr niederinduktiv angebunden ist, wodurch hohe

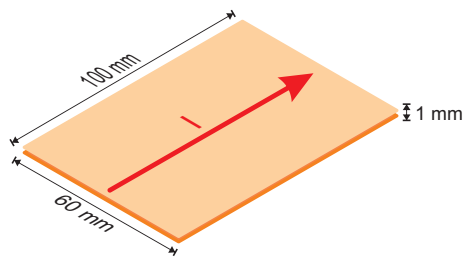


Abb. 6.12: Ideale Busbarverschienung: Zwei planparallele, gleichgroße Kupferflächen mit antiparallelem Stromfluss

Frequenzanteile wirkungsvoll unterdrückt werden. So kann durch passende Dimensionierung sogar eine Filterwirkung erzielt werden [123].

- Als weitere Funktion kann die Busbarverschienung außerdem mechanische und thermische Funktionen übernehmen, wie zum Beispiel die Abstützung des Leistungsteils eines Umrichters oder eine Wärmespreizung im Falle einzelner Leistungshalbleiterelemente [140]. Sie eignet sich insbesondere bei Parallelschaltung von Leistungshalbleitern, um eine möglichst homogene Stromverteilung zu ermöglichen.

Abb. 6.12 zeigt eine einfache Busbarstruktur, die aus zwei planparallelen Kupferplatten besteht. Tabelle 6.2 enthält die Werte der Selbstinduktivität, der Gegeninduktivität und der Gesamtinduktivität. Verglichen mit der Selbstinduktivität erreicht die Gesamtinduktivität in diesem Beispiel einen Wert, der nur rund 2 % des ursprünglichen Wertes beträgt. Mit einer realen Verschienung, wie in Abb. 8.25 dargestellt, lassen sich diese idealen Werte nicht erreichen, da fertigungstechnische Randbedingungen meist ein Abweichen von einer idealen geometrischen Struktur erfordern. Jedoch können auch mit industriell gefertigten Verschienungen für kompakte automotiv Traktionsumrichter Induktivitäten der Größenordnung von weniger als 10 nH, typische Widerstände im Bereich weniger m Ω und Kapazitäten von einigen nF erreicht werden [125].

Die Herausforderung besteht in der ganzheitlichen Optimierung dieser Verschienung im System, um elektrische Parameter wie ohmschen Widerstand und Induktivität mit mechanischen und thermischen Anforderungen in Einklang zu bringen. In der industriellen Anwendung kommen wirtschaftliche Überlegungen hinzu, da der Materialpreis und die Fertigung einer Verschienung hohe Kosten verursachen können.

Selbstinduktivität (je Leiter)	35,7 nH
Gegeninduktivität (Leiter 1 auf Leiter 2)	35,1 nH
Resultierende Busbar-Induktivität	2x 0,6 nH = 1,2 nH

Tab. 6.2: Selbst- und Gegeninduktivitäten einer idealen Verschienung (100 x 60 x 1 mm³, d = 0,5 mm)

6.6.1 Ersatzschaltbild einer Busbarverschienung

Zur Modellierung von Busbarverschienungen können vereinfachte Ersatzschaltbilder verwendet werden, die wesentliche elektrische Eigenschaften wie Widerstand, Induktivität und die Kapazität zwischen den Platten beschreiben. Abbildung 6.13 zeigt exemplarisch das Ersatzschaltbild einer zweilagigen Verschienung [139]. Hierbei sind Gesamtwiderstand und -induktivität der Verschienung getrennt worden und mittels einer Kapazität gegen Masse gekoppelt.

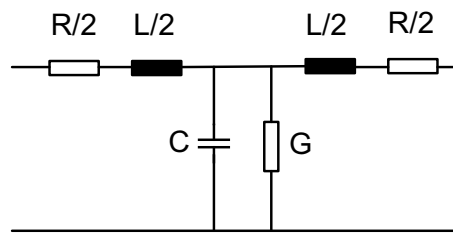


Abb. 6.13: Elektrisches Ersatzschaltbild einer Busbarverschienung

6.6.2 Parasitäre Induktivität von Busbarverschienungen

Die Grundvoraussetzungen für die Minimierung der parasitären Induktivität einer Busbarverschienung sind (vgl. Abschnitt 6.7):

- eine große Fläche A , wobei die Breite w groß und die Länge l gering sein sollten
- eine im Rahmen der erforderlichen Stromtragfähigkeit möglichst geringe Dicke t
- ein im Rahmen der zulässigen Isolationsfestigkeit möglichst geringer Abstand d der Platten
- die Einhaltung einer geometrisch symmetrischen äußeren Form, die einen spiegelsymmetrischen, antiparallelen Stromfluss in benachbarten Platten ermöglicht

Verglichen mit den idealisierten Modellen weist eine reale Verschienung jedoch oftmals eine modifizierte Struktur auf, denn abgewinkelte Anschlüsse, Bohrungen für Schraubkontakte und andere mechanische Erfordernisse führen zu einer Abweichung von der idealen Bauform, die sich in der resultierenden Gesamtinduktivität niederschlagen. Diese komplexeren Strukturen lassen sich nicht mehr mit Hilfe analytischer Formeln berechnen, sondern können nur mit Hilfe von rechnergestützten Methoden wie PEEC- oder FEM-Simulationen bestimmt werden.

6.6.3 Parasitäre Kapazität von Busbarverschiebungen

Die Kapazität einer Busbarverschiebung lässt sich in guter Näherung mit Hilfe der Plattenkondensatornäherung

$$C = \epsilon_0 \epsilon_r \frac{wl}{d} \quad (6.10)$$

bestimmen, solange die jeweiligen Schienen eine geometrisch symmetrische Form aufweisen. Die Dielektrizitätskonstante ϵ_r wird durch die Materialeigenschaft des Isolationmaterials (z.B. Kaptonfolie) bestimmt.

6.7 Zusammenfassung und Schlussfolgerungen

In diesem Kapitel wurde eine Übersicht über verschiedene Optimierungsansätze und -methoden zur Reduzierung parasitärer Elemente vorgestellt und durch Simulationsergebnisse und analytische Rechnungen belegt.

Aus den Ergebnissen des vorangegangenen Abschnittes lassen sich Designstrategien ableiten, die auf die Komponenten eines leistungselektronischen Systems in der Reihenfolge der Optimierungshierarchie angewendet werden können und in Tabelle 6.3 zusammengefasst sind. Es wurde gezeigt, dass der herkömmliche Ansatz, durch niederinduktive Strukturierung von Leiterbahnen die parasitären Elemente eines Systems zu reduzieren, in vielen Fällen nicht ausreichend ist und durch eine umfassendere Methodik ersetzt werden sollte. Dabei wird zunächst das Optimierungspotential abgeschätzt, sodass dann an geeigneter Stelle, in erster Linie durch die Ausnutzung von Kopplungseffekten, ein weit größerer Effekt erzielt werden kann.

Die Optimierung der parasitären Induktivität in Leistungsmodulen erfolgt im Idealfall durch die iterative Anwendung beider Ansätze, also durch die Optimierung der Eigen- oder Selbstinduktivität auf der einen Seite und der Gegen- oder Koppelinduktivitäten einer Leiteranordnung auf der anderen Seite. Diese Modellvorstellung ist physikalisch gesehen nicht ganz korrekt, da sich die Selbstinduktivität erst ausbildet, wenn eine geschlossene Leiterbahn vorliegt, sie eignet sich dennoch, um einen ersten Ansatz zur Optimierung zu finden. Durch die spätere Zusammenführung der Ergebnisse wird dann den physikalischen Ursachen der resultierenden Gesamtinduktivität eines Moduls Rechnung getragen.

Die größte Beeinflussung der parasitären Elemente wird durch Änderung der Leitergeometrie und Gegenkopplung erzielt [67]. Es wurde gezeigt, dass sie sich vor allem auf die resultierende parasitäre Induktivität auswirkt. Die Wahl des DCBs, insbesondere die Dimensionierung der Fläche des Kupfers und die Dicke des Isolationsmaterials, beeinflussen vor allem die parasitären Kapazitäten und die daraus resultierenden Verschiebungsströme. Da die maximal zulässige Größe der Verschiebungsströme in vielen Applikationen bekannt ist, wurde eine Gleichung zur Dimensionierung der Kupferfläche in Abhängigkeit vom Verschiebungsstrom und dem Spannungsgradienten des Halbleiters aufgestellt.

An dieser Stelle muss angemerkt werden, dass im finalen Layout eines Leistungsteils oftmals vom gefundenen elektrischen Optimum abgewichen werden muss, da in den meisten Fällen Abwägungen zwischen geforderten elektrischen Eigenschaften, thermischen Gegebenheiten, welche die Zuverlässigkeit und Lebensdauer beeinflussen, und fertigungstechnischem Aufwand, der sich auf die Produktionskosten auswirkt, getroffen werden müssen.

Anhand eines Leistungsmoduls und einer Busbarverschiebung wurden Beispiele für die Optimierung gezeigt. Mit Hilfe der gewonnenen Informationen wurden am Ende des Kapitels Designstrategien abgeleitet und zusammenfassend dargestellt.

Die grundlegenden Prinzipien gelten dabei nicht nur für Leistungsmodule und Busbarverschiebungen, sondern sind auch auf vergleichbare Leiterstrukturen, etwa in diskret aufgebauten Leistungsteilen, übertragbar.

Als Ausblick sei angemerkt, dass aktuelle Entwicklungen der Leistungsmodulhersteller Ansätze für grundlegende Optimierungen zeigen: In Module werden laminierte Busbarstrukturen eingebracht, die als Busbar fast bis zum Chip geführt werden können [70], [141]. Dabei werden auch die Anschluss terminals optimiert, um eine niederimpedantere Anbindung der Module zu gewährleisten. Nicht zuletzt geht der Weg an vielen Stellen zu IPM (engl.: *intelligent power module*), also zur Integration weiterer Schaltungselemente (Kondensatoren, Widerstände) bis hin zu ICs in Modulgehäusen [142], [143]. Dies trägt der beschriebenen Tatsache Rechnung, dass innerhalb der Module parasitäre Effekte auftreten, die von außen nur schwer messbar und kaum beeinflussbar sind.

Designstrategien	Referenz
Parallel verlaufende Leiterbahnen <ul style="list-style-type: none"> • Erzeugung eines antiparallelen Stromflusses • Minimierung des Abstandes d • Maximierung des Breite/Dicke-Verhältnisses • Minimierung der Länge 	<p>6.4.1</p> <p>6.4.1.1</p> <p>6.4.1.1</p> <p>6.4.2.1</p>
Einzelleiter (Abstand zum nächsten Leiter $> 4 r_{leiter}$) und zueinander senkrecht verlaufende Leiter ($k_{m,n} = 0$) <ul style="list-style-type: none"> • Minimierung der Länge • Maximierung des Breite/Dicke-Verhältnisses • Platzierung möglichst dicht über einer leitfähigen Fläche (GND-Platte) • Verwendung mehrerer paralleler Leiter (z.B. bei Bonddrähten) 	<p>6.4.2.1</p> <p>6.4.2.1</p> <p>6.4.2.2</p> <p>6.4.2.3</p>
Modul- und Zwischenkreisanschluss terminals <ul style="list-style-type: none"> • Platzierung in geringem Abstand (kleine Schleifen, Nutzung der Gegenkopplung) • Maximierung des Breite/Dicke-Verhältnisses • Verwendung mehrerer paralleler Anschlüsse • Verwengung einer modulinternen Busbarstruktur • Minimierung der Länge 	<p>6.4.1.3</p> <p>6.4.2.2</p> <p>6.4.1.3</p> <p>6.4.1</p> <p>6.4.2.1</p>
Zwischenkreisverschiebung <ul style="list-style-type: none"> • siehe „parallel verlaufende Leiterbahnen“ • Einhaltung einer gleichmäßigen geometrischen Form, um inhomogene Stromverteilung zu vermeiden 	<p>6.4.1</p> <p>6.4.1</p>

Tab. 6.3: Designstrategien zur Reduzierung parasitärer Elemente in Umrichtern

7. Ganzheitliche Optimierung parasitärer Elemente und thermischer Eigenschaften von Leistungsmodulen

7.1 Einführung

Die stetige Zunahme der Leistungsdichte in Leistungsmodulen und Umrichtern (Abb. 7.1) führt zu einer Erhöhung der elektro-thermischen Kopplungen zwischen den parasitären Elementen und den verwendeten aktiven Bauelementen. Der Einfluss von geometrischen Modulparametern, wie der Strukturierung der DCBs oder die Positionierung der Leistungshalbleiter auf die thermischen Eigenschaften des Gesamtmoduls, wächst dadurch stark an [44], [144].

Für die Entwicklung leistungselektronischer Systeme bedeutet dies, dass durch die alleinige Befolgung von Design-Regeln keine ganzheitliche Optimierung erreicht werden kann [146], [147], da sich durch diese Regeln nur Einzelparameter optimieren lassen, wie z.B. die parasitäre Induktivität [131], [148].

Die entstehenden Wechselwirkungen können dabei durch einfache Regeln nicht mit ausreichender Genauigkeit einbezogen werden. Hinzu kommt, dass die Optimierungsziele innerhalb eines Moduls häufig widersprüchlich sind: Zur Veranschaulichung sei das Beispiel einer Halbbrücke (Abb. 7.2a) genannt, bei der eine Erhöhung des Abstands zwischen dem oberen und unteren Leistungshalbleiter zwar den thermischen Übergangswiderstand R_{th} reduziert und dadurch die Entwärmung verbessert, die parasitäre Induktivität des Kommutierungskreises jedoch erhöht, siehe Abbildung 7.2b.

Die Optimierung der parasitären Elemente beeinflusst also die thermischen Eigenschaften eines Leistungsmoduls. Eine ganzheitliche Optimierung erfordert deshalb die Berücksichtigung dieser Kopplungen unter der Einbeziehung einer Vielzahl von Parametern, die sich simulativ ermitteln lassen. Zu diesem Zweck wurden in der Vergangenheit meist iterative Optimierungsverfahren eingesetzt [125], bei denen zunächst ausgewählte Parameter optimiert wurden und

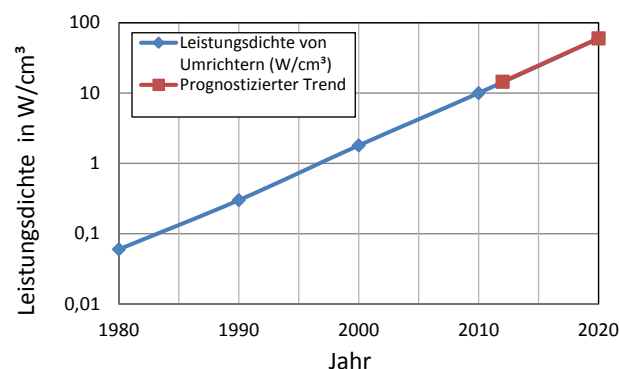


Abb. 7.1: Entwicklung der Leistungsdichte von Umrichtern von 1980 bis heute mit Ausblick bis 2020 [145]

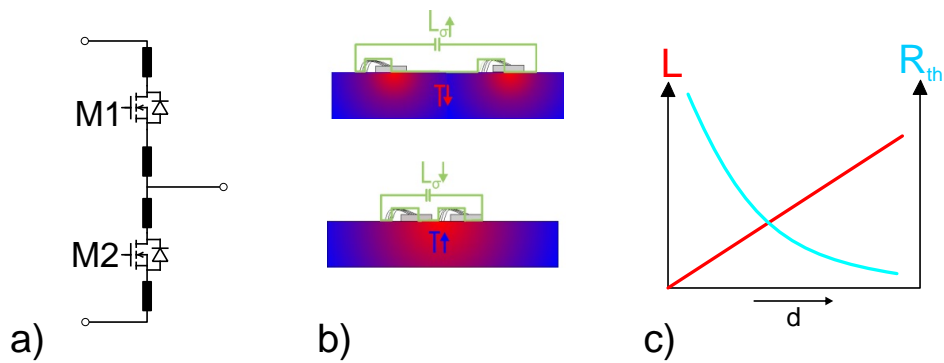


Abb. 7.2: Gegensätzliche Optimierungsziele: Temperatur vs. parasitärer Induktivität: a) Halbbrückenschaltung, b) Prinzipskizze, c) funktionale Zusammenhänge und Optimum (qualitativ)

anschließend simulativ oder experimentell geprüft wurde, ob bei der Verwendung der ermittelten Parameter die übrigen Moduleigenschaften in den definierten Rahmenbedingungen bleiben oder gegebenenfalls weitere Anpassungen erfordern.

Dieses Verfahren erfordert die Fokussierung auf einzelne Optimierungsparameter und durch die notwendigen Iterationen einen hohen Zeitbedarf.

Im nachfolgenden Kapitel soll daher ein systematisches Verfahren vorgestellt werden, das zur ganzheitlichen Optimierung von Leistungsmodulen entwickelt wurde. Es zeichnet sich neben einem einfach anwendbaren Algorithmus durch die Möglichkeit aus, eine Vielzahl von Optimierungsparametern frei auszuwählen und je nach Anforderungsprofil zu gewichten. Besondere Beachtung soll in diesem Kapitel daher der Fragestellung gewidmet werden, wie sich die Modifikation elektrischer Parameter (parasitäre Widerstände, Kapazitäten und Induktivitäten) auf die thermischen Eigenschaften eines Leistungsmoduls auswirkt. Die vorgestellte Optimierungsmethode wendet dabei die Erkenntnisse an, die in Kapitel 6. erarbeitet wurden und kombiniert diese mit weiteren Ansätzen, die eine ganzheitliche Optimierung erlauben. Es wird somit eine Möglichkeit der methodischen Anwendung von Optimierungsansätzen gezeigt.

7.2 Methode zur ganzheitlichen Optimierung

Das im Rahmen dieser Arbeit entwickelte systematische Optimierungsverfahren ist in drei Schritte unterteilt. In Abbildung 7.3 wird das Flussdiagramm für die vorgeschlagene Optimierungsmethode gezeigt.

Im ersten Schritt müssen die grundlegenden geometrischen Randbedingungen des Leistungsmoduls definiert werden. Hierzu zählt die Festlegung der erforderlichen Grundfläche des Leistungsmoduls, die Definition der Größe des DCBs und der Kupferflächen sowie der benötigten externen Anschlüsse. Außerdem müssen die fertigungstechnischen Randbedingungen in das Modell integriert werden. Aus ihnen ergeben sich die einzuhaltenden Abstände zwischen den

Bauteilen, ebenso die Randbedingungen für die Platzierung von Bonddrähten, Leistungsanschlüssen und anderen Verbindungselementen.

Je nach gewünschter Schaltungstopologie wird anschließend die Strukturierung des DCBs vorgenommen. Dabei sollten zur Erleichterung der späteren Optimierung die in Abschnitt 6.7 genannten Designregeln eingehalten werden.

Im zweiten Schritt wird eine Analyse der fertigungstechnisch möglichen Modifikationen des Layouts durchgeführt. Alle Freiheitsgrade, die im Rahmen einer Optimierung des Layouts genutzt werden könnten, wie die Platzierung der Leistungshalbleiter und die Festlegung der Größe der Kupferflächen, müssen in diesem Schritt definiert werden. Die unterschiedlichen Realisierungsmöglichkeiten können durch ein Punktraster diskretisiert werden, wobei jeder Punkt einer möglichen Chipposition entspricht und den Chipflächenmittelpunkt bezeichnet.

Im dritten Schritt werden die Simulationen der zu untersuchenden Parameter, wie der parasitären Induktivitäten, der parasitären Kapazitäten und der thermischen Eigenschaften durchgeführt, wobei jede Realisierungsmöglichkeit im Rahmen der Optimierungsfreiheitsgrade geprüft wird. Die Simulationsergebnisse jeder Realisierungsmöglichkeit werden innerhalb einer Parametermatrix gespeichert. Jedes Element der Matrix entspricht somit dem Simulationsergebnis für einen Optimierungsparameter für eine bestimmte Realisierungsmöglichkeit. Die Modifikation des Simulationsmodells kann dabei mit Hilfe eines Scripts automatisiert ablaufen.

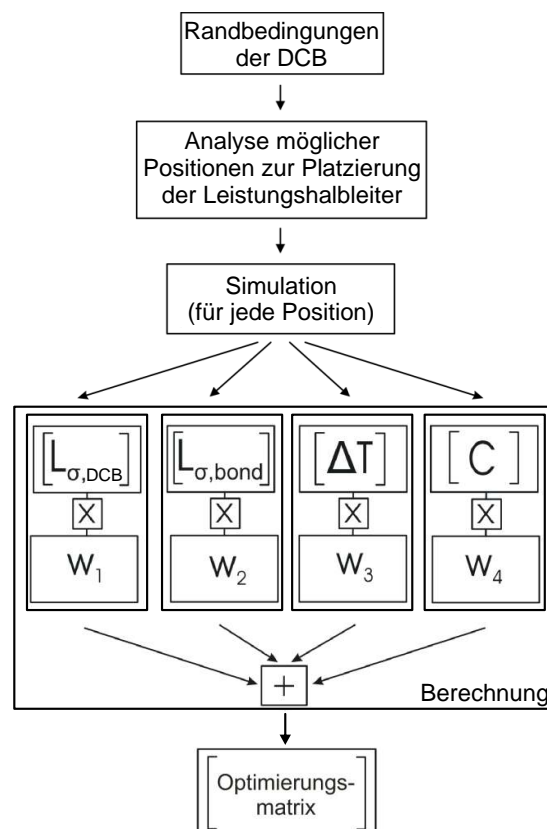


Abb. 7.3: Flussdiagramm für den Ablauf des vorgestellten Optimierungsverfahrens

Ein besonderer Vorteil dieser Methode liegt darin, dass die Nutzung beliebiger Simulationstools erlaubt ist, die keinerlei Schnittstellen zum Datenaustausch aufweisen müssen, da die Ergebnisse in Form einer Matrix exportiert werden können, die anschließend mit Hilfe gängiger Werkzeuge wie Matlab [149] weiterbearbeitet werden kann.

Die Matrizen werden zur Weiterverarbeitung und zur Erleichterung der Vergleichbarkeit „normiert“ (z.B. durch lineare Zuordnung der Zahlen von 0 bis 1 zu den Minimal- bzw. Maximalwerten der einzelnen Parameter). Eine Optimierung hinsichtlich eines definierten Einsatzprofils kann dann durch Zuordnung von Gewichtungsfaktoren zu den jeweiligen Parametermatrizen erfolgen. Die Einzelmatrizen werden mit diesen Faktoren multipliziert und anschließend summiert, sodass sich eine neue Matrix bildet, die das Optimierungsergebnis darstellt. Diese Matrix enthält dann die normierte Verteilung der Gesamtoptimierung für die verwendeten und gewichteten Optimierungsparameter, in diesem Fall abhängig von der Chipposition. Eine zweidimensionale Falschfarbendarstellung erlaubt die direkte Visualisierung des Optimierungsergebnisses. Für die weitere Analyse lassen sich aus den in Schritt 3 gewonnenen Daten auch die zu erwartenden absoluten Werte für die Einzelparameter extrahieren, sodass diese direkt angegeben werden können.

Dieses vorgestellte Optimierungsverfahren wurde entworfen, als Simulation implementiert und erprobt.

7.3 Anwendungsbeispiel zur ganzheitlichen Optimierung

7.3.1 Optimierung eines Halbbrückenmoduls

Zur Demonstration des vorgestellten Verfahrens soll ein MOSFET Halbbrückenmodul als Beispiel zur Optimierung herangezogen werden. Abbildung 7.4 zeigt eine schematische Darstellung des verwendeten Modullayouts. Beginnend mit der thermischen Analyse des Aufbaus sollen anschließend die elektrischen Parameter untersucht und schließlich optimiert werden. Während der weiteren Untersuchungen sind die Freiheitsgrade für die Optimierung wie folgt definiert:

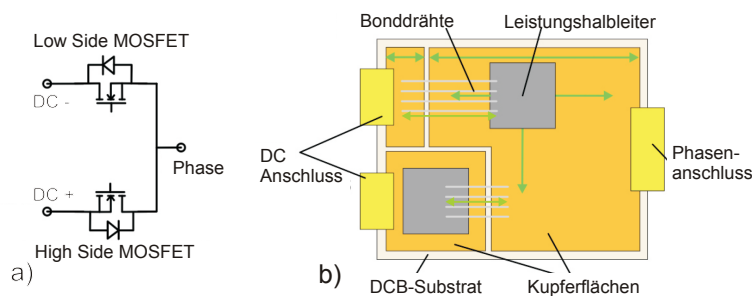


Abb. 7.4: Exemplarisches Halbbrückenmodul: a) Ersatzschaltbild, b) DCB (schematisiert)

1. freie Platzierbarkeit des Low-Side-MOSFETs auf der entsprechenden Potentialfläche des DCBs
2. freie Strukturierbarkeit des DCB, was die Länge des DC+ sowie des Phasenanschlusses betrifft
3. freie Wahl der Länge der Bonddrähte und der Platzierung der Fußpunkte

Zur Veranschaulichung der in diesem Beispiel auftretenden Kopplungen wurde eine Beeinflussungsmatrix aufgestellt (Tab. 7.1), die mit Hilfe der Symbole „+“, „o“ und „-“ die erwartete Größe der Kopplungen darstellt.

	T_{max}	ΔT	R_{Cu}	L_{σ}	C_{par}
Platzierung des Leistungshalbleiters	+	+	+	+	o
Strukturierung des DCBs	o	o	+	+	+
Länge der Bonddrähte	-	-	+	+	-

Tab. 7.1: Beeinflussungsmatrix unterschiedlicher Modulparameter, erwartete Beeinflussung

Zur Simulation der Halbbrücke wurden einige Randbedingungen gewählt, die der geometrischen und thermischen Beschreibung des Systems dienen. Sie sind in Tabelle 7.2 zusammengefasst. Als weitere Randbedingung wird angenommen, dass über die Bodenplatte in Verbindung mit einem Kühlkörper ein Wärmeübergangskoeffizient von $500 \text{ W/m}^2\text{K}$ dargestellt werden kann. Abbildung 7.5 zeigt den vertikalen Aufbau des Modells.

Chipfläche	A_{Chip}	60 mm^2
Lotverbindung (SnAg)	d_{Lot}	$200 \mu\text{m}$
DCB-Größe	A_{DCB}	720 mm^2
DCB-Aufbau (Cu/Al ₂ O ₃ /Cu)	d_{DCB}	$300 \mu\text{m} / 400 \mu\text{m} / 300 \mu\text{m}$
Lotverbindung (SnAg)	d_{Lot}	$200 \mu\text{m}$
Fläche / Dicke der Bodenplatte	A_{BP}/d_{BP}	$1280 \text{ mm}^2 / 2\text{mm}$
Verluste je MOSFET	P_v	30 W
Umgebungstemperatur	T_{amb}	$25 \text{ }^\circ\text{C}$
Wärmeübergangskoeffizient	α	$500 \text{ W} / \text{m}^2 \text{ K}$

Tab. 7.2: Geometrische und thermische Randbedingungen des Moduls und des gewählten Betriebspunktes

7.3.1.1 Thermische Optimierung

Die Einhaltung der maximalen Sperrschichttemperatur ist Grundvoraussetzung für den Betrieb jedes Leistungsmoduls, dies muss über eine ausreichende Kühlung und Verwendung zulässiger Betriebsbedingungen gewährleistet werden.

Während des Betriebs erwärmt sich das DCB-Substrat des Leistungsmoduls inhomogen, da

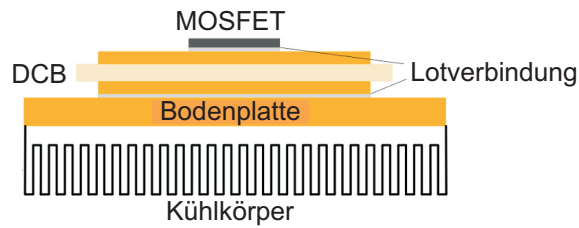


Abb. 7.5: Thermischer Stapel des Modells, die verwendeten Werte sind in Tabelle 7.2 zusammengefasst

in der Nähe von Leistungshalbleitern oder in Bereichen mit geringen Leiterquerschnitten besonders viel Wärmeeintrag stattfindet. Hingegen herrschen an den Rändern des DCBs meist geringere Temperaturen. Diese Temperaturdifferenzen können aufgrund unterschiedlicher Materialausdehnung zur Entstehung von thermischo-mechanischen Spannungen führen, die sich auf die Lebensdauer des Leistungsmoduls auswirken und zu einem frühzeitigen Ausfall führen können. Die maximale Temperaturdifferenz ΔT zwischen minimaler und maximaler Temperatur auf dem DCB kann daher als Optimierungsparameter betrachtet werden.

Da die Leistungshalbleiter den wesentlichen Anteil zur Erwärmung der DCB beitragen, sind die genannten Parameter vor allem von der Platzierung dieser Bauelemente abhängig. Wie die thermische Simulation in Abb. 7.6 zeigt, spielt vor allem der Abstand zweier (oder mehrerer) benachbarter Bauteile und der Abstand eines Bauelements vom Rand des DCBs eine große Rolle für die resultierende maximale Sperrschichttemperatur T_{max} .

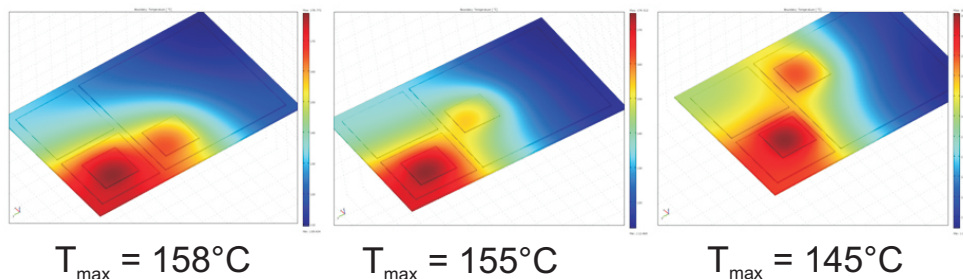


Abb. 7.6: Auswirkung der Chipplatzierung des Low-Side-MOSFET auf die Sperrschichttemperatur; für die gezeigten Beispiele ergibt sich ein Temperaturunterschied von 13 K (FEM-Simulation, Randbedingungen siehe Tab. 7.2)

Die Platzierung der Leistungshalbleiter wirkt sich außerdem auch auf den resultierenden Wärmeübergangswiderstand $R_{th(j,amb)}$ aus, da eine Platzierung am Rand des DCBs oder in der Nähe eines weiteren Leistungshalbleiters die zur Wärmespreizung zur Verfügung stehende Fläche reduziert und durch die reduzierte Wärmeabfuhr eine stärkere Erwärmung des DCBs hervorgerufen wird.

Die thermische Optimierung soll im vorliegenden Fall eine Reduzierung von ΔT auf dem DCB-Substrat und eine Minimierung von $R_{th(j,amb)}$ bewirken. Die Festlegung der Obergrenzen für beide Werte und die Gewichtung dieser Parameter für die Gesamtmoduloptimierung findet im Abschnitt 7.3.2 statt. Das aus der Simulation mit der entwickelten Methodik gewonnene Optimierungsziel ist in Form einer Falschfarbdarstellung in Abb. 7.7 veranschaulicht. Es zeigt sich, dass eine Platzierung des zweiten Halbleiters in der rechten oberen Hälfte des DCB-Substrates (dunkelblauer Bereich) thermisch am günstigsten ist.

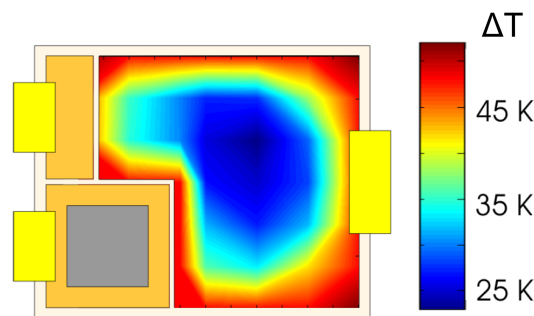


Abb. 7.7: Thermische Optimierung ($M_{\Delta T}$): Blaue Flächen zeigen optimale Bereiche (kleine Temperaturdifferenz ΔT auf dem DCB), rote Flächen zeigen ungeeignete Bereiche (großer Temperaturdifferenz ΔT auf dem DCB)

7.3.1.2 Optimierung der parasitären Induktivität

Die Gesamtinduktivität des Moduls wird in den Bestandteil der parasitären Induktivitäten der Kupferleiter des DCBs ($L_{\sigma,DCB}$) und die der Bonddrähte ($L_{\sigma,Bond}$) zerlegt. Beide Größen gehen als Optimierungsparameter in die Berechnung ein.

Als Grundsatz der Optimierung gilt, zunächst den Kommutierungsweg innerhalb des Moduls so niederinduktiv wie möglich zu gestalten.

Die Länge des Strompfades im Modul bestimmt in erster Näherung die Induktivität, sie ist durch die Position des zweiten MOSFETs und die Platzierung der Bonddrähte definiert. Daher wird auf die Analyse dieser beiden Einflussgrößen der Schwerpunkt dieses Abschnittes gelegt.

Für unterschiedliche MOSFET-Positionen werden die resultierenden parasitären Induktivitäten von DCBs und Bonddrähten ermittelt. Dabei ist festzustellen, dass die Induktivität der Bonddrähte zwei- bis viermal größer als die vergleichbarer DCB-Strukturen sind (vgl. Tab. 6.11) und daher die maßgebliche Größe des Optimierungsprozesses darstellen. Die aus den Simulationen gewonnene Wertung der Chipposition ist in Abbildung 7.8 dargestellt.

Hier zeigt sich, dass zur Minimierung der DCB-Induktivität (a) eine Platzierung am linken unteren Rand des DCB vorteilhaft ist (blaue Fläche), während im Hinblick auf niederinduktive Bondverbindungen eine Position am linken oberen Rand des DCB zu niedrigen Werten der Bonddrahtinduktivität führt.

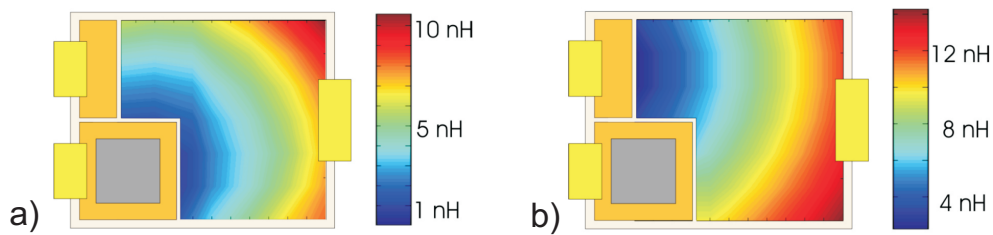


Abb. 7.8: Optimierung der parasitären Induktivitäten ($M_{L(DCB)}, M_{L(bond)}$): Blaue Flächen zeigen optimale Bereiche (kleine Induktivität), rote Flächen zeigen ungeeignete Bereiche (große Induktivität): a) DCB, b) Bonddrähte

7.3.1.3 Optimierung der parasitären Kapazität

Die Optimierung der parasitären Kapazitäten der Phasenanschlüsse bewirkt in erster Linie eine Verbesserung der elektromagnetischen Verträglichkeit des Umrichters, da die Verschiebungsströme reduziert werden. Somit ergibt sich eine Verringerung der Gleichtaktstörungen (vgl. Kapitel 4.7.2).

Die parasitären Kapazitäten eines DCB-Layouts ergeben sich direkt aus der Fläche und dem Abstand der verwendeten Kupferbahnen (vgl. Kap. 4.7.2). Eine Optimierung der Kapazitäten ist insbesondere für alle Flächenelemente mit wechselndem Potential notwendig, während sich die Kapazitäten der Leiterbahnen mit konstantem (z.B. DC-)Potential kaum auswirken.

Zur Reduzierung der Kapazitäten kann entweder der Abstand der Kupferleiter vergrößert werden, was gleichbedeutend mit einer Erhöhung der Substratdicke ist, oder die Fläche verkleinert werden. Die Grafiken 7.9a) und b) zeigen diese Zusammenhänge. Die aus der Simulation abgeleitete Wertung der Chippositionen ist in Abb. 7.10 dargestellt. Es zeigt sich, dass mit einer Verschiebung des Chips in Richtung des Phasenanschlusses die parasitäre Kapazität des Moduls wegen der dann notwendigerweise längeren und somit größeren Potentialfläche des Phasenanschlusses ansteigt (vgl. Abb. 7.9b).

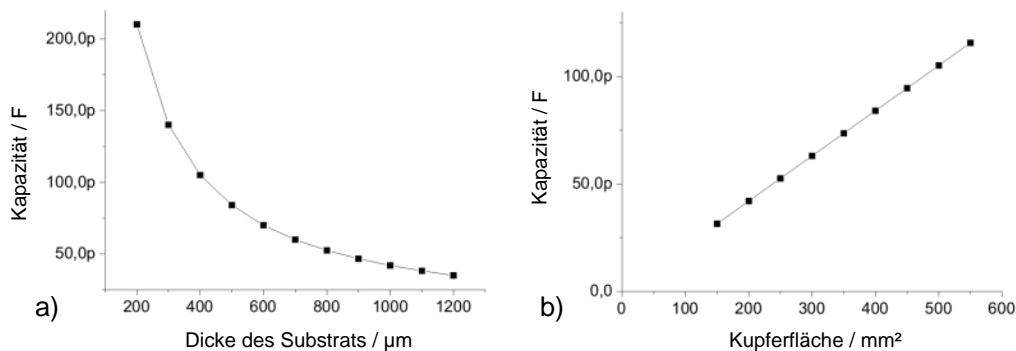


Abb. 7.9: Parasitäre Kapazitäten in Abhängigkeit von der Substratdicke (a) und der Größe der Cu-Fläche (b)

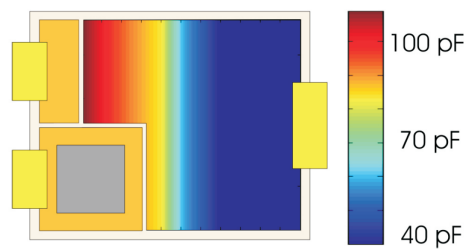


Abb. 7.10: Optimierung der parasitären Kapazitäten (M_C): Blaue Flächen zeigen optimale Bereiche (kleine Kapazität), rote Flächen zeigen ungeeignete Bereiche (große Kapazität)

7.3.2 Durchführung der ganzheitlichen Optimierung

Die Ergebnisse aus den Einzelsimulationen müssen für eine ganzheitliche Betrachtung im nachfolgenden Schritt zusammengeführt werden. Da diese Simulationsergebnisse in Form von Matrizen gleicher Dimension vorliegen, kann eine gewichtete Summation der standardisierten Matrizen durchgeführt werden:

$$A = w_1 \cdot M_{\Delta T} + w_2 \cdot M_{L(DCB)} + w_3 \cdot M_{L(bond)} + w_4 \cdot M_C \quad (7.1)$$

Die Gewichtungsfaktoren w_i werden entsprechend der Anwendung ausgewählt, da sie die Optimierungsziele festlegen. Diese Faktoren entsprechen einer prozentualen Bewertung, wobei $\sum_i w_i = 1$ gewählt wird, wodurch eine prozentuale Gewichtung erleichtert wird. Die Matrix A stellt die Ergebnisse dieser gewichteten Summation und somit der kombinierten Optimierung dar. Die Darstellung der Matrix als zweidimensionales Falschfarbdiagramm erlaubt eine schnelle Beurteilung des Ergebnisses.

Abbildung 7.11 zeigt die Darstellung der Moduloptimierung für die Wahl gleichverteilter Gewichtungsfaktoren, hierbei bedeuten blaue Bereiche eine optimale Chipposition, rote Bereiche eine zu vermeidende Position.

In der industriellen Anwendung sollten die Gewichtungsfaktoren gemäß der technischen Bestimmung des Moduls gewählt werden. So gelten je nach Höhe der geforderten Sperrspannungen und Strombelastbarkeiten für die Module unterschiedliche Auslegungs- und Optimierungskriterien. Die nachfolgenden Beispiele sollen diesen Grundgedanken verdeutlichen.

7.3.2.1 Beispiel für ein Leistungsmodul mit niedriger Spannungsfestigkeit in Hochstromanwendungen

Bei Niederspannungs-MOSFET ist die Reduktion der Induktivitäten innerhalb des Modulaufbaus vorrangiges Ziel, da induzierte Spannungen die niedrigen Durchbruchspannungen der verwendeten Leistungshalbleiter erreichen und Bauteilschädigungen hervorrufen könnten. Im vorliegenden Fall würden daher die Gewichtungsfaktoren beispielsweise wie in Tabelle 7.3 gewählt

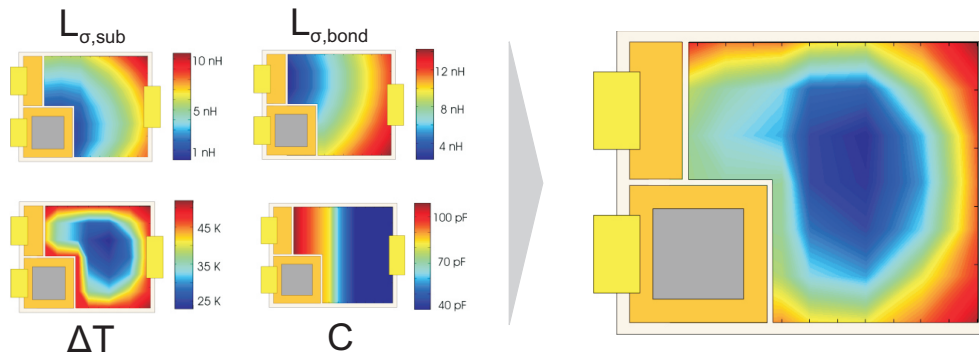


Abb. 7.11: Optimierungsergebnis für gleichverteilte Gewichtungsfaktoren

werden, also mit dem Schwerpunkt auf parasitären Induktivitäten. Abbildung 7.12 visualisiert das Optimierungsergebnis für ein Niedrigstspannungsmodul, auch hier bedeuten blaue Bereiche eine optimale Chipposition, rote Bereiche eine zu vermeidende Position.

Faktor	Wert
w_1	0.10
w_2	0.40
w_3	0.40
w_4	0.10

Tab. 7.3: Gewichtungsfaktoren für ein Modul niedriger Spannungsfestigkeit in Hochstromanwendungen

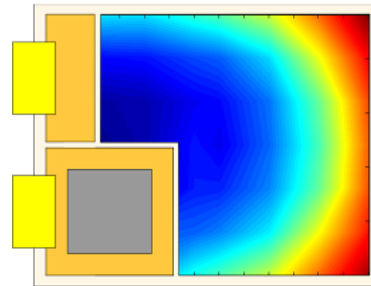


Abb. 7.12: Optimierungsergebnis für ein auf geringe parasitäre Induktivitäten ausgelegtes Modul

7.3.2.2 Beispiel für ein Leistungsmodul mit hoher Spannungsfestigkeit

Bei Leistungsmodulen mit Hochspannungsbauteilen ergibt sich oft ein ausreichender Sicherheitspuffer für induzierte Spannungen, somit kann in einem solchen Fall eine stärkere Gewichtung auf z.B. thermische und kapazitive Eigenschaften gelegt werden, siehe Tab. 7.4. Abbildung 7.13 visualisiert das Optimierungsergebnis für ein thermisch optimiertes Modul.

Faktor	Wert
w_1	0.60
w_2	0.05
w_3	0.05
w_4	0.30

Tab. 7.4: Gewichtungsfaktoren für ein Modul mit hoher Spannungsfestigkeit

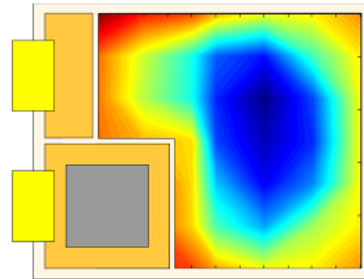


Abb. 7.13: Optimierungsergebnis für ein auf thermische Eigenschaften optimiertes Modul

7.3.3 Evaluierung der Gesamtperformance

Aufgrund des vollständigen Simulationsmodells kann nach der Optimierung aus den erhaltenen Daten das Optimierungsergebnis direkt als absoluter Wert angegeben werden. Für die gefundene Strukturierung des DCBs kann somit direkt eine Aussage über die zu erwartenden Modulparameter abgelesen und aus dem Optimierungsergebnis auf die zugrundeliegenden Werte zurückgerechnet werden. Der Grundwert stellt die Parameter des mit gleichen Gewichtungsfaktoren berechneten Moduls dar.

Parameter	Grundwert	Optimierungsergebnis
ΔT	24 °C	38 °C
L_{DCB}	4,6 nH	2,1 nH
L_{bond}	8,1 nH	3,5 nH
C_{par}	45 pF	102 pF

Tab. 7.5: Elektrische Parameter für ein Niedrigstspannungsmodul (z.B. $U_{DC} < 100$ V), optimiert auf niedrige parasitäre Induktivitäten

Für das Hochspannungsmodul kann das Optimierungsergebnis in gleicher Art betrachtet werden:

Parameter	Grundwert	Optimierungsergebnis
ΔT	24 °C	23 °C
L_{DCB}	4,6 nH	4,9 nH
L_{bond}	8,1 nH	8,4 nH
C_{par}	45 pF	40 pF

Tab. 7.6: Elektrische Parameter für ein Modul höherer Spannung (z.B. $U_{DC} = 600$ V-1200 V), optimiert auf geringe parasitäre Kapazitäten und niedrige Temperatur

7.4 Zusammenfassung und Schlussfolgerungen

In diesem Kapitel wurde eine ganzheitliche Optimierungsmethode vorgestellt, die es erlaubt eine nach unterschiedlichen Parametern gewichtete Optimierung eines Leistungsmodullayouts durchzuführen.

Auf diese Weise können neben elektrischen auch thermische oder andere Größen in eine systematische Optimierung einbezogen werden. Die Methode zeichnet sich durch ihre einfache und universelle Anwendbarkeit sowie durch die Möglichkeit zur Verwendung beliebiger Simulationssoftware für die jeweilige Größe aus, da die Ergebnisse der Parameteroptimierung in Form von Matrizen aus den jeweiligen Tools extrahiert und dann zur Berechnung an allgemein verfügbare Werkzeuge wie *Matlab* oder *Excel* weitergegeben werden können.

Zur Darstellung wurde bewusst das Beispiel einer einfachen Halbbrückenschaltung gewählt, damit die Überprüfung des Ergebnisses zu jedem Zeitpunkt mittels Plausibilitätsüberlegungen möglich ist. Das Beispiel demonstriert die einfache und zielführende Anwendung der Methode, wobei die Optimierungsergebnisse in Form eines anschaulichen Falschfarbdiagramms dargestellt werden können. Neben dem Auffinden optimierter Parameter lassen sich ohne Mehraufwand die absoluten Werte aller Parameter der optimierten Strukturen darstellen.

Die hier vorgestellte Methode lässt sich auf komplexere Geometrien erweitern. Auch in anderen Anwendungsbereichen (z.B. zur geometrischen Auslegung von Busbarverschiebungen) wäre eine Anwendung des vorgestellten Verfahrens denkbar.

8. Optimierung des Leistungsteils eines Umrichters für 24 V, 5-15 kVA

8.1 Einführung

DC/AC-Umrichter mit 24 V-Zwischenkreisspannung in der Leistungsklasse von 5-15 kVA werden vor allem in Flurförder- oder anderen leichten Nutzfahrzeugen eingesetzt. Hier werden wegen des günstigen Preises und der Robustheit weitestgehend Blei-Säure Akkumulatoren verwendet [5].

Bedingt durch die niedrige Zwischenkreisspannung muss zur Bereitstellung der geforderten Ausgangsleistung mit hohen Phasenströmen gearbeitet werden, die im Bereich von 100 bis 700 A_{eff} liegen. Die hierfür eingesetzten Antriebsumrichter müssen speziell auf die Hochstromanforderungen ausgelegt sein, um die auftretenden Leit- und Durchlassverluste in akzeptablen Bereichen zu halten. Erforderlich ist daher die Verwendung schnell schaltender Leistungshalbleiter, die gleichzeitig einen geringen $R_{DS(on)}$ aufweisen. Moderne Leistungs-MOSFETs mit niedrigen Spannungsfestigkeiten (engl.: *low voltage power MOSFETs*) erfüllen diese Anforderungen [150].

Die volle Leistungsfähigkeit dieser Halbleiter kann nur genutzt werden, wenn das Schaltungslayout hinsichtlich parasitärer Elemente optimiert ist, da insbesondere die während der Abschaltvorgänge an den parasitären Induktivitäten induzierten Überspannungen einen effizienten und störungsfreien Betrieb verhindern können. Auch der Durchlasswiderstand $R_{DS(on)}$ kann reduziert werden, wenn die erforderliche Durchbruchspannung $U_{BR,DSS}$ der Leistungshalbleiter herabgesetzt werden kann (vgl. Abschnitt 4.5.2).

In der Literatur findet man wenige Veröffentlichungen zu Automotive-Umrichtern mit niedriger Zwischenkreisspannung. In [151] wurde die Entwicklung eines Umrichters für höhere Spannungen (PowerNet, 42 V) vorgestellt. [10] zeigt den Aufbau eines 55 kW-Umrichters mit SiC-Dioden, wobei auch hier höhere Zwischenkreisspannungen (> 200 V) verwendet wurden. Die detaillierte Analyse und Optimierung eines Umrichtersystems mit einem Fokus auf Systemen mit niedriger Zwischenkreisspannung soll daher im nachfolgenden Abschnitt erfolgen.

Basierend auf den im 6. und 7. Kapitel erarbeiteten Methoden, der simulationsgestützten Optimierung von Leistungsmodulen und Busbarverschienungen, wird die Entwicklung eines Niedrigspannungsumrichters mit 24 V-Zwischenkreisspannung beschrieben. Die Ausgangsleistung kann im vorliegenden Fall durch Parallelschaltung mehrerer Umrichter im Bereich von 5-15 kVA skaliert werden. Die Untersuchungen wurden im Rahmen eines gemeinschaftlichen Forschungsprojektes innerhalb des Kompetenzzentrums Leistungselektronik Schleswig-Holstein (KLSH [152]) durchgeführt.

Im ersten Teil des Kapitels wird auf die Konzeptionierung des Leistungsteils eingegangen, es folgt die Darstellung der Optimierung der Leistungsmodule und der Busbarverschienung, wodurch ein verlustarmer Betrieb bei Parallelschaltung mehrerer Leistungsmodule ermöglicht

wird. Hierbei wird insbesondere die Optimierung der parasitären Induktivitäten und der Symmetrierung der Stromverteilung berücksichtigt.

Im zweiten Teil des Kapitels werden der Aufbau und die messtechnische Untersuchung des Umrichters beschrieben und der Erfolg der Optimierungen demonstriert, insbesondere hinsichtlich einer Minimierung und Symmetrierung der parasitären Induktivitäten in Bezug auf die auftretenden Überspannungen und die symmetrische Stromverteilung auf parallelgeschaltete MOSFETs, sowie Messungen der parasitären Induktivitäten und der thermischen Eigenschaften. Teile der Untersuchungen dieses Kapitels wurden bereits in [11], [152], [153] und [154] veröffentlicht.

8.2 Konzeptionierung und Auslegung des Leistungsteils

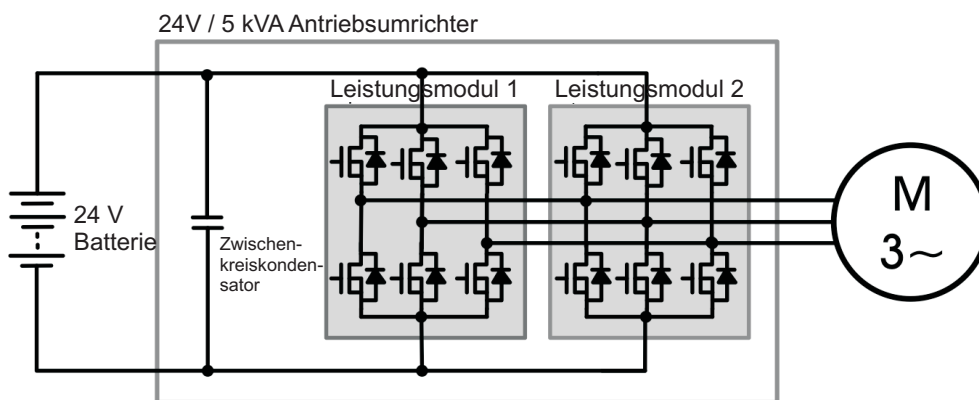


Abb. 8.1: Verwendete Topologie des 5 kVA-Umrichters: zwei dreiphasige MOSFET-Halbbrückenmodule sind innerhalb des Antriebsumrichters parallel geschaltet

In Abbildung 8.1 ist die Schaltungstopologie des Antriebsumrichters dargestellt: Der Antriebsumrichter wird durch einen Bleiakкумуляtor mit einer Gleichspannung von 24 V gespeist. Je nach Ladezustand der Batterie und bedingt durch mögliche Energierückspeisung bei Bremsvorgängen soll ein Betrieb mit Zwischenkreisspannungen von 18 bis 36 V möglich sein.

Der 5 kVA-Basisumrichter soll im Nennbetrieb einen Phaseneffektivstrom von $\tilde{I}_L = 130$ A bereitstellen können, kurzzeitig sollen Ströme von $\tilde{I}_L = 250$ A möglich sein. Diese elektrischen Anforderungen machen in Verbindung mit den systemseitig gegebenen thermischen Randbedingungen (Entwärmung des Leistungsteils nur über passive Luftkühlung) den Einsatz von zwei parallel geschalteten Leistungsmodulen zur Verbesserung der Wärmeabfuhr erforderlich.

Zur Reduzierung der Schaltverluste in dem mit 16 kHz taktenden Umrichter müssen möglichst kurze Schaltzeiten verwendet werden, wobei $t_{f,i}$ im vorliegenden Fall durch die Spezifikation der maximal zulässigen induzierten Spannung auf $U_{ind,max} = 0,8 \cdot U_{DSS} - U_{zwk,max} = 20$ V

begrenzt wurde (mit 0,8 als Sicherheitsfaktor):

$$U_{ind,max} = L_{\sigma} \cdot \frac{dI}{dt} \quad (8.1)$$

$$\Rightarrow \Delta t_{sw} \approx L_{\sigma} \cdot \frac{\Delta \hat{I}_D}{U_{ind,max}} \quad (8.2)$$

$$\text{hier : } t_{f,i} \approx L_{\sigma} \cdot \frac{350A}{20V} = L_{\sigma} \left[\frac{Vs}{A} \right] \cdot 17,5 \frac{A}{V} \quad (8.3)$$

Abbildung 8.2 zeigt die möglichen Stromfallzeiten $t_{f,i}$ und die Abschätzung der resultierenden Schaltverluste für 24 V Zwischenkreisspannung und 60 A Drainstrom (gemäß Gleichung 8.4 [6]), aufgetragen gegen die Induktivität des Zwischenkreises. Auch wenn die zulässigen Grenzen dieser Auslegung in der Praxis meist nicht erreicht werden können, verdeutlicht diese Darstellung, dass die Minimierung der parasitären Induktivität des Kommutierungskreises neben der Reduktion von Überspannungen bei den untersuchten Niedrigstspannungs-MOSFETs vor allem die Ausschaltverluste reduziert. In der Praxis sind der Anpassung der Stromfallzeit $t_{f,i}$ bedingt durch die Halbleitercharakteristik Grenzen gesetzt, die bei der Auslegung berücksichtigt werden müssen, vgl. [55].

$$E_{off} = U_{DD} \cdot I_{Doff} \cdot \frac{t_{r,u} + t_{f,i}}{2} \quad (8.4)$$

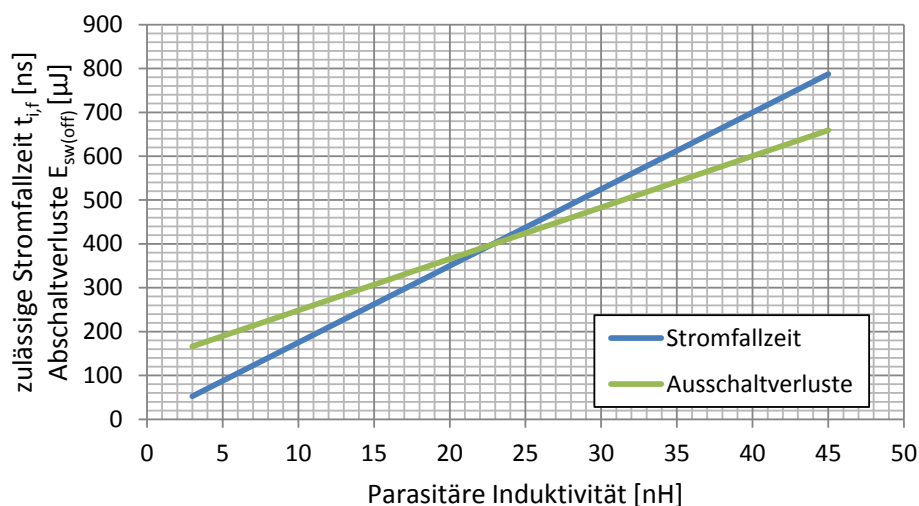


Abb. 8.2: Schaltzeiten und -verluste in Abhängigkeit von der parasitären Induktivität des Kommutierungskreises für den MOSFET ISiT180 [155] im Halbleitermodul unter Einhaltung der maximal zulässigen induzierten Spannung nach Gl. 8.3

8.2.1 Anforderungsprofil für den Leistungsteil

Für die Entwicklung des Leistungsteils lässt sich aus den genannten und durch das Lastenheft [156] geforderten technischen Randbedingungen das folgende Anforderungsprofil ableiten:

1. Minimierung der ohmschen Widerstände im Leistungshalbleiter, Leistungsmodul und in der Busbarverschienung
2. Optimierung der parasitären Induktivität zur Minderung von Schaltverlusten, Überspannungen und elektromagnetischen Emissionen
3. Realisierung eines effizienten Abtransports der Verlustwärme durch passive Kühlung
4. Erstellung eines kompakten Aufbaukonzepts mit der Möglichkeit für Parallelbetrieb mehrerer Umrichter
5. Symmetrierung der Stromverteilung beim Parallelbetrieb mehrerer Umrichter

Die resultierenden elektrischen und thermischen Parameter sind in der Tabelle 8.1 zusammengefasst. Des Weiteren wurden spezielle Anforderungen an das thermische Design definiert, die den alleinigen Einsatz einer passiven Kühlung auch bei erhöhter Umgebungstemperatur für einen bestimmten Lastzyklus ermöglichen. Die Entwicklung des thermischen Gesamtkonzepts wurde von Projektpartnern durchgeführt und soll an dieser Stelle nicht weiter erläutert werden, es sei auf hier auf [157], [158] und [159] verwiesen.

Umrichtertyp	dreiphasiger Frequenzumrichter zur Speisung eines Fahrmotors
Spannungsversorgung	Bleiakkumulator 24 V (18..36 V)
Nennstrom	130 A (max. 250 A)
Taktfrequenz	16 kHz
$U_{ind,max}$	< 20 V
$T_{max}(C_{zwk})$	< 80°C
$T_{j,max}$	< 150°C
η	> 97 %

Tab. 8.1: Anforderungen für die Auslegung des Leistungsteils des 5 kVA-Umrichters

8.2.2 Der Leistungshalbleiter und das Modul

In den Modulen kommt ein durch das Fraunhofer Institut für Siliziumtechnik (ISiT) nach den Projektspezifikationen entwickelter Leistungshalbleiter [155] zum Einsatz, der im Folgenden als ISiT180 bezeichnet wird.

Die Schwellenspannung dieses Halbleiters wurde zur Vermeidung ungewollten parasitären Schaltens im Vergleich zu Bauteilen der gleichen Produktfamilie erhöht und liegt bei $V_{GS(th)} = 4,4V$.

Die Sperrspannung wurde auf $V_{BR,DSS} = 70V$ erhöht und der Durchlasswiderstand konnte auf $R_{DS(on)} = 0,72m\Omega$ herabgesenkt werden.

Der Leistungshalbleiter hat eine Fläche von $7 \times 11 = 77mm^2$ und besitzt zwei Source-Flächen zur oberseitigen Kontaktierung durch Bonddrähte (siehe Abb. 8.3), ein Gatepad und zwei weitere Sense-Anschlüsse zur Bestimmung der Halbleitertemperatur. Zu diesem Zweck sind zwei antiparallele Dioden integriert, die mit einem niedrigen Gleichstrom beaufschlagt werden und dann einen proportional von der Temperatur abhängigen Spannungsabfall verursachen, der gemessen wird.

Der MOSFET wurde mit $0,38 \mu m$ Pitch gefertigt, das Silizium wurde auf eine Schichtstärke von $120 \mu m$ gedünnt. Im Anhang 11.1 befindet sich ein Datenblatt der elektrischen Parameter des verwendeten Leistungshalbleiters.

Ein gemoldetes Modulgehäuse (Abb. 8.5 a) gewährleistet den Schutz der Leistungshalbleiter vor Umwelteinflüssen [160]. Zur Erhöhung der Lastwechselbeständigkeit und zur Reduzierung des ohmschen und thermischen Widerstandes wurden die Leistungshalbleiter mittels Sinter-technologie auf das DCB aufgebracht [161].

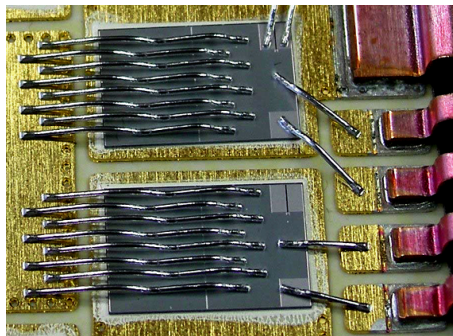


Abb. 8.3: Foto des MOSFETs ISi180 im Leistungsmodul; beim oberen MOSFET ist auch der Temperatursensor durch Bonddrähte kontaktiert

8.2.3 Das elektromechanische Grundkonzept

Um einen kompakten Aufbau des Umrichters zu ermöglichen, wird eine kombinierte Treiber- und Zwischenkreiselektronikflachbaugruppe verwendet. Diese sechslagige Platine dient zum einen der Bereitstellung der Gatespannungen durch die Treiber, zum anderen der Signalauswertung der Fehler- und Temperatursensorik und außerdem zur Anbindung der Zwischenkreis-kondensatoren an die Zwischenkreisverschienung. Die treiberseitigen Elemente dieser Platine werden in [58] beschrieben.

Die beiden inneren Lagen der Platine sind Bestandteil des Kommutierungskreises und sie bestehen aus $200 \mu m$ starken Kupferschichten, welche die geforderte Stromtragfähigkeit aufweisen und gleichzeitig eine busbarähnliche niederinduktive Anbindung der Kondensatoren ermöglichen.

Zur Erfüllung der thermischen Anforderungen ergibt sich einerseits die Notwendigkeit, die bis maximal 80 °C belastbaren Zwischenkreiskondensatoren thermisch von den bis zu 130 °C heißen Leistungshalbleitermodulen zu entkoppeln, auf der anderen Seite jedoch für eine möglichst kurze und somit niederinduktive Anbindung an die Leistungshalbleiter in den Modulen zu sorgen. Dieses Optimierungsproblem führte zur Entwicklung eines neuartigen Verschienungssystems, das in Abschnitt 8.5.1 vorgestellt wird.

8.3 Parallelbetrieb von MOSFET-Modulen im Umrichter

Wie in Kapitel 8.2 vorgestellt, werden im 5 kVA-Basisumrichtermodul zwei dreiphasige MOSFET-Leistungshalbleitermodule parallel betrieben. In der Umrichterversion für 15 kW Ausgangsleistung erhöht sich die Anzahl auf sechs parallel geschaltete MOSFET-Module.

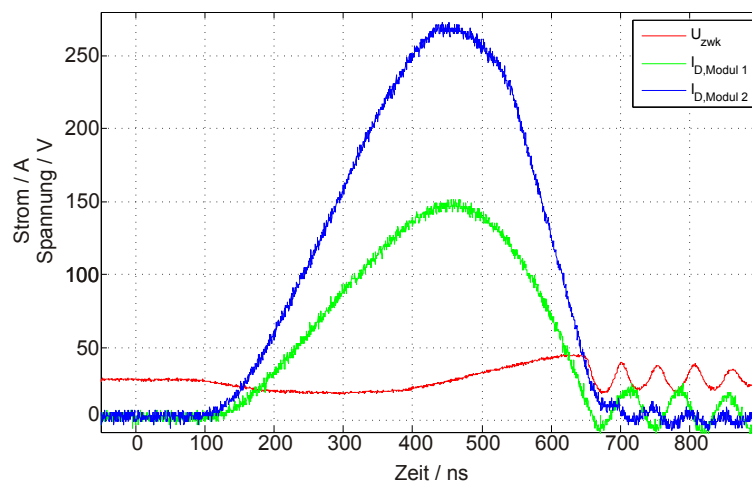


Abb. 8.4: Unsymmetrische Stromverteilung bei Kurzschlussversuch für Parallelschaltung zweier MOSFET-Module M1 und M2 mit ungleicher Kommutierungskreisinduktivität, grün: M1 mit $I_D = 150$ A (@32 nH), blau: M2 mit $I_D = 270$ A (@17 nH), 50 A/div, rot: Zwischenkreisspannung U_{ZWK} , 50 V/div, Zeitskala: 100 ns/div

In Abb. 8.4 ist die Stromverteilung zweier parallel geschalteter Halbbrücken gezeigt, deren Induktivität sich um 15 nH unterscheidet. Die Abweichung von einer symmetrischen Stromverteilung beträgt > 40 % und verdeutlicht, dass insbesondere in diesem Anwendungsfall eine besonders gleichmäßige Aufteilung der parasitären Induktivität erforderlich ist.

Die gezeigten unterschiedlichen Stromgradienten treten auch beim Ein- und Ausschalten der parallel geschalteten Module im Umrichterbetrieb auf und führen in dem Fall zu einer unerwünschten unsymmetrischen Belastung der Bauelemente.

Die Parallelschaltung mehrerer Leistungshalbleiter erfordert darüber hinaus die folgenden Maßnahmen zur Symmetrierung des Stromes in den einzelnen Bauelementen [162]:

8.3.1 Anforderungen an die Treiberelektronik

- möglichst zeitgleiche Bereitstellung der Ansteuersignale (auch controllerseitig)
- möglichst konstante und kleine Verzögerungszeiten der Bauteile (Treiber-IC), bei MOS-FET z.B. <5 ns [163]
- möglichst gleiche Signallaufzeiten und Signalverläufe (i.A. gleiche Länge, Lage und Induktivität der Zuleitungen)

Die Treiberschaltung des hier gezeigten Umrichters wird in [58] ausführlich dargestellt.

8.3.2 Anforderungen an den Leistungshalbleiter

- möglichst gleiche Schwellenspannung $U_{GS(th)}$
- möglichst gleicher Durchlasswiderstand $R_{DS(on)}$
- möglichst gleiche Übertragungskennlinien g_{fs}
- möglichst Übereinstimmung der Kapazitäten C_{GD} und C_{GS}

8.3.3 Anforderungen an den Aufbau des Leistungsteils

- möglichst symmetrische Induktivitäten im jeweiligen Kommutierungskreis
- möglichst Common-Source Induktivität in gleicher Größe zur Vermeidung von unsymmetrischer Rückkopplung
- möglichst symmetrische parasitäre Widerstände

Werden die genannten Bedingungen z.B. durch zeitverzögertes Schalten paralleler Halbleiter nicht erfüllt, kann die resultierende Unsymmetrie des Stromes bedingt durch thermische Überlastung zu einer Zerstörung des Halbleiters führen [88], [89].

Des Weiteren kann eine Abweichung der Werte der passiven Elemente paralleler Kommutierungskreise des Leistungsteils, also der parasitären Widerstände und Induktivitäten, eine stationäre Unsymmetrie in der Stromverteilung hervorrufen, welche ebenfalls zu thermischer Überlastung einzelner Bauteile führen kann. Die Optimierung des Leistungsteils eines Umrichters sollte daher ganzheitlich in Bezug auf die Optimierung des Leistungsmoduls und der Busbarverschienen erfolgen, da beide Komponenten aufeinander abgestimmt werden müssen. Dies bezieht sich vor allem auf Verbindungsstrukturen wie die Anschlussklemmen, aber auch auf die Platzierung und geometrische Form der Anschlüsse.

8.4 Optimierung des Leistungshalbleitermoduls

Während der Konzeptionierungsphase wurden, basierend auf den Designanforderungen mehrere DCB-Layouts entworfen und anschließend simulativ charakterisiert. In Tabelle 8.2 sind exemplarisch die Anforderungen an das entwickelte KLSH-Leistungshalbleitermodul zusammengefasst. Da die Fertigung der DCBs mit hohen Kosten verbunden ist, war eine vergleichende messtechnische Untersuchung mehrerer Layouts nicht möglich, die Untersuchungen wurden daher simulativ durchgeführt. Die Tabelle A.1 (Anhang) gibt einen Überblick über vier Layoutentwürfe, die detailliert analysiert wurden.

Aus den untersuchten Realisierungsmöglichkeiten wurde das Modullayout M4 ausgewählt und optimiert. Am Ende des Designprozesses stand die Fertigung in einer kleinen Serie von ca. 50 Modulen. In diesem Abschnitt wird die Analyse der Induktivität des verwendeten Leistungsmoduls (Abb. 8.5) vorgestellt und eine Übersicht über die angewendeten Optimierungsverfahren gegeben. Die beschriebenen Methoden sind auf andere Modullayouts, aber auch auf diskret aufgebaute Leistungsteile übertragbar.

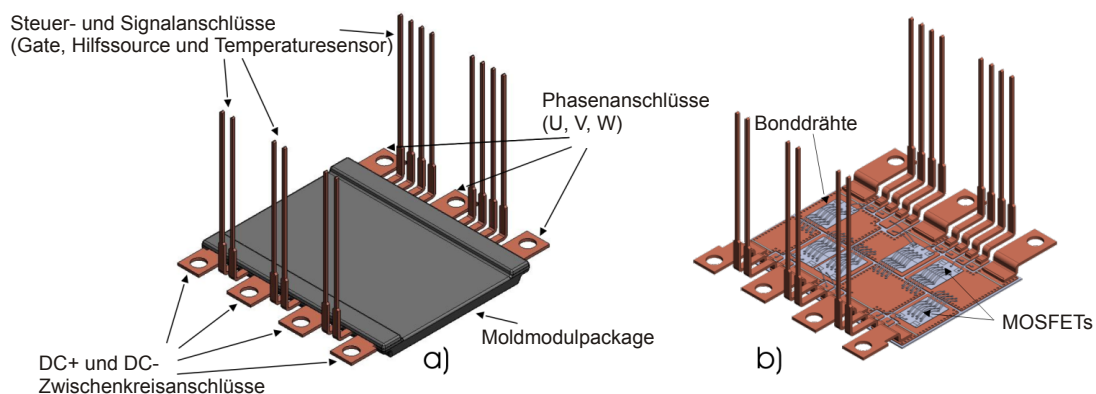


Abb. 8.5: Leistungshalbleitermodul mit drei Halbbrücken

Die Optimierung der parasitären Induktivitäten des Moduls basiert, wie in Abschnitt 6.4 gezeigt, zum einen auf der optimalen Ausnutzung von Gegeninduktivitäten und zum anderen auf der Minimierung der Selbstinduktivitäten der Leiterbahnen und Lastanschlüsse.

Zur Analyse der Induktivitäten wird mit Hilfe des CAD-Werkzeugs von InCa3d [41] ein genaues Simulationsmodell erstellt. Die Leiter auf dem DCB und die Lastanschlüsse werden entsprechend ihrer geometrischen Form und des Materials nachgebildet. Als Randbedingung für die Analyse wird die zur Schaltflankensteilheit äquivalente Frequenz verwendet, im vorliegenden Fall beträgt diese $f_{eq}=2,3$ MHz.

Es ist bei der Extraktion der partiellen Induktivitäten zu beachten, dass aufgrund der magnetischen Kopplungen die resultierenden Induktivitäten erhebliche Abweichungen von den Selbstinduktivitäten aufweisen können. Um dieser Tatsache gerecht zu werden, erfolgt die Darstellung der Simulationsergebnisse in Form von Impedanzmatrizen. Die Ordnung der Matrix ergibt

sich dabei aus der Anzahl der untersuchten Leiterbahnen bzw. aus der Feinheit der gewählten Unterteilung der Leiterabschnitte.

Modultyp	dreiphasiges Halbbrückenmodul
Abmessungen	max. 60 x 50 x 5 mm
Nennstrom	130 A (max. 250 A)
parasitäre Induktivität DCB	< 10 nH
weitere Anforderungen	- hohe Symmetrie - einfache Parallelschaltbarkeit - Hilfssourceanschlüsse

Tab. 8.2: Designanforderungen für das Leistungshalbleitermodul

8.4.1 Optimierung der parasitären Induktivitäten des DCB

Abbildung 8.6 zeigt eine der optimierten Halbbrücken des Moduls, die in sieben partielle Elemente zerlegt wurde. Die resultierende Matrix ist in Abbildung 8.7 dargestellt, ihre Elemente bilden sowohl die Selbstinduktivitäten (Diagonalelemente) als auch alle Koppelterme (alle sonstigen Elemente) ab.

Als Optimierungsziel ergibt sich die Maximierung der induktiven Gegenkopplung (Elemente mit negativem Vorzeichen) bei gleichzeitiger Minimierung der Mitkopplungen (Elemente mit positivem Vorzeichen). Die Darstellung der Induktivitäten in Form von Induktivitätsmatrizen erleichtert die iterative Optimierung: Die Auswirkungen der Variation der geometrischen Struktur einer Leiteranordnung werden durch die Änderungen der entsprechenden Matrixelemente direkt sichtbar und lassen sich mit geringem Aufwand bewerten.

Die Matrix in Abbildung 8.8 zeigt die mit Hilfe einer PEEC-Simulation des in Abbildung 8.7 gezeigten Modulbereichs extrahierten Kopplungsfaktoren. Hier sind Mitkopplungen in rot, Gegenkopplungen in grün dargestellt. Der Optimierungserfolg kann aus den generell höheren Werten der Gegenkopplungen gegenüber den Mitkopplungen abgelesen werden. Es sei an dieser Stelle angemerkt, dass bedingt durch die lineare Struktur der Elemente L1 bis L3 bzw. L5 bis L7 die Mitkopplungen nicht weiter reduzierbar sind. Tabelle 8.3 zeigt die Gegenüberstellung der errechneten und der durch Kopplungen korrigierten resultierenden Induktivitäten (Spaltensumme aus Matrix 8.7). Die Anzahl der Bonddrähte wurde für den Modulaufbau auf die größte bei gegebener Chipbreite mögliche Anzahl (8) maximiert, wobei gleichzeitig ein flach ausgeführter Bondloop erzielt werden konnte. Diese Maßnahmen reduzieren den Anteil der parasitären Bonddrahtinduktivitäten auf eine der Substratinduktivität vergleichbare Größe, wie in Tab. 8.3 dargestellt ist.

Es zeigt sich, dass bedingt durch die Koppelterme die Summe der Eigeninduktivitäten $L_{\sigma,eigen} = 22,7$ nH (Summe der Diagonalelemente) erheblich höher ist als die unter Berücksichtigung der Gegenkopplungen resultierende parasitäre Induktivität $L_{\sigma,gegen} = 16,6$ nH (Summe aller

Spaltensummen). Die parasitäre Induktivität reduziert sich also durch die Ausnutzung der Gegenkopplung in der Fläche des DCBs verglichen mit einer linearen Leiteranordnung ohne antiparallelen Stromfluss um etwa 27 %.

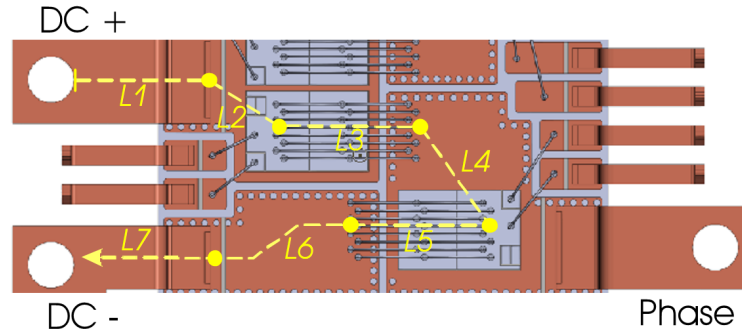


Abb. 8.6: Ausschnitt des Moduls: Partielle Zerlegung der Phase W in sieben Segmente

	L1	L2	L3	L4	L5	L6	L7	Σ
Selbstinduktivität (nH)	4,56	2,16	2,59	1,93	2,70	3,55	5,30	22,7 nH
Gekoppelte Induktivität (nH)	3,48	2,05	1,26	1,26	1,48	2,77	4,34	16,6 nH

Tab. 8.3: Selbst- und Gegeninduktivitäten des Leistungsmodulabschnittes aus Abbildung 8.6

	L1	L2	L3	L4	L5	L6	L7
L1	4,56	0,77	0,47	0,13	-0,41	-0,85	-1,18
L2	0,77	2,16	0,28	0,30	-0,24	-0,63	-0,59
L3	0,47	0,28	2,59	0,12	-0,83	-0,89	-0,49
L4	0,13	0,30	0,12	1,93	-0,80	-0,20	-0,22
L5	-0,41	-0,24	-0,83	-0,80	2,70	0,66	0,40
L6	-0,85	-0,63	-0,89	-0,20	0,66	3,55	1,12
L7	-1,18	-0,59	-0,49	-0,22	0,40	1,12	5,30

Abb. 8.7: Induktivitätsmatrix des Leistungsmodulabschnittes aus Abbildung 8.6; PEEC-Simulation

	L1	L2	L3	L4	L5	L6	L7
L1	x	-	-	-	-	-	-
L2	0,17	x	-	-	-	-	-
L3	0,10	0,13	x	-	-	-	-
L4	0,03	0,14	0,05	x	-	-	-
L5	-0,09	-0,11	-0,32	-0,41	x	-	-
L6	-0,19	-0,29	-0,34	-0,10	0,24	x	-
L7	-0,26	-0,27	-0,19	-0,11	0,15	0,32	x

Abb. 8.8: Magnetische Kopplungsfaktoren des Leistungsmodulabschnittes aus Abbildung 8.6; rot: Mitkopplung, grün: Gegenkopplung; PEEC-Simulation

8.4.2 Optimierung der DCB Symmetrie

Eine hohe Symmetrie der DCBs ist erforderlich, um in allen Halbbrücken das gleiche dynamische Verhalten der Leistungshalbleiter zu gewährleisten. Dadurch bleiben Überspannungen und Schaltverluste innerhalb zulässiger Grenzen und eine Überlastung einzelner Halbleiter wird vermieden.

Im vorliegenden Modul wurden die Halbbrücken zunächst nach geometrischer Symmetrie ausgelegt. Bedingt durch die maximal verwendbare Anzahl von 4 DC-Anschlüssen nutzen die Phasen U und V, bzw. V und W die gleichen DC-Anschlüsse. Zur Kompensation der höheren Strombelastung dieser Leiterabschnitte und Lastanschlüsse wurden hier größere Querschnittsflächen verwendet. Durch Anpassung der Leiterbahngeometrie und der Chipplatzierung konnte eine Unsymmetrie in weiten Teilen vermieden werden. PEEC-Simulationen und der Vergleich mit Messungen zeigen, dass die Unterschiede der parasitären Induktivitäten zwischen den einzelnen Phasen sehr gering sind (siehe Tab. 8.4). Die Abweichungen von einer vollständigen Symmetrie liegen im Bereich von weniger als 1 nH (simuliert). Dies hat seine Ursache in der vom Kommutierungsstrom in den Halbbrücken tatsächlich genutzten Querschnittsfläche, die in allen Phasen annähernd gleich ist.

Das ebenfalls extrahierte Ersatzschaltbild des Moduls inklusive der parasitären Elemente ist im Anhang A.2 dargestellt.

Phase	par. Induktivität (Sim.)	Abweichung (Sim.)	par. Induktivität (Mess.)
U	16,6 nH	0 nH	16,4 nH
V	15,7 nH	1 nH	15,8 nH
W	16,6 nH	0 nH	16,4 nH

Tab. 8.4: Symmetrie der parasitären Induktivität der Modulphasen

Der symmetrische Aufbau erlaubt zudem eine spezielle Anordnung der Module im Umrichter wodurch sich die parasitäre Induktivität weiter reduziert, wie im folgenden Abschnitt beschrieben wird.

8.4.3 Optimierung der Anschlussterminals

Neben dem DCB müssen auch die Leistungsanschlüsse des Moduls und die Zwischenkreisverschienungen in die Systemoptimierung einbezogen werden. Da die Leistungsanschlüsse (auch *Leads* genannt) einen erheblichen Anteil an der Induktivität haben, ist die Verwendung optimierter Anschlüsse und angepasster Busbarverschienungen notwendig, vgl. Abschnitt 6.2.

Bedingt durch die geforderten Betriebsströme und die Forderung nach Hilfssourceanschlüssen zur besseren Steuerbarkeit des Schaltverhaltens musste die Anzahl der DC-Anschlüsse auf vier beschränkt werden. Das Optimierungsziel war auch in diesem Falle das Erzielen einer möglichst hohen Gegenkopplung und einer hohen Symmetrie. Daher wurden die Lastanschlüsse so

konzipiert, dass die DC+ und DC- Anschlüsse sich auf der gleichen Seite des Moduls befinden und in alternierender Reihenfolge angeordnet sind.

Die besondere Notwendigkeit für die angestrebte Gleichheit der aufbaubedingten parasitären Induktivität der unterschiedlichen Phasen ergibt sich aus der speziellen Anordnung der Leistungsmodule innerhalb des Umrichters. Bedingt durch die Verwendung der antiparallelen vertikalen Busbarverschiebung (siehe Kap. 8.5.1) sind die Module punktsymmetrisch angeordnet, weshalb die Zuordnung der Phasen U und W in den Modulen vertauscht ist. Erst die nahezu identische Induktivität beider Phasen erlaubt dieses Vorgehen, das in Verbindung mit der genannten Busbarverschiebung eine erhebliche Reduktion der Kommutierungskreisinduktivität bietet. Abbildung 8.9 zeigt die Anordnung der Module im 5 kVA-Umrichter.

8.5 Optimierung der Busbarverschiebung

Nachfolgend werden Methoden vorgestellt, die eine niederinduktive Anbindung des Moduls an die Zwischenkreiskondensatoren und einen niederohmigen Anschluss an die Leistungsanschlüsse erlauben.

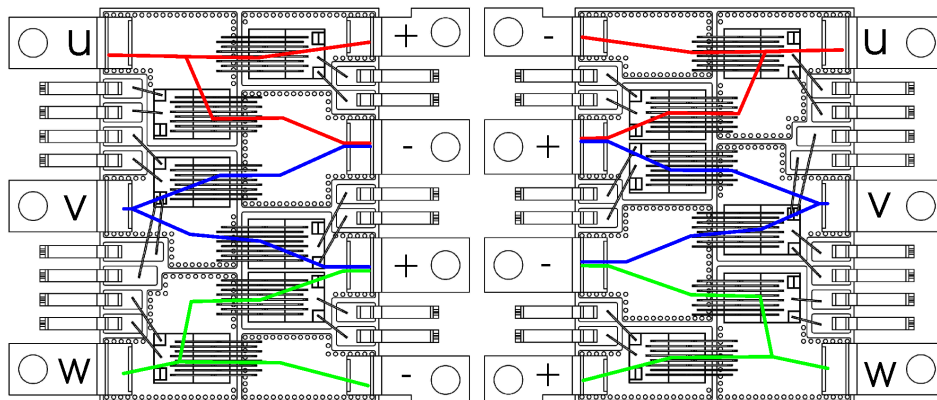


Abb. 8.9: Anordnung der Leistungsmodule und Phasenzuordnung im 5 kVA-Umrichter

8.5.1 Optimierung der vertikalen Busbarverschiebung

Das Systemkonzept des Leistungsteils sieht einen gestapelten Aufbau aus Modul, Busbarverschiebung, Treiberkarte und Zwischenkreiskondensatoren vor. Diese „dreidimensionale“ Struktur erlaubt eine Volumenreduktion gegenüber flächig aufgebauten Varianten. Allerdings stellt der gestapelte Aufbau besondere Anforderungen an den thermischen Stapel, damit die Abfuhr der auftretenden Verlustleistung gewährleistet ist, ohne dass ein unzulässig hoher Wärmeeintrag von den Modulen in die Treiberkarte oder die Zwischenkreiskondensatoren erfolgt.

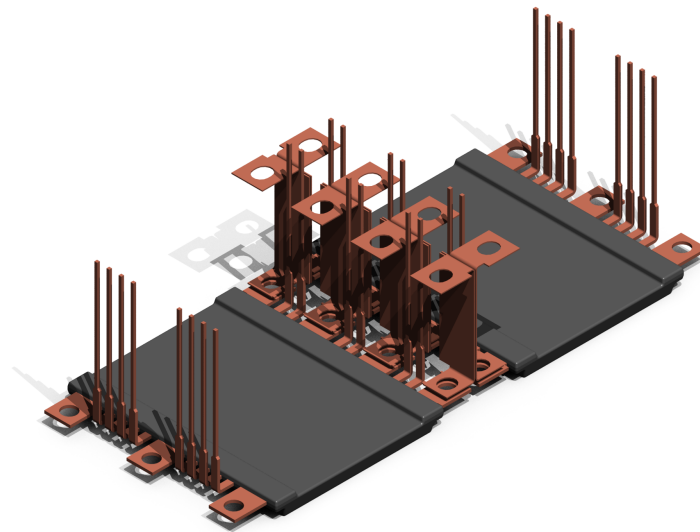


Abb. 8.10: CAD Zeichnung der an die Leistungsmodule angebotenen vertikalen Verschienenung im 5 kVA-Metamodul [152]

Einer Erhöhung des Abstandes, die aus thermischen Gesichtspunkten anzustreben ist, stehen hier elektrische Forderungen nach einer kleinen Kommutierungskreisinduktivität - also einer direkten und somit kurzen Anbindung der Zwischenkreiskondensatoren - gegenüber.

Zur Bestimmung des mindestens einzuhaltenden Abstandes, um eine Erwärmung der Zwischenkreiskondensatoren durch die Verluste in den Leistungsmodulen und der Busbarverschienenung zu reduzieren, wurde mit Hilfe thermischer Simulationen [157] gezeigt, dass ein Mindestabstand von 30 mm zwischen den Leistungshalbleitermodulen und der Treiberkarte, welche die Zwischenkreiskondensatoren trägt, eingehalten werden muss, um dadurch einen isolierenden Luftspalt von 8 mm Breite zu realisieren.

Um unter den gegebenen thermischen und mechanischen Randbedingungen eine möglichst niederinduktive Anbindung der Zwischenkreiskondensatoren zu ermöglichen, wurde eine besonders niederinduktive Verschienenung entworfen: Die vertikale Busbarverschienenung (Abb. 8.10) stellt die Verbindung zwischen Leistungshalbleitermodulen und Zwischenkreiskondensatoren her. Diese Leiter bilden den Kommutierungskreis bei Schaltvorgängen und werden daher ebenso wie das Modulayout mit in die Systemoptimierung einbezogen.

Die thermisch erforderliche Mindestlänge der vertikalen Leiter (im folgenden „Leads“ genannt) wurde auf 30 mm festgelegt. Eine Überschreitung dieser Länge führt zu erhöhten Induktivitäten sowie zu einer Erhöhung des Bauvolumens und wurde daher vermieden.

Zur Optimierung der parasitären Induktivitäten wurde als höchste Optimierungspriorität die möglichst effiziente Ausnutzung induktiver Gegenkopplung angestrebt. Wie in Abschnitt 6.4 gezeigt, kann dies vor allem durch die Reduktion des Abstands zwischen den Leitern erfolgen. Da jedoch fertigungstechnische Randbedingungen (Isolationsabstand und Fertigungstoleranzen) einen Mindestabstand von 1 mm erforderten, konnte dieser Parameter nicht weiter reduziert

werden. Auch die Länge konnte aufgrund der schon beschriebenen thermischen Randbedingungen nicht weiter herabgesetzt werden, so dass diese Optimierungsparameter nicht genutzt werden konnten. Es gelang jedoch durch die Optimierung der Querschnittsgeometrie, also des Breiten/Dicke-Verhältnisses, einen freien Parameter zur Beeinflussung der parasitären Induktivität zu nutzen.

Abbildung 8.11 zeigt die Induktivität für verschiedene Querschnittsgeometrien bei konstanter Querschnittsfläche. Es wird deutlich, dass die parasitäre Induktivität des Leiterpaares sehr empfindlich vom verwendeten Querschnitt abhängt (der Abstand wurde hier als konstant, $d = 1$ mm angenommen).

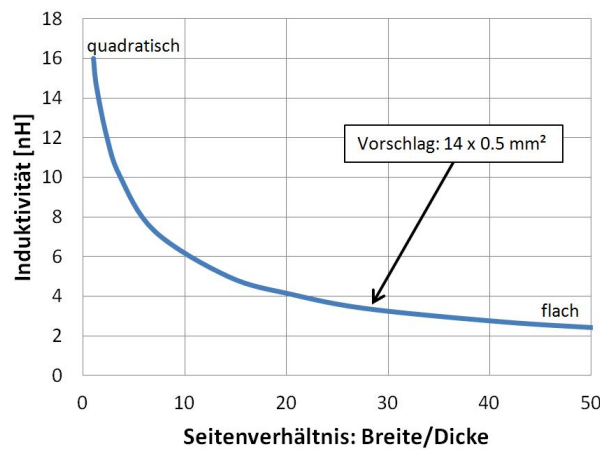


Abb. 8.11: Darstellung der Induktivität für verschiedene Querschnittsgeometrien (Simulation) bei Annahme eines Abstand von $d = 1$ mm, Länge $l = 30$ mm und Querschnittsfläche $A = 7$ mm²

Im Falle der hier verwendeten Leads bildet der Querschnitt von 14 mm x 0,5 mm einen guten Kompromiss aus erreichter Induktivitätsoptimierung und technischer Herstellbarkeit. Gegenüber quadratischen Querschnittsgeometrien wird eine Reduktion um 75 % erreicht.

Das Vorgehen erfordert einen antiparallelen Stromfluss in den senkrechten Verschienenungen (vgl. Abbildung 8.12), der im vorliegenden Fall dadurch erreicht werden konnte, dass die MOSFETs in den Modulen so angesteuert werden, dass einander geometrisch parallel liegende MOSFETs zu gleichen Zeiten geschaltet werden.

Des Weiteren kann eine zweite (schwächere) Gegenkopplung genutzt werden, da auch seitlich benachbarte Leads einen antiparallelen Strom tragen. Durch diese Anordnung reduziert sich die Induktivität durch Kopplung bezogen auf die Gesamtinduktivität um weitere 10 %.

Als positiver Nebeneffekt zeigt sich eine Reduzierung der Feldstärke des magnetischen Nahfeldes, da die Gegeninduktivität zu einer partiellen Auslöschung des Feldes führt. Dadurch werden auch unerwünschte elektromagnetische Einkopplungen, beispielsweise in Signalleads, reduziert, siehe Abbildung 8.13. Um dies zu quantifizieren wurden Simulationen durchgeführt.

In Abbildung 8.14 ist die Kopplung der DC-Stromschienen auf die Gateleitungen dargestellt (blau). Man erkennt die Abnahme der Kopplung mit zunehmender Distanz zwischen den Lei-

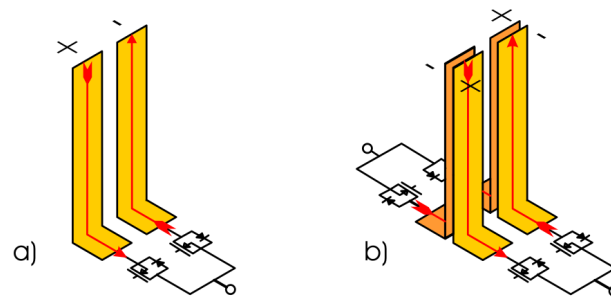


Abb. 8.12: Antiparalleler Stromfluss: a) schwache Gegenkopplung b) starke Gegenkopplung

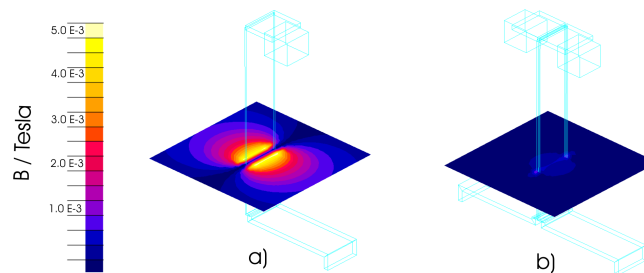


Abb. 8.13: Reduktion der magnetischen Feldstärke durch Erhöhung der Gegenkopplung

tern. Der maximal realisierbare Abstand beträgt aufbaubedingt etwa 6,5 mm, was zu einer starken Gegenkopplung in Höhe von etwa 7 nH führen würde.

Bei einem zu erwartenden Stromgradienten von etwa $700 \text{ A}/\mu\text{s}$ in den vertikalen Leads führt dies zur Induktion einer Spannung von

$$U_{ind} = M \cdot \frac{dI}{dt} = 7 \text{ nH} \cdot \frac{700 \text{ A}}{\mu\text{s}} = 4,9 \text{ V}. \quad (8.5)$$

Sie liegt somit in der Größenordnung der Schwellenspannung des verwendeten Leistungshalbleiters, wodurch es zu parasitärem Schalten der Leistungshalbleiter kommen kann. Wie in Abschnitt 6.4.1.5 gezeigt, lässt sich die Höhe der ausgekoppelten Magnetfeldstärke durch die Verwendung von Busbarverschiebungen mit antiparallelem Stromfluss optimieren. Die Größe der Gegenkopplung wird nachfolgend für den entwickelten Leistungsteil berechnet.

Abbildung 8.15 zeigt die Anordnung der Leiterbahnen und die Fließrichtung des Laststromes. Aufgrund der symmetrischen Geometrie wird hier nur die Kopplung der Leistungsanschlüsse *DC1* und *DC2* auf den Gateanschluss *G* untersucht, für die übrigen Leiterkombinationen gelten die Ergebnisse entsprechend. Die PEEC-Simulation liefert die in Tabelle 8.5 zusammengefassten Werte für die Kopplungen, berechnet für eine äquivalente Frequenz von 2,3 MHz. Durch die gegenseitige Auslöschung der Magnetfelder bei dieser Konfiguration der vertikalen Leads ergibt sich in der Summe eine Koppelinduktivität von nur 0,6 nH.

Für die Anwendung bedeutet diese Kopplung bei einem Stromgradienten von $700 \text{ A}/\mu\text{s}$ wäh-

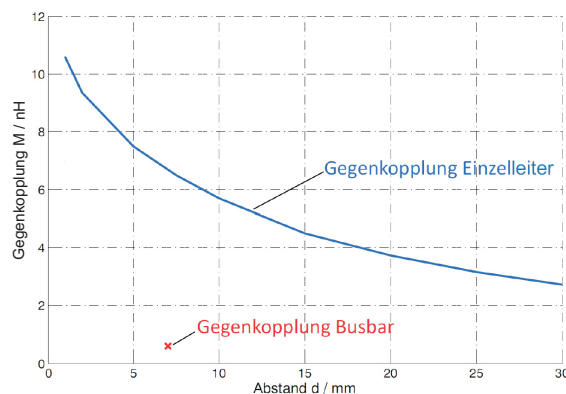


Abb. 8.14: Gegenkopplung zwischen DC-Verschienenung und Gateanschlussleitung bei variablem Abstand d für Einzelleiter ($30 \times 14 \times 0,5 \text{ mm}^3$), bzw. Busbarstruktur (zwei antiparallele Leiter $30 \times 14 \times 0,5 \text{ mm}^3$ im Abstand 1 mm), Gateanschlussleitung: $30 \times 1 \times 1 \text{ mm}^3$, vgl. Abb. 8.15

	DC1-	DC1+	DC2+	DC2-
G	7,1 nH	-6,7 nH	-5,7 nH	5,9 nH

Tab. 8.5: Induktive Gegenkopplung M von DC Leistungsverschiebung und Gateanschluss (G), $M = 0,6 \text{ nH}$

rend des Schaltvorgangs (z.B. einer benachbarten Halbbrücke) eine Reduzierung der eingekoppelten Spannung von 4,9 V auf:

$$U_{ind} = M \cdot \frac{dI}{dt} = 0,6 \text{ nH} \cdot \frac{700 \text{ A}}{\mu\text{s}} = 0,42 \text{ V.} \quad (8.6)$$

Diese Spannung liegt deutlich unterhalb der Schwellenspannung und wird daher kein parasitäres Einschalten der Leistungshalbleiter verursachen. Auch ein ungewolltes Abschalten ist bei der verwendeten Gatespannung von 15 V nicht zu befürchten.

Im Labortest des Umrichters (siehe Abschnitt 8.6) wurde gezeigt, dass kein parasitäres Schalten durch Störeinkopplungen in die Gateleads auftrat.

8.5.2 Die horizontale Busbarverschiebung

Die fünfzählige Busbarverschiebung besteht aus 1 mm starkem Kupferblech, in das ovale Aussparungen gestanzt wurden, damit die Leistungsmodule mit Hilfe von Metallklammern auf den Kühlkörper gepresst werden können. Außerdem sind Stege zur elektrischen Kontaktierung der Module freigestellt worden. Seitlich sind die Verbindungsstege zu erkennen, mit denen mehrere Umrichter verbunden werden können (siehe Abb. 8.16).

Da die horizontale Busbarverschiebung hauptsächlich für das Nachladen der Zwischenkreis-kondensatoren aus der Fahrbatterie zuständig ist, weist sie insgesamt eine geringere Stromdy-

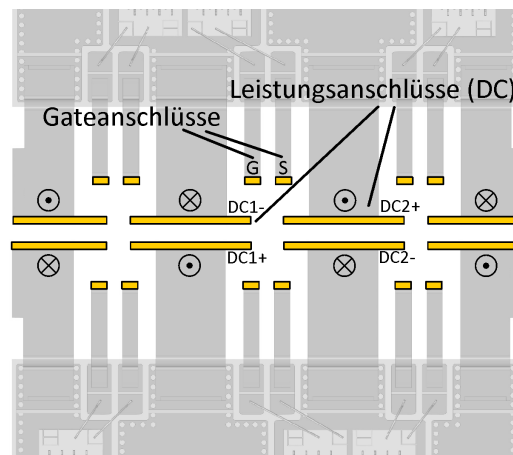


Abb. 8.15: Anordnung der Leistungs- und Gateanschlüsse (gelb) an den parallel geschalteten Leistungshalbleitermodulen (grau)

namik als die vertikale Verschiebung auf, die Bestandteil des Kommutierungskreises ist. Insbesondere sind die steilen Stromgradienten während der Schaltvorgänge in der horizontalen Verschiebung nicht zu beobachten. Daher kann hier auf eine Optimierung der Induktivitäten verzichtet werden. Zur Reduzierung der ohmschen Verluste wurde die Querschnittsfläche maximiert, im Fall des 15 kVA-Umrichters durch Erhöhung der Busbarstärke von 1 mm auf 2 mm. Bedingt durch ihre Fläche und die Isolationsfolie als Dielektrikum bildet die Verschiebung eine intrinsische Kapazität von 17 nF (5 kVA Umrichter) bzw. 75 nF (15 kVA-Umrichter). Durch ihre sehr direkte Anbindung an den Zwischenkreis kann diese Kapazität durch ihre Filterwirkung hochfrequente Störemission reduzieren. Zusätzlich bildet die Busbarverschiebung eine mechanische Unterstützung für die Montage des Leistungsteils.

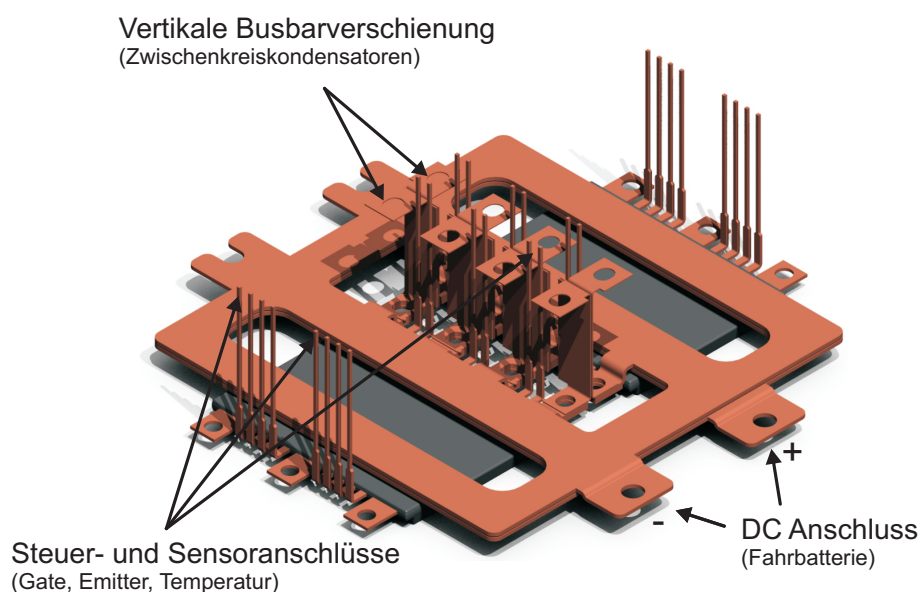


Abb. 8.16: CAD-Zeichnung der Verschiebung im 5 kVA-Metamodul [152]

8.6 Aufbau des Leistungsteils des 5 kVA-Umrichters

Der mechanische und elektrische Aufbau ist in Abbildung 8.17 dargestellt, die eine Schnittebene parallel zur Längsachse des Umrichters zeigt: Auf einer 4 mm starken Bodenplatte aus Kupfer befinden sich die beiden parallel geschalteten Leistungshalbleitermodule, die mittels einer Blechfeder auf die Bodenplatte gepresst werden. Die Module werden mit einer fünflagigen Busbarverschienung elektrisch kontaktiert. Die unteren beiden Verschienungsebenen tragen dabei die Zwischenkreisspannung, während die oberen Ebenen die drei Phasenanschlüsse u , v und w bilden. In der nächsten Ebene folgt eine Metallplatte, die den Leistungsteil abkapselt und so Schutz gegen Umwelteinflüsse bietet. Ein Luftspalt dient der thermischen Entkopplung der Leistungshalbleitermodule vom Zwischenkreis und der Treiberkarte, die sich auf einer gemeinsamen Platine 20 mm über der Verschienungsebene befinden. Die elektrische Kontaktierung wird mit Hilfe der vertikalen Busbarverschienung erreicht. Der obere Kühlkörper dient der Kühlung der Zwischenkreiskondensatoren.

Abbildung 8.18 zeigt ein Foto des Umrichters in der 5 kVA-Version. Die seitlichen Anschlüsse erlauben eine Parallelschaltung von zwei bis drei dieser Metamodule, wodurch sich die Ausgangsleistung auf 10 kVA bzw. 15 kVA erhöhen lässt.

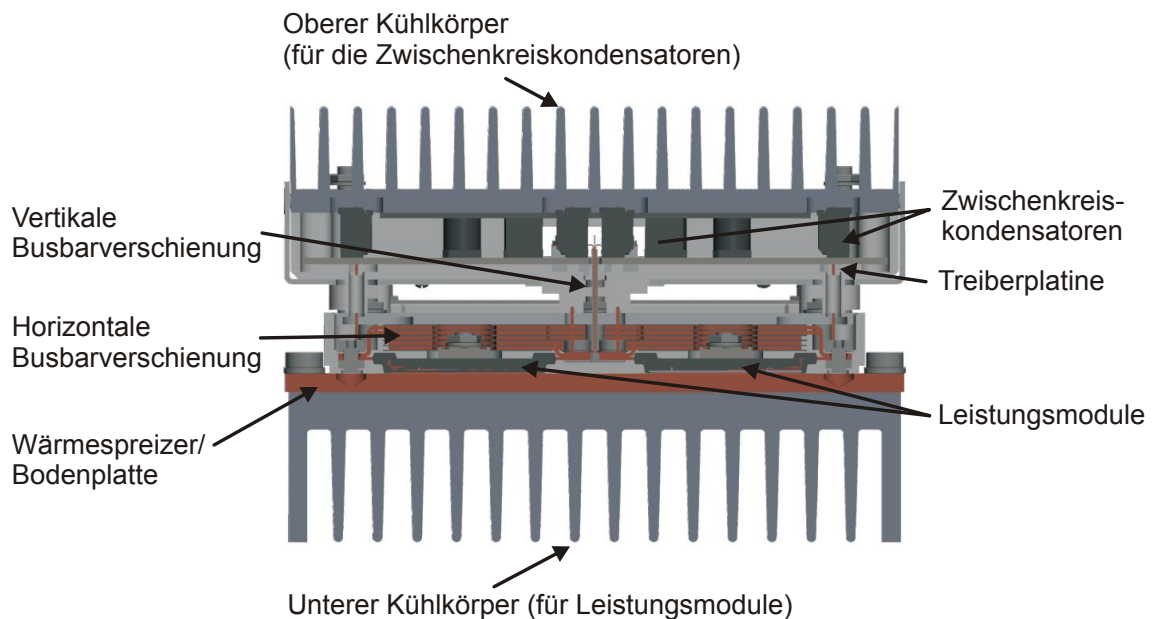


Abb. 8.17: Schnittebene durch das 5 kVA-Metamodul

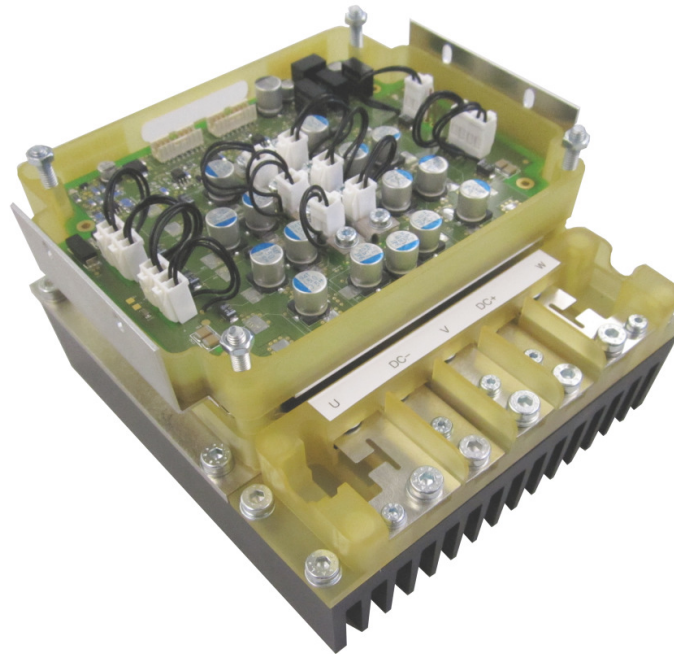


Abb. 8.18: 24 V / 5 kVA-Musterumrichter: Oberer Kühlkörper (Kondensatorkühlung) wurde zur besseren Darstellung demontiert

8.7 Messung der Stromverteilung im 5 kVA-Umrichter

Nachdem auf die theoretischen Erfordernisse für eine symmetrische Stromverteilung in Abschnitt 8.3 eingegangen wurde, ist das Resultat der Optimierung in Abbildung 8.19 dargestellt. Gezeigt ist die Stromverteilung zwischen zwei parallel geschalteten Modulen innerhalb des 5 kVA-Umrichters. Um möglichst große Stromgradienten und damit einen gut analysierbaren Effekt zu erzeugen, wurde für 400 ns ein Brückenkurzschluss geschaltet, während dem ein Gesamtstrom von 500 A erreicht wird.

Der Strom teilt sich symmetrisch auf die Module auf, die unterschiedlichen Stromgradienten beim Ein- und Ausschalten ergeben sich durch die Absenkung der Zwischenkreisspannung beim Einschaltvorgang und die kurzzeitige Anhebung der Zwischenkreisspannung beim Abschalten. Dies wirkt sich in Form einer Erhöhung der Stromanstiegszeit aus, während die Stromfallzeit reduziert wird.

Abbildung 8.20 zeigt die Ströme durch beide Module bei einer Verkleinerung der Zeitskala. Es ist ersichtlich, dass die zeitliche Unsymmetrie im Bereich von weniger als 10 ns liegt und die Abweichungen in der Amplitude des Stromes mit etwa 5 A nur um 2 % differieren. Diese Werte zeigen den Erfolg der durchgeführten Optimierungen und liegen innerhalb der zulässigen Grenzen.

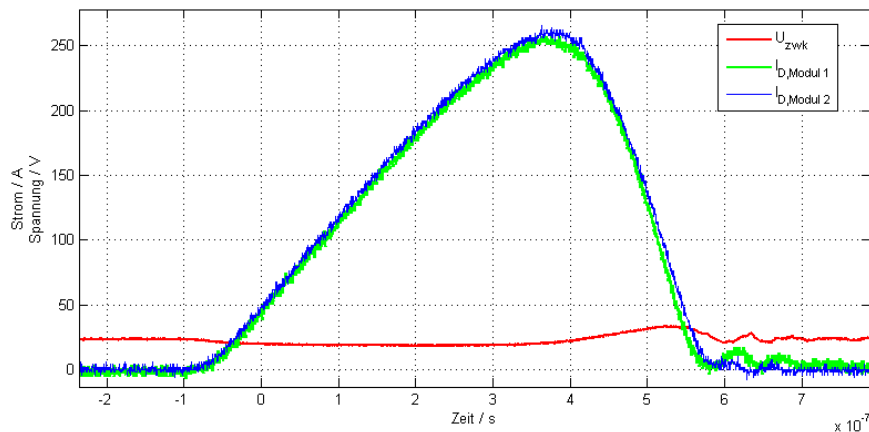


Abb. 8.19: Symmetrische Stromverteilung im Kurzschlussversuch für Parallelschaltung zweier MOSFET-Module M1 und M2 mit gleicher Kommutierungskreisinduktivität (grün: M1 mit $I_D = 247$ A (@25 nH), blau: M1 mit $I_D = 250$ A (@25 nH), 50 A/div, rot: Zwischenkreisspannung U_{ZWK} mit 50 V/div, Zwischenkreisspannung 24 V, Zeitskala: 100 ns/div)

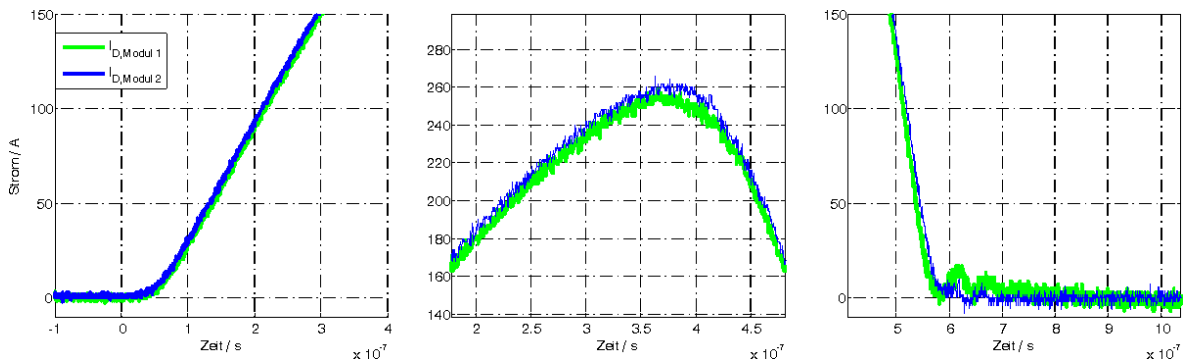


Abb. 8.20: Details der Stromaufteilung bei Parallelschaltung (Parameter siehe Abb. 8.19)

8.8 Parasitäre Induktivität des Kommutierungskreises

Die parasitäre Induktivität des Kommutierungskreises wurde messtechnisch bestimmt. Dazu wurden zwei Verfahren angewendet, die nachfolgend beschrieben werden.

8.8.1 Bestimmung der Kommutierungsinduktivität aus Kurzschlussversuch

Bedingt durch die niedrige Zwischenkreisspannung wird der Stromgradient beim Einschalten eines Brückenkurzschlusses durch die Induktivität des Kommutierungskreises begrenzt. Somit lässt sich nach der Bestimmung dieses Gradienten bei Kenntnis der anliegenden Spannung

die Kommutierungskreisinduktivität ermitteln. Im vorliegenden Fall wird dafür der High-Side-MOSFET der Halbbrücke mittels einer konstanten Gatespannung (+15 V) dauerhaft eingeschaltet. Der Low-Side-MOSFET wird für 400 ns eingeschaltet und anschließend ausgeschaltet. Nach etwa 100 - 150 ns ist der MOSFET vollständig eingeschaltet (vgl. 4.5) und der beobachtete Stromanstieg wird durch die parasitäre Induktivität des Zwischenkreises bestimmt. (Anmerkung: Der Spannungsabfall U_{ds} über dem MOSFET ist gering, da $R_{ds,on} < 0,7 \text{ m}\Omega$ und wird vernachlässigt.)

Die Messung des Gradienten in Abb. 8.21 ergibt einen Wert von $780 \text{ A}/\mu\text{s}$. Die zwischen den Zwischenkreiskondensatoren und der vertikalen Busbarverschiebung gemessene Zwischenkreisspannung sinkt auf 20 V ab, was durch die parasitären Induktivitäten der Zwischenkreiskondensatoren und ihrer Anschlüsse begründet werden kann. Berechnet ergibt sich aus diesen Werten eine parasitäre Induktivität von 25,6 nH pro Halbbrücke; durch die Parallelschaltung halbiert sich dieser Wert auf ca. 12,8 nH. Dieses Ergebnis zeigt, dass die im Anforderungsprofil auf $U_{ind} < 20 \text{ V}$ begrenzte induzierte Überspannung mit den in der Applikation auftretenden Stromgradienten von 1500-1600 $\text{A}/\mu\text{s}$ (Parallelschaltung zweier Module) eingehalten werden kann.

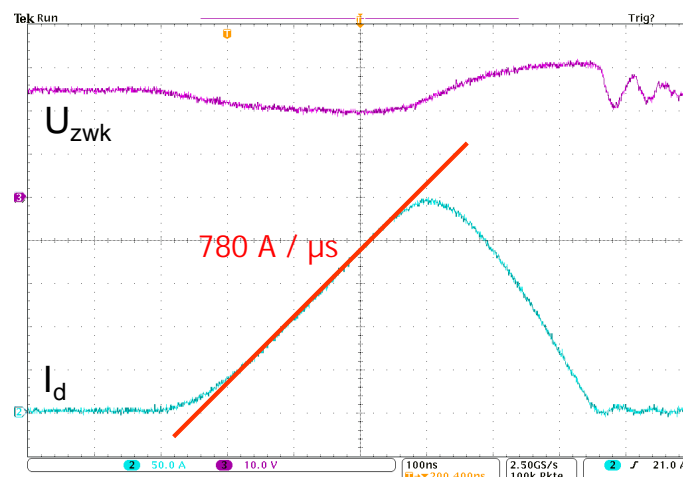


Abb. 8.21: Stromgradienten während des Kurzschlussfalls in einer Halbbrücke; türkies: Kurzschlussstrom $I_D = 250 \text{ A}$, 50 A/div; magenta: Zwischenkreisspannung $U_{Zwk} = 24 \text{ V}$, 10 V/div; Zeitskala 100 ns/div

8.8.2 Bestimmung der Kommutierungsinduktivität durch Messung der induzierten Spannungen

Im Nennbetrieb wurden die induzierten Spannungen beim Ausschalten sowie der Stromgradient der Leistungshalbleitermodule gemessen: $dI/dt_{max} = dI_{Modul1}/dt + dI_{Modul2}/dt$ (zwei Module

im Parallelbetrieb). Tabelle 8.6 zeigt die Ergebnisse und die daraus berechnete parasitäre Induktivität.

Diese Messung zeigt eine Induktivität des Gesamtumrichters von ca. 11,4 nH, ist also etwas geringer als bei der Kurzschlussmessung. Der Grund hierfür ist, dass die durch Gegenkopplung reduzierte Induktivität der vertikalen DC-Leads im Kurzschlussfall einer einzelnen Halbbrücke nicht in vollem Umfang zum Tragen kommt, da die magnetische Gegenkopplung durch das gegenüberliegende Modul reduziert ist.

Beide Ergebnisse zeigen übereinstimmend das Erreichen der geforderten Designvorgabe, die induzierten Überspannungen kleiner als 20 V zu halten.

	dI/dt_{max} [A/ μ s]	U_{ind} [V]	L_{σ} [nH]
Ausschalten Umrichter	1600	18,2	11,4

Tab. 8.6: Abschätzung der Kommutierungsinduktivität aus Stromgradient und induzierter Spannung

8.9 Thermische Entkopplung des Leistungsmoduls

Neben den elektrischen Parametern wurden auch die thermischen Eigenschaften des Umrichters untersucht. Dazu wurden sowohl der 5 kVA-Umrichter als auch der 15 kVA-Umrichter im jeweiligen Nennbetrieb mit passiver Kühlung so lange betrieben, bis sich ein thermisches Gleichgewicht eingestellt hatte.

Abbildung 8.22 zeigt die Temperaturverläufe für den 5 kVA-Umrichter, die mit Hilfe von Thermoelementen (K-Elemente) gemessen wurden. Die Sperrschichttemperatur wurde mit Hilfe

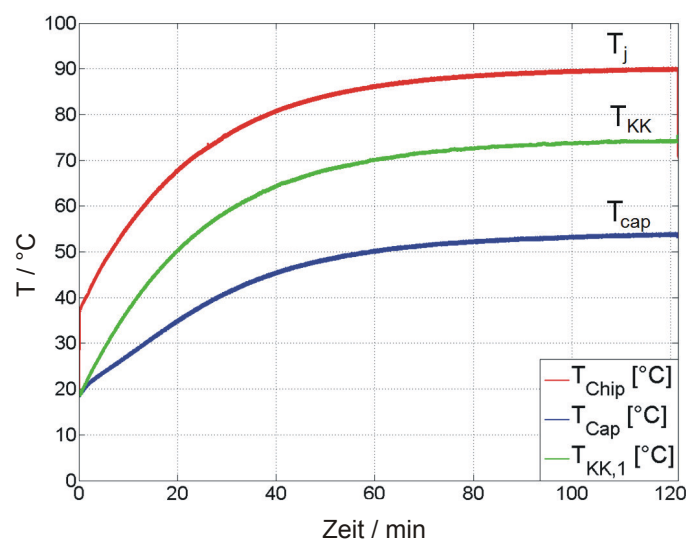


Abb. 8.22: Temperaturentwicklung im Nennbetrieb, 5 kVA-Umrichter ($U_{zwb} = 24$ V, $\tilde{I}_L = 130$ A, $T_{amb} = 23^\circ\text{C}$)

des im Halbleiter monolithisch integrierten Temperatursensors gemessen, vgl. Abschnitt 8.2.2. Es ergibt sich im stationären Nennbetrieb ($I_{eff} = 130A$) bei einer Umgebungstemperatur von $23^{\circ}C$ eine Sperrschichttemperatur $T_j = 90^{\circ}C$, eine Zwischenkreiskondensatortemperatur von $T_{cap} = 54^{\circ}C$ und eine Kühlkörpertemperatur von $T_{KK} = 74^{\circ}C$.

Abbildung 8.23 zeigt die Temperaturverläufe für den 15 kVA-Umrichter, es ergibt sich im stationären Nennbetrieb ($I_{eff} = 350A$) bei einer Umgebungstemperatur von $23^{\circ}C$ eine Sperrschichttemperatur $T_j = 79^{\circ}C$, eine Zwischenkreiskondensatortemperatur von $T_{cap} = 49^{\circ}C$ und eine Kühlkörpertemperatur von $T_{KK} = 60^{\circ}C$.

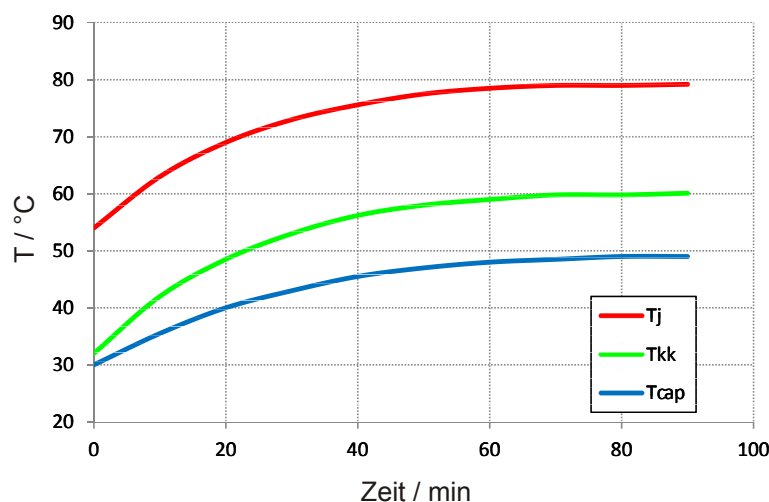


Abb. 8.23: Temperaturentwicklung im Nennbetrieb, 15 kVA Umrichter ($U_{zWK} = 24 V$, $\tilde{I}_L = 350 A$, $T_{amb} = 23^{\circ}C$)

8.10 Leistungserhöhung durch Parallelschaltung mehrerer Umrichter

Für Antriebe mit einer größeren Leistung als 5 kVA sollte durch die Konzeptionierung des 5 kVA-Umrichters die Möglichkeit zum Parallelbetrieb gegeben sein. Diese Forderung wurde während des Entwicklungsprozesses berücksichtigt und durch die Möglichkeit einer Schraubverbindung zur elektrischen Kontaktierung der horizontalen Busbarverschienen mehrerer Umrichter realisiert.

Die Verwendung eines kaskadierten Umrichters mit symmetrisch ausgeführten Zwischenkreisen bietet Vorteile gegenüber der Verwendung eines Einzelumrichters mit sechs parallel geschalteten Modulen und zentral angeordneten Zwischenkreiskondensatoren. Bedingt durch die längeren und geometrisch unterschiedlichen Kommutierungswege würde es in letzterem Falle zwangsläufig zu einer Erhöhung der Unsymmetrien führen. Abbildung 6.5 veranschaulicht die Problematik anhand eines Beispiels, bei dem die Module am linken Rand des Umrichters einen anderen Kommutierungskreis aufweisen als diejenigen am rechten Rand.

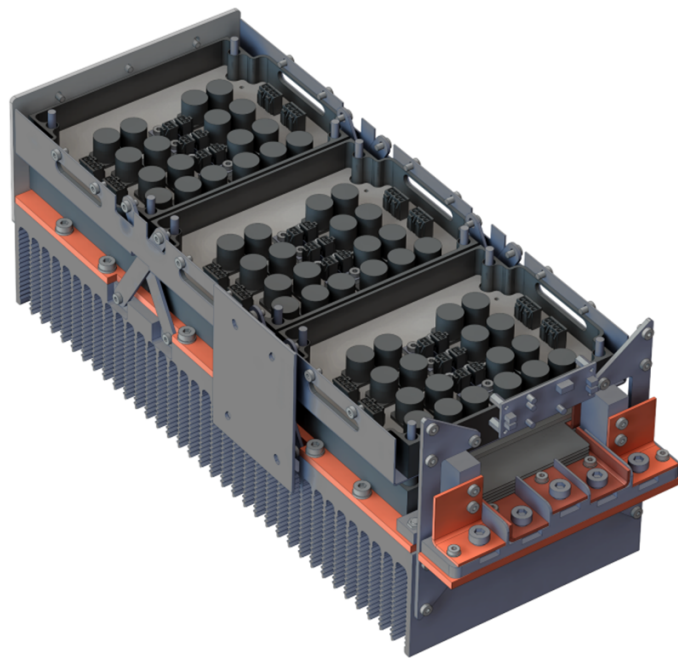


Abb. 8.24: Parallelschaltung von drei 5 kVA-Metamodulen zu einem 15 kVA-Umrichter [152]

Abbildung 8.24 zeigt eine CAD-Zeichnung eines auf drei 5 kVA-Metamodulen zusammengesetzten Umrichters mit einer Gesamtleistung von 15 kVA. Die Anforderungen an den 15 kVA-Umrichter sind in Tabelle 8.7 zusammengestellt.

In dieser 15 kVA-Version des Umrichters, also bei Parallelbetrieb von insgesamt sechs Leistungshalbleitermodulen, treten in der DC-Leitung Gleichströme von bis zu 625 A und in den Phasenanschlüssen anwendungsbedingt Effektivströme von bis zu 675 A auf. Bei einer Beibehaltung des Kupferquerschnitts würde dies, verglichen mit der 5 kVA-Version ($\tilde{I}_L=130$ A), gemäß $P_V = I^2 \cdot R_\Omega$ die Kupferverluste um den Faktor 10 erhöhen (auf 188 Watt) und damit neben der Verschlechterung des Wirkungsgrades zu thermischen Problemen führen.

Da im vorliegenden Fall die Randbedingung einer passiven Kühlung gegeben war, musste die Busbarverschienung modifiziert werden. Eine Verdopplung der Kupferdicke auf 2 mm und eine Anpassung der geometrischen Form führt hier zu einer Erhöhung des Kupferquerschnitts

Umrichtertyp	dreiphasiger Frequenzumrichter zur Speisung eines Fahrmotors
Spannungsversorgung	Bleiakkumulator 24 V (18..36 V) / Generator 28 V
Nennstrom	450 A (max. 675 A)
Taktfrequenz	16 kHz
$U_{ind,max}$	< 20 V
$T_{max}(C_{zwk})$	< 80°C
$T_{max}(J_{MOSFET})$	< 150°C
η	> 97 %

Tab. 8.7: Anforderungen für die Auslegung des Leistungsteils des 15 kVA-Umrichters

und somit zu einer Reduktion der Kupferverluste auf etwa 90 W, was für die Anwendung ein vertretbares Maß darstellt. Als weitere Schutzmaßnahme wird während des Betriebs mittels einer Übertemperaturerkennung der Laststrom begrenzt, wenn kritische Temperaturen erreicht werden, um eine Schädigung der Bauteile zu vermeiden. Abbildung 8.25 zeigt die optimierte Version der Busbarverschienenung des 15 kVA-Umrichters.

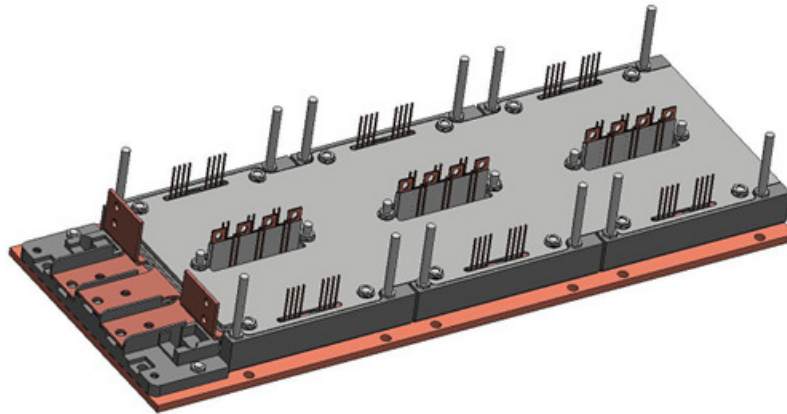


Abb. 8.25: Verplattete Verschienenung des 15 kVA-Musterumrichters [152]

8.11 Stromverteilung im 15 kVA-Umrichter

In der Verschaltung zum 15 kVA-Umrichter werden sechs Leistungsmodule, die jeweils als dreiphasige Halbbrücken aufgebaut sind, parallel betrieben. Um eine symmetrische Stromverteilung zu gewährleisten, müssen dafür die in Abschnitt 8.3 genannten Bedingungen erfüllt sein.

8.11.1 Messtechnische Untersuchung der Stromverteilung

Die Stromverteilung der Busbarverschienenungen des 15 kVA-Umrichters wurden im Labor experimentell bestimmt. Um definierte Schaltzeiten und reproduzierbare Ergebnisse zu ermöglichen, wurde das Doppelpulsverfahren (vgl. Abschnitt 3.6.4) angewendet. Abbildung 8.26 zeigt das verwendete Pulsmuster des Ansteuersignals.

Um sicherzustellen, dass die parallel betriebenen MOSFETs zeitgleich geschaltet werden und sich somit aus den Signallaufzeiten der Ansteuerungssignale keine nachteiligen Auswirkungen auf das Schaltverhalten ergeben, wurden die Ansteuerungssignale auf ihre Synchronität untersucht. Abbildung 8.27 zeigt exemplarisch die Gatespannung U_{gs} und die Drain-Source-Spannungen für die parallel geschalteten Low-Side-MOSFETs der Phase W. Weitere Untersuchungen zu den treiberseitigen Maßnahmen zur Gewährleistung eines synchronen Schaltens sind in [58] nachzulesen.

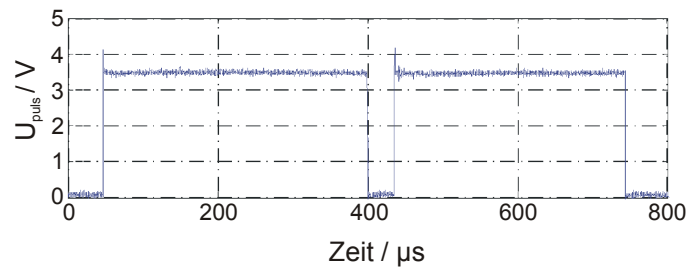
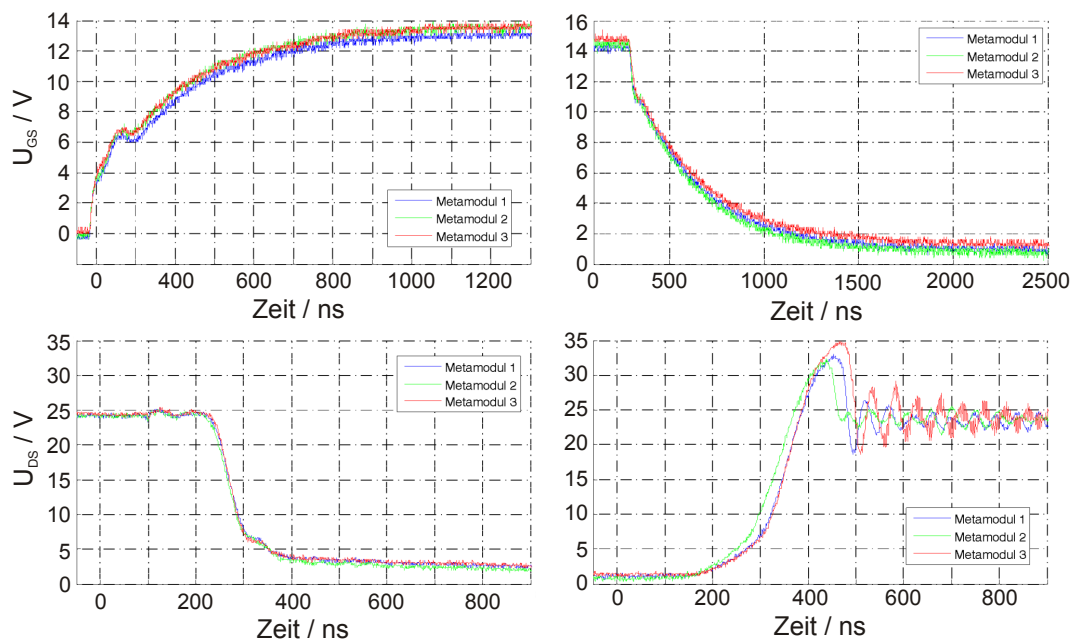


Abb. 8.26: Ansteuerpulsmuster des Doppelpulsversuches zur Bestimmung der Stromverteilung

Abb. 8.27: Symmetrie der Spannungen U_{gs} und U_{ds} für die Low-Side-MOSFET der Phase W

Die Stromverteilung wurde mit Hilfe der Stromzange CWT 1R UM der Firma PEM UK Ltd. [164] durchgeführt. Die Ergebnisse dieser Untersuchung sind exemplarisch für die Phase W in Abbildung 8.28 dargestellt.

Die Messung wurde bei einem maximalen Phasenstrom von $I_{ph,w} = 720$ A durchgeführt. Dabei teilt sich der Strom beim Schaltvorgang auf die drei Metamodule auf, von denen jedes durch die vertikale Verschiebung zwei äquivalente Strompfade besitzt. Der Phasenstrom von 720 A sollte sich daher bei vollständig homogener Verteilung in den sechs Pfaden mit jeweils 120 A Stromfluss aufteilen. Die Messung zeigt, dass dieses Ideal nicht ganz erreicht wird, die Ströme in den untersuchten vertikalen Leads betragen 112,4 A, 112,6 A bzw. 115,2 A in den Metamodulen 1, 2 bzw. 3. Die transienten Abweichungen in der Stromhöhe sind durch die Chargenstreuung des verwendeten Leistungshalbleiters verursacht, die zu unterschiedlichen Schwellenspannungen $U_{gs,th}$ und somit leicht verzögertem Schalten führen. Sie bewegen sich dennoch in einem tolerierbaren Bereich, sodass im Betrieb mit einer ausreichenden Symmetrierung der Ströme

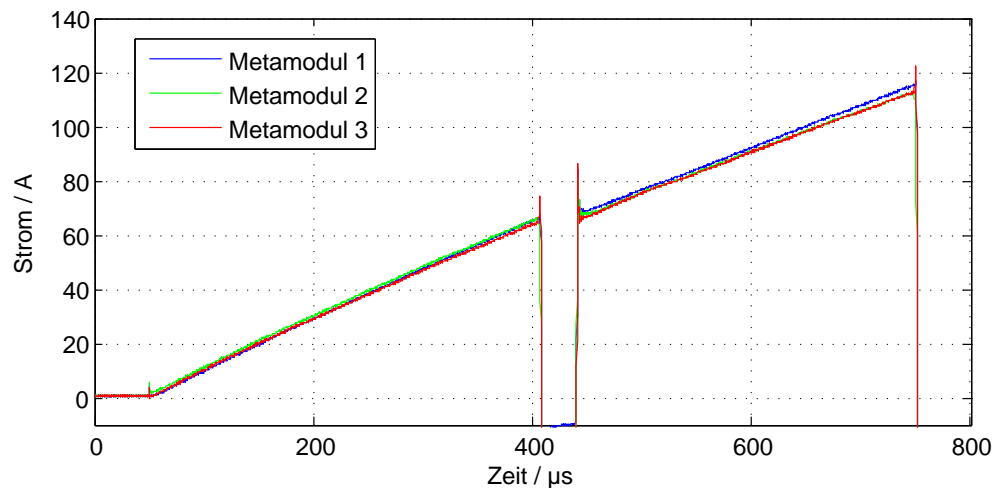


Abb. 8.28: Symmetrie des Stromes beim Schalten mit dem Pulsmuster nach Abb. 8.26 ($I_D = 720 \text{ A}$, $U_{ZWK} = 24 \text{ V}$, Zeitskala 200 ns/div)

gerechnet werden kann. Die Abweichung der Ströme gegenüber 0 A nach dem Ausschalten ergibt sich aus der Verwendung von Rogowski-Stromsensoren, die zwar dynamisch sehr genau messen, bei DC-Strömen jedoch offsetbehaftete Messwerte liefern können.

8.12 Zusammenfassung und Schlussfolgerungen

In diesem Kapitel wurden die Entwicklungsergebnisse eines elektrisch optimierten Leistungsteils für einen 5 kVA-Umrichter mit 24 V Zwischenkreisspannung dargestellt. Es wurden dabei Ansätze und Methoden angewendet, die in den vorigen Kapiteln erarbeitet worden sind. Dabei wurde der Weg einer ganzheitlichen Optimierung aufgezeigt, die auf einer Anpassung des Moduls, der Busbarverschienung und der Zwischenkreiskondensatoranbindung nach elektrischen, thermischen und mechanischen Kriterien basiert.

Das Aufbaukonzept des Leistungsteils basiert neben den aus dem Lastenheft geforderten Randbedingungen vor allem auf der Ausnutzung der für die Optimierung verfügbaren elektrischen und thermischen Freiheitsgrade. Dabei musste insbesondere berücksichtigt werden, dass der Umrichter sich zur Erhöhung der Ausgangsleistung mittels einer Busbarverschienung mit baugleichen Typen parallel schalten lassen sollte. Dies führte zur Entwicklung eines innovativen Busbarkonzepts, das gleichzeitig eine hohe Symmetrie der Stromverteilung und eine geringe parasitäre Induktivität des Kommutierungskreises erlaubt.

Die Struktur der einzelnen Komponenten wurde ausführlich dargestellt und mit Hilfe von Messungen und Simulationen gezeigt, dass die parasitäre Induktivität des Kommutierungskreises mit 12 nH innerhalb tolerierbarer Grenzen liegt, die Symmetrie der Stromverteilung zwischen den parallel geschalteten Modulen gewährleistet ist und die thermischen Anforderungen erfüllt wurden.

Die Messungen der Stromsymmetrie im 15 kVA-Umrichter zeigen den klaren Vorteil der Verwendung baugleicher kaskadierter Umrichter mit symmetrischen Zwischenkreisanbindungen gegenüber der Realisierung in Form eines Einzelumrichters. Im vorliegenden Fall des 15 kVA-Umrichters resultiert der symmetrische Aufbau des Leistungsteils aus der Nutzung dreier Zwischenkreise, die einander durch die galvanische Kopplung zwar im statischen Fall symmetrieren, im dynamischen Betrieb jedoch einzeln betrachtet werden können, da jeder der verwendeten Teilumrichter über den eigenen Kommutierungskreis kommutiert.

9. Zusammenfassung und Ausblick

Parasitäre Elemente sind integraler Bestandteil jeder leistungselektronischen Schaltung. Sie äußern sich in erster Linie in einer Abweichung vom erwünschten, idealen Schaltungsverhalten und können den Betrieb leistungselektronischer Systeme stören oder gar zu Ausfällen führen. Ziel dieser Arbeit ist es, das Verständnis der Eigenschaften parasitärer Elemente zu verbessern, Ansätze zu ihrer Charakterisierung zusammenzufassen, ihre Bedeutung im Gesamtsystem zu erläutern und geeignete Optimierungsmaßnahmen aufzuzeigen. Diese Untersuchungen erfolgen simulativ, analytisch und messtechnisch. Der Aufbau eines Hochstromantriebsumrichters zeigt die Umsetzung der untersuchten Methoden in einem praxisrelevanten Beispiel.

Die Analyse der Ursachen, die Bestimmung und die Untersuchung der Auswirkungen parasitärer Elemente bilden den inhaltlichen Schwerpunkt im ersten Teil dieser Arbeit.

Es wurde zunächst das Verhalten der parasitären Elemente innerhalb einer Schaltung diskutiert, indem ihre Frequenzabhängigkeit und die Kopplungen mit anderen parasitären Elementen untersucht wurden. Hierbei zeigt sich, dass für dynamische Anwendungen die Einführung einer sogenannten „äquivalenten Schaltflankenfrequenz“ für die genaue Modellierung unumgänglich ist. Diese Frequenz liegt für typische Leistungs-MOSFETs im Bereich einiger MHz und kann mittels der genannten Methoden abgeschätzt werden. Die Bestimmung parasitärer Induktivitäten und Widerstände sollte bei der Analyse der Leistungsteile von Umrichtern stets unter Berücksichtigung der Frequenzabhängigkeit erfolgen.

Es wird der Begriff der partiellen Induktivität eingeführt, die eine abschnittsweise Zerlegung von Leiterbahnen zur Vereinfachung der Modellierung und der Optimierung erlaubt.

Zur Bestimmung parasitärer Elemente innerhalb von Schaltungen werden drei verschiedene Methoden vorgestellt, die auf analytischen Berechnungen, simulativen Untersuchungen oder messtechnischen Verfahren basieren. Die Anwendbarkeit auf Fragestellungen der Leistungselektronik und die erzielbare Genauigkeit wurden untersucht.

Es zeigt sich, dass die klassischen analytischen Methoden nur zur Bestimmung einfachster Geometrien bei Gleichstromberechnungen geeignet sind und dass insbesondere die speziellen Erfordernisse typischer geometrischer Strukturen in Leistungsmodulen nur unzureichend abgebildet werden.

Aus diesem Grund wird ein semi-analytischer Ansatz zur Bestimmung parasitärer Elemente vorgeschlagen, der auf mathematischer Regression numerisch gewonnener Simulationsergebnisse beruht, um eine Abschätzung parasitärer Elemente mittels vereinfachter Formeln auch für den speziellen Anwendungsfall von Leistungsmodulen zu erlauben.

Generell zeigt sich, dass moderne Simulations- oder Messverfahren für komplexere Analysen den genannten analytischen Ansätzen vorzuziehen sind. Vor allem die sogenannten „Systemmessungen“, bei denen die Bestimmung parasitärer Elemente am laufenden System mit Signalen hoher Leistung durchgeführt wird, eignen sich erwiesenermaßen gut zur Bestimmung parasitärer Elemente.

Eine detaillierte Untersuchung der Auswirkungen von parasitären Elementen auf das dynamische und statische Verhalten von Schaltungen, auf Stromsymmetrisierung bei Parallelschaltungen und nicht zuletzt auf Systemeigenschaften wie Lebensdauer und Systemkosten wurde ausgeführt. Vielschichtige und teilweise indirekte Auswirkungen wurden dabei aufgezeigt und untersucht. Es zeigt sich, dass die Größe der parasitären Induktivitäten neben der Höhe der induzierten Überspannungen vor allem das damit einhergehende Anwachsen der Durchlass- und der Schaltverluste bei Niedrigstspannungs-MOSFETs bedingt und sich somit auch in thermischen Effekten negativ auf die Systemperformance niederschlägt.

Dies kann wiederum zu einer Reduktion der Lebensdauer und der Zuverlässigkeit führen und erhöht den notwendigen Kühlaufwand und damit nicht zuletzt die Kosten des Systems.

Des Weiteren ist die Auswirkung parasitärer Elemente auf leitungsgedundene Störemissionen analysiert worden. Dabei zeigt sich, dass erhebliches Optimierungspotential genutzt werden kann, wenn eine applikationsabhängige Adaption der parasitären Elemente einer Schaltung durchgeführt wird. Im Zeitbereich zeigen sich die Auswirkungen in den Strom- und Spannungsverläufen während der Schaltvorgänge sowie in der Größe der daran gebundenen Oszillationen. Quantitativ demonstrieren die vorliegenden Messungen im Frequenzbereich des Emissionsspektrums Reduktionspotential in der Größenordnung von 10-15 dB μ V.

Im inhaltlich zweiten Teil werden, basierend auf den erzielten Ergebnissen, Optimierungskonzepte und -methoden vorgestellt und auf ihre Anwendbarkeit überprüft. Dies geschieht zum Teil simulativ, wird jedoch am Ende der Arbeit in weiten Teilen durch den Aufbau eines Niedrigstspannungsumrichters mit hohen Betriebsströmen und entsprechende Labormessungen belegt. Die Lösungsansätze verfolgen hierbei ganzheitliche Methoden, werden aber zur besseren Darstellung in Moduloptimierung, Busbar- und Systemoptimierung unterteilt.

Zur Erleichterung der Konzeptionierung eines Umrichters werden Designregeln abgeleitet, die auf einem systematischen Ansatz zur Systemoptimierung basieren. Da jede Optimierungsmaßnahme eine Systemänderung herbeiführt und die Freiheitsgrade hierfür begrenzt sind, erfolgt nach der Analyse des Optimierungspotentials eine Klassifizierung der Maßnahmen gemäß der zu erwartenden Wirksamkeit, die nach den zur Umsetzung erforderlichen Freiheitsgraden hierarchisch sortiert wird. Dadurch können im ersten Optimierungsschritt größere Anpassungen durchgeführt werden, die einen besonders ausgeprägten Effekt erzielen. Dazu zählt zunächst die Ausnutzung maximaler induktiver Gegenkopplung, zu deren Analyse die Verwendung von Induktivitätsmatrizen vorgeschlagen wird.

Des Weiteren zeigt sich, dass im Zuge der fortschreitenden Miniaturisierung der Leistungsteile und dem damit verbundenen Anwachsen der Leistungsdichte vor allem die elektro-thermischen Kopplungen zunehmen und auf Modulebene, aber auch auf Systemebene in die Auslegung und den Entwicklungsprozess aufgenommen werden müssen. Zu diesem Zweck wird ein ganzheitlicher Optimierungsansatz entwickelt, der eine gewichtete Optimierung des Moduls je nach Applikationsanforderung erlaubt. Die spezifischen Lösungsansätze lassen sich methodisch generalisieren, um eine Übertragbarkeit auf andere Anwendungsfälle zu gewährleisten.

Im letzten Teil der Arbeit werden die Methoden zur Optimierung parasitärer Elemente anhand der Entwicklung eines Niedrigstspannungsumrichters erprobt. Beginnend mit dem Entwurf und der Optimierung des Moduldesigns wird anschließend ein Aufbaukonzept für die Zwischenkreisverschiebung und Kondensatoranbindung präsentiert, das sehr niederinduktive Kommutierungskreise ermöglicht. Der im Rahmen eines Forschungsprojektes entwickelte Umrichterprototyp wird im Labor elektrisch und thermisch vermessen und getestet. Es zeigt sich, dass die in der Spezifikation geforderten Eigenschaften hinsichtlich des elektrischen Verhaltens erreicht werden konnten.

Diese Arbeit ermöglicht einen umfassenden Überblick über die Bedeutung, die Charakterisierung, die Auswirkungen und die Optimierungsansätze parasitärer Elemente. Vertiefend wird auf die Erfordernisse von MOSFET-basierten Niedrigstspannungsumrichtern und entsprechende Applikationen eingegangen.

Ausblickend erscheinen weiterführende Untersuchungen mit dem Schwerpunkt der Optimierung der elektromagnetischen Verträglichkeit durch gezielte Nutzung parasitärer Elemente und eine analytische Beschreibung der dabei beobachteten Phänomene als lohnenswerte Inhalte weiterer Forschungsarbeiten.

10. Literaturverzeichnis

- [1] BIELA, J., J.W. KOLAR, A. STUPAR, U. DROFENIK und A. MUESING: *Towards Virtual Prototyping and Comprehensive Multi-Objective Optimisation in Power Electronics*. In: *Proceedings of the PCIM 2010, Nuremberg*, 2010.
- [2] GUTSMANN, B.: *Charakterisierung und Einfluß parasitärer elektromagnetischer Effekte in leistungselektronischen Systemen*. Dissertation, Universität Bremen, 2007.
- [3] WINTRICH, A., U. NICOLAI, T. REIMANN und TURSKY W.: *Applikationshandbuch Leistungshalbleiter*. Semikron, 2010.
- [4] FARHADI, A. und A. JALILIAN: *Modeling and Simulation of Electromagnetic Conducted Emission Due to Power Electronics Converters*. In: *Power Electronics, Drives and Energy Systems, 2006. PEDES '06. International Conference on*, Seiten 1 –6, dec. 2006.
- [5] SCHROEDER, J.C., B. WITTIG und F.W. FUCHS: *High efficient battery backup system for lift trucks using interleaved-converter and increased EDLC voltage range*. In: *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*, Seiten 2334 – 2339, nov. 2010.
- [6] GRAOVAC, D., PÜRSCHEL M. und A. KIEP: *MOSFET Power Losses Calculation Using the Data-Sheet Parameters*. Infineon Application Notes, 2006.
- [7] BLANCHETTE, H. und K. AL-HADDAD: *Switching Power MOSFET Performance: A Compromise Between EMI Generation and Thermal Consideration*. In: *Industrial Electronics, 2006 IEEE International Symposium on*, Band 2, Seiten 1293 –1298, july 2006.
- [8] ASHCROFT, N.W. und N.D. MERMIN: *Festkörperphysik*. Oldenbourg, 2005.
- [9] SCHWAB, ADOLF W.: *Elektromagnetische Verträglichkeit*. Springer, 1996.
- [10] OZPINECI, B., M.S. CHINTHAVALI und L.M. TOLBERT: *A 55 kW three-phase automotive traction inverter with SiC Schottky diodes*. In: *Vehicle Power and Propulsion, 2005 IEEE Conference*, Seite 6 pp., sept. 2005.
- [11] MUEHLFELD, O., B. WITTIG und F.W. FUCHS: *Development of an Optimized Power Section for a 5kW Low Voltage Traction Inverter*. In: *Power Electronics and Applications, 2011. EPE '11 ECCE Europe. 14th European Conference on*, 2011.
- [12] TING-YU, C., P. CHING-TSAI und E. FANG: *A low voltage high current EV drive using inverter low side switches as current sensors*. In: *Power Electronics and Drive Systems, 2009. PEDS 2009. International Conference on*, Seiten 1429 –1434, nov. 2009.

-
- [13] CLAVEL, E., J.L. SCHANEN und J. ROUDET: *Electromagnetic Modeling of a power module case*. In: *EUROEM, Bordeaux*, 1994.
- [14] LÖBL, H.: *Stromverdrängung in elektrischen Leitern*. Institut für Elektrische Energieversorgung und Hochspannungstechnik, TU Dresden.
- [15] BRYANT, A.T., K.K. VADLAPATI, J.P. STARKEY, A.P. GOLDNEY, S.Y. KANDILIDIS und D.A. HINCHLEY: *Current distribution in high power laminated busbars*. In: *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, Seiten 1 –10, 30 2011-sept. 1 2011.
- [16] VDE: *DIN EN 61000; VDE 0870 - Elektromagnetische Verträglichkeit (EMV)*.
- [17] GONSCHOREK, K. H.: *Elektromagnetische Verträglichkeit*. Singer, H., 1992.
- [18] KRATTENMACHER, H.: *Zur Messung leitungsgeführter Störgrößen in der EMV*. Dissertation, Universität Fridericiana Karlsruhe, 2000.
- [19] KLOTZ, F.: *Leitungsgebundene elektromagnetische Störemissionen von Leistungshalbleitertopologien*. Dissertation, Universität Ilmenau, 1997.
- [20] GONZALEZ, D., J. GAGO und J. BALCELLS: *New simplified method for the simulation of conducted EMI generated by switched power converters*. *Industrial Electronics, IEEE Transactions on*, 50(6):1078 – 1084, dec. 2003.
- [21] GROVER, FREDERIK W. (Herausgeber): *Inductance Calculations*. Dover Phoenix Editions, 1973.
- [22] ROSA, E. B.: *The Self And Mutual Inductances Of Linear Conductors*. Technischer Bericht, Bureau of Standards, 1907.
- [23] GONNET, J-P., E. CLAVEL, V. MAZAURIC und J. ROUDET: *PEEC Method Dedicated to the Design of Electrical Systems*. In: *PIERS04, Pisa, Italien, pp- 493-496*, 2004.
- [24] TANI, S., Y. UCHIDA, M. FURUIE, S. TSUKIYAMA, BUYEOL LEE, S. NISHI, Y. KUBOTA, I. SHIRAKAWA und S. IMAI: *Parasitic capacitance modeling for multilevel interconnects*. In: *Circuits and Systems, 2002. APCCAS '02. 2002 Asia-Pacific Conference on*, Band 1, Seiten 59 – 64 vol.1, 2002.
- [25] VIALARDI, E., E. CLAVEL, O. CHADEBEC, J.-M. GUICHON und M. LIONET: *Electromagnetic simulation of power modules via adapted modelling tools*. In: *Power Electronics and Motion Control Conference (EPE/PEMC), 2010 14th International*, Seiten T2–78 –T2–83, 2010.

- [26] CRONJE, W.A., SR. VAN WYK, J.D. und JR. VAN WYK, J.D.: *A systematic approach to modelling of layout parasitics in converters-initial formulation*. In: *Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE*, Band 2, Seiten 1944 –1950 vol.2, may 1998.
- [27] SCHANEN, J.-L., J.-M. GUICHON, J. ROUDET, C. DOMENECH und L. MEYSENC: *Impact of the Physical Layout of High-Current Rectifiers on Current Division and Magnetic Field Using PEEC Method*. *Industry Applications, IEEE Transactions on*, 46(2):892 – 900, march-april 2010.
- [28] YANG, L. und W. G. H. ODENDAAL: *Measurement-Based Method to Characterize Parasitic Parameters of the Integrated Power Electronics Modules*. *Power Electronics, IEEE Transactions on*, 22(1):54 –62, 2007.
- [29] CHEN, J.Z., L. YANG, D. BOROYEVICH und W.G. ODENDAAL: *Modeling and measurements of parasitic parameters for integrated power electronics modules*. In: *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, Band 1, Seiten 522 – 525 Vol.1, 2004.
- [30] DIECKERHOFF, S., T. WERNICKE, C. KALLMAYER, S. GUTTOWSKI und H. REICHL: *Improved Switching Characteristics of Fast Power MOSFETs Applying Solder Bump Technology*. *International Journal of Power Management Electronics*, ID 675173, 9 pages, 2008.
- [31] NAGATA, T., H. SHIMIZU, A. NAKAMURA und H. FUKUMOTO: *Sub-nanohenry inductance measurement using a zero-parasitic-inductance probe system*. In: *Electronic Components and Technology Conference, 1995. Proceedings., 45th*, Seiten 337 –342, may 1995.
- [32] LUTZ, JOSEF: *Halbleiter-Leistungsbaulemente*. Springer, 2006.
- [33] WALKER, C. S.: *Capacitance, Inductance and Crosstalk Analysis*. Artech House, Boston, 1990.
- [34] LEFERINK, F.B.J.: *Inductance calculations; methods and equations*. In: *Electromagnetic Compatibility, 1995. Symposium Record. 1995 IEEE International Symposium on*, Seiten 16 –22, aug 1995.
- [35] GRIVET, P.: *The Physics of Transmission Lines at High and Very High Frequencies*. Academic Press, vol. 1, London, 1970.
- [36] BÜTTNER, W.E.: *Grundlagen der Elektrotechnik I*. Oldenbourg, 2006.
- [37] BOGATIN, E.: *What Really Is Inductance*. PCB Design Magazine, 2000.
- [38] [HTTP://WWW.CURAMIK.COM](http://www.curamik.com), 2012.

- [39] KABIR, S., S.L. DVORAK und J.L. PRINCE: *Method of moment reaction analysis in stripline circuits*. In: *Electrical Performance of Electronic Packaging, 2000, IEEE Conference on.*, Seiten 225 –228, 2000.
- [40] SCHANAN, J.L., E. CLAVEL und J. ROUDET: *Modeling of low inductive connections: the planar busbar structure*. In: *Industry Applications Society Annual Meeting, 1994., Conference Record of the 1994 IEEE*, Seiten 1246 –1250 vol.2, oct 1994.
- [41] CEDRAT, MEYLAN CEDEX, FRANCE: *Software: InCa3D V2.1.4*, 2009.
- [42] TECHNOLOGY, FASTFIELDSOLVERS MASSACHUSETTS INSTITUTE OF: *Software: Fasthenry*, 2000.
- [43] CASTELLAZZI, A.: *Comprehensive Compact Models for the Circuit Simulation of Multi-chip Power Modules*. *Power Electronics, IEEE Transactions on*, 25(5):1251 –1264, may 2010.
- [44] FORSTER, S. und A. LINDEMANN: *Interaction between thermal impedance and parasitics in power sections*. In: *Power Electronics and Motion Control Conference, 2008. EPE-PEMC 2008. 13th*, Seiten 2420 –2427, sept. 2008.
- [45] DE OLIVEIRA, T., J. SCHANEN, J. GUICHON und L. GERBAUD: *Automatic layout optimization of an EMC filter*. In: *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, Seiten 2679 –2685, sept. 2010.
- [46] STEINKE, P.: *Finite-Elemente-Methode: Rechnergestützte Einführung*. Springer Berlin Heidelberg; Auflage: 1, 2003.
- [47] RUEHLI, A. E.: *Equivalent Circuit Models for Three-Dimensional Multiconductor Systems*. *Microwave Theory and Techniques, IEEE Transactions on*, 22(3):216 – 221, mar 1974.
- [48] RUEHLI, A. E.: *Electrical Considerations in the Computer Aided Design of Logic circuit Interconnections*. *Proc. ACM-IEEE 10th Annu. Deigns Automation Workshop*, 1973.
- [49] CAULTON, M., B. HERSHENOV, S.P. KNIGHT und R.E. DEBRECHT: *Status of Lumped Elements in Microwave Integrated Circuits—Present and Future*. *Microwave Theory and Techniques, IEEE Transactions on*, 19(7):588 – 599, jul 1971.
- [50] HEEB, H. und A.E. RUEHLI: *Three-dimensional interconnect analysis using partial element equivalent circuits*. *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, 39(11):974 –982, nov 1992.

- [51] AIME, J., J. ROUDET, E. CLAVEL, O. AOUINE, C. LABARRE, F. COSTA und J. ECRA-BEY: *Prediction and measurement of The magnetic near field of a static converter*. In: *Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on*, Seiten 2550 –2555, 2007.
- [52] MUSING, A. und J.W. KOLAR: *Efficient partial element calculation and the extension to cylindrical elements for the PEEC method*. In: *Control and Modeling for Power Electronics, 2008. COMPEL 2008. 11th Workshop on*, Seiten 1–6, 2008.
- [53] ZHU, H., JR. HEFNER, A.R. und J.-S. LAI: *Characterization of power electronics system interconnect parasitics using time domain reflectometry*. *Power Electronics, IEEE Transactions on*, 14(4):622 –628, jul 1999.
- [54] LOPEZ, T., T. DUERBAUM, T. TOLLE und R. ELFERICH: *PCB layout inductance modeling based on a time domain measurement approach*. In: *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, Band 3, Seiten 1870 – 1876 Vol.3, 2004.
- [55] WITTIG, B., O. MUEHLFELD und F.W. FUCHS: *Adaption of MOSFETs current slope by systematic adjustment of common source stray inductance and gate resistance*. In: *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, Seiten 1 –10, 30 2011-sept. 1 2011.
- [56] ZHENG, C., D. BOROYEVICH und R. BURGOS: *Experimental parametric study of the parasitic inductance influence on MOSFET switching characteristics*. In: *Power Electronics Conference (IPEC), 2010 International*, Seiten 164 –169, june 2010.
- [57] STOCKMEIER, T. und U. SCHLAPBACH: *1200 A, 3300 V IGBT Power Module exhibiting Very Low Internal Stray Inductance*. In: *Proceedings to the PCIM 1997, HongKong*, 1997.
- [58] WITTIG, B.: *Treiberseitige Verbesserung des Schalt- und Betriebsverhaltens von Leistungs-MOSFETs mit niedriger Spannungsfestigkeit und hoher Stromtragfähigkeit*. Dissertation, Christian-Albrechts-Universität zu Kiel, 2012.
- [59] DASCHER, D. J: *Measuring Parasitic Capacitance and Inductance Using TDR*. Hewlett-Packard Journal, Article 11, August:1–18, 1996.
- [60] LOPEZ, T., T. DUERBAUM, T. TOLLE und R. ELFERICH: *PCS layout inductance modeling based on a time domain measurement approach*. In: *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, Band 3, Seiten 1870 – 1876 Vol.3, 2004.
- [61] MESSGERÄT: *Sourcetric - LCR Messgerät ST2826A*.

- [62] PASTERCZYK, R.J., C. MARTIN, J.-M. GUICHON und J.-L. SCHANEN: *Planar busbar optimization regarding current sharing and stray inductance minimization*. In: *Power Electronics and Applications, 2005 European Conference on*, Seiten 9 pp. –P.9, 0-0 2005.
- [63] MARTIN, C., J.M. GUICHON, J.L. SCHANEN und R. PASTERCZYK: *Gate Circuit Layout Optimization of Power Module Regarding Transient Current Imbalance*. In: *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, Seiten 541 –546, 2005.
- [64] JEANNIN, P.-O., J.-L. SCHANEN und E. CLAVEL: *Original cabling conditions to insure balanced current during switching transitions between paralleled semiconductors*. *Industry Applications*, IEEE Transactions on, 38(1):181 –188, jan/feb 2002.
- [65] GUTSMANN, B., P. MOURICK und D. SILBER: *Exact inductive parasitic extraction for analysis of IGBT parallel switching including DCB-backside eddy currents*. In: *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, Band 3, Seiten 1291 –1295 vol.3, 2000.
- [66] MUEHLFELD, O. und F.W. FUCHS: *Optimization of the stray inductance in three-phase MOSFET power modules aided by means of PEEC simulation*. In: *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, Seiten 1 –7, sept. 2009.
- [67] MUEHLFELD, O., W.-TOKE FRANKE und FRIEDRICH W. FUCHS: *Design strategies for stray inductance optimized wire-bond power modules*. In: OLE MUEHLFELD, FRIEDRICH W. FUCHS (Herausgeber): *Proceedings of the PCIM 2010, Nürnberg, May 2010* 2010.
- [68] OSTERWALD, F. und O. MUEHLFELD: *Leistungsmodule - Einsatzbedingungen und Lösungsansätze*. *Proceedings to the SMT 2012, Nuremberg*, 2012.
- [69] OTT, R., M. BÄSSLER, R. TSCHIRBS und D. SIEPE: *New superior assembly technologies for modules with highest power densities*. *Proceedings of the PCIM 2010, Nürnberg*, 2010.
- [70] WINTRICH, A.: *Federn statt Lot*. *Elektronik*, Nov. 2008:34–37, 2008.
- [71] GUTH, K. und D; SIEPE: *New Assembly and Interconnects beyond sintering methods*. In: *PCIM, Nürnberg*, 2010.
- [72] OSTERWALD, F., M. KOCK, T. NAGEL, T. SENYILDIZ und R. EISELE: *Substrate Free Molded Power Module*. *Proceedings of the PCIM 2009, Nürnberg*, 2009.
- [73] VAGNON, E., P.O. JEANNIN, Y. AVENAS, J.C. CREBIER und K. GUEPRATTE: *A Busbar Like Power Module Based On 3D Chip On Chip Hybrid Integration*. In: *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, Seiten 2072 –2078, feb. 2009.

- [74] BMBF, ULTIMO VERBUNDPROJEKT: *Ultrakompaktes Leistungsmodul höchster Zuverlässigkeit (UltiMo)*, Teilvorhaben: *Aufbau eines beidseitig gekühlten Leistungsmoduls; gefördert vom BMBF unter dem FKZ: 13N10895*, 2012.
- [75] WWW.TME.EU: *TEM Europe - Electronic Components*, 2012.
- [76] WWW.DE.FARNELL.COM: *Farnell Element*.
- [77] PETRIE, A.F.: *A Spice Model For IGBTs*. Proc. to the APEC 95, Seite 147152, 1995.
- [78] PAVIER, M., A. WOODWORTH, A. SAWLE, MONTEIRO R., BLAKE C. und J. CHIU EL SEGUNDO: *Understanding the Effect of Power MOSFET Package Parasitics on VRM Circuit Efficiency at Frequencies above 1MHz*. Proc. to PCIM 2003.
- [79] NXP: *LFPAK The Toughest Power-SO8*. Technischer Bericht, NXP.
- [80] XING, K., F.C. LEE und D. BOROYEVICH: *Extraction of parasitics within wire-bond IGBT modules*. In: *Applied Power Electronics Conference and Exposition, 1998. APEC '98. Conference Proceedings 1998., Thirteenth Annual*, Band 1, Seiten 497 –503 vol.1, Februar 1998.
- [81] LORENZ, L., G. DEBOY, A. KNAPP und M. MARZ: *COOLMOS - A new milestone in high voltage power MOS*. In: *Power Semiconductor Devices and ICs, 1999. ISPSD '99. Proceedings., The 11th International Symposium on*, Seiten 3 –10, 1999.
- [82] AG, INFINEON TECHNOLOGIES: *Datasheet - IPB019N06L3G*.
- [83] AG, INFINEON TECHNOLOGIES: *Datasheet - IPW65R660CFD*.
- [84] FRISCH, M. und T. ERNÖ: *Power Module with Additional Low Inductive Current Path*. power Electronics Europe, Issue 7:22–27, 2010.
- [85] YANQUN, S., J. JIANG, Y. AND DENG. Y. XIONG, HE. X. und Z. ZENG: *Parasitic Inductance Effects on the Switching Loss Measurement of Power Semiconductor Devices*. In: *Industrial Electronics, 2006 IEEE International Symposium on*, Band 2, Seiten 847 –852, july 2006.
- [86] HÜNING, F.: *Zuverlässig schalten*. automotive, 5-6. 2008:38–41, 2008.
- [87] VERMEIRE, B., D. GOODMAN und H. PARKS: *An Integrated Gate Oxide Reliability Monitor*. Test Methods and Reliability of Circuits and Systems, Seiten 70–74.
- [88] SCHEUERMANN, U.: *Paralleling of Chips - From the Classical Worst Case Consideration to a Statistical Approach*. In: *PCIM*, 2005.

- [89] WINTRICH, A., J. NASCIMENTO und M. LEIPENAT: *Influence of Parameter Distribution and Mechanical Construction on Switching Behaviour of parallel IGBT*. In: *PCIM*, 2006.
- [90] YANG, S., D. XIANG, A. BRYANT, P. MAWBY, L. RAN und P. TAVNER: *Condition Monitoring for Device Reliability in Power Electronic Converters: A Review*. *Power Electronics*, IEEE Transactions on, 25(11):2734 –2752, nov. 2010.
- [91] SANKARAN, V.A., C. CHEN, C.S. AVANT und X. XU: *Power cycling reliability of IGBT power modules*. In: *Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97., Conference Record of the 1997 IEEE*, Band 2, Seiten 1222 –1227 vol.2, oct 1997.
- [92] WANG, S. und F.C. LEE: *Investigating parasitic capacitance cancellation for EMI suppression*. In: *Vehicle Power and Propulsion Conference, 2009. VPPC '09. IEEE*, Seiten 954 –961, 2009.
- [93] WINTERHALTER, C., R. KERKMAN, D. SCHLEGEL und D. LEGGATE: *The effect of circuit parasitic impedance on the performance of IGBTs in voltage source inverters*. In: *Applied Power Electronics Conference and Exposition, 2001. APEC 2001. Sixteenth Annual IEEE*, Band 2, Seiten 995 –1001 vol.2, 2001.
- [94] REVOL, B., J. ROUDET, J.-L. SCHANEN und P. LOIZELET: *EMI Study of Three-Phase Inverter-Fed Motor Drives*. *Industry Applications*, IEEE Transactions on, 47(1):223 – 231, jan.-feb. 2011.
- [95] BIELA, J., A. WIRTHMUELLER, R. WAESPE, M.L. HELDWEIN, K. RAGGL und J.W. KOLAR: *Passive and Active Hybrid Integrated EMI Filters*. *Power Electronics*, IEEE Transactions on, 24(5):1340 –1349, may 2009.
- [96] YE, S., W. EBERLE und YAN-FEI LIU: *A novel EMI filter design method for switching power supplies*. *Power Electronics*, IEEE Transactions on, 19(6):1668 – 1678, nov. 2004.
- [97] CADIRCI, I., B. SAKA und Y. ERISTIREN: *Practical EMI-filter-design procedure for high-power high-frequency SMPS according to MIL-STD 461*. *Electric Power Applications*, IEE Proceedings -, 152(4):775 – 782, july 2005.
- [98] POON, N.K., J.C.P. LIU, C.K. TSE und M.H. PONG: *Techniques for input ripple current cancellation: classification and implementation [in SMPS]*. *Power Electronics*, IEEE Transactions on, 15(6):1144 –1152, nov 2000.
- [99] WANG, S., Y.Y. MAILLET, FEI WANG, D. BOROYEVICH und R. BURGOS: *Investigation of Hybrid EMI Filters for Common-Mode EMI Suppression in a Motor Drive System*. *Power Electronics*, IEEE Transactions on, 25(4):1034 –1045, april 2010.

- [100] CHUNG, H., S.Y.R. HUI und K.K. TSE: *Reduction of power converter EMI emission using soft-switching technique*. Electromagnetic Compatibility, IEEE Transactions on, 40(3):282 –287, aug 1998.
- [101] MIHALIC, F. und D. KOS: *Reduced Conductive EMI in Switched-Mode DC ndash;DC Power Converters Without EMI Filters: PWM Versus Randomized PWM*. Power Electronics, IEEE Transactions on, 21(6):1783 –1794, nov. 2006.
- [102] WANG, S., PENGJU KONG und F.C. LEE: *Common Mode Noise Reduction for Boost Converters Using General Balance Technique*. In: *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, Seiten 1 –6, june 2006.
- [103] MAINALI, K., R. ORUGANTI, K. VISWANATHAN und SWEE PENG NG: *A Metric for Evaluating the EMI Spectra of Power Converters*. Power Electronics, IEEE Transactions on, 23(4):2075 –2081, july 2008.
- [104] ZHU, H., JIH-SHENG LAI, JR. HEFNER, A.R., YUQING TANG und CHINGCHI CHEN: *Modeling-based examination of conducted EMI emissions from hard and soft-switching PWM inverters*. In: *Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE*, Band 3, Seiten 1879 –1886 vol.3, 1999.
- [105] XIAO, F., S. LI und D. JIANDONG: *Prediction Model of Conducted Common-Mode EMI in PWM Motor Drive System*. In: *Pervasive Computing Signal Processing and Applications (PCSPA), 2010 First International Conference on*, Seiten 1298 –1301, sept. 2010.
- [106] MIHALIC, F. und D. KOS: *Reduced Conductive EMI in Switched-Mode DC-DC Power Converters Without EMI Filters: PWM Versus Randomized PWM*. Power Electronics, IEEE Transactions on, 21(6):1783 –1794, nov. 2006.
- [107] KARANUN, K., W. KHAN-NGERN und S. NITTA: *The characteristics of conducted EMI emission on PWM inverters with various PWM patterns*. In: *Electromagnetic Compatibility, 2002 3rd International Symposium on*, Seiten 533 – 536, may 2002.
- [108] KABOLI, S., J. MAHDAVI und A. AGAH: *Application of Random PWM Technique for Reducing the Conducted Electromagnetic Emissions in Active Filters*. Industrial Electronics, IEEE Transactions on, 54(4):2333 –2343, aug. 2007.
- [109] WANG, Z., K.T. CHAU und CHUNHUA LIU: *Improvement of Electromagnetic Compatibility of Motor Drives Using Chaotic PWM*. Magnetics, IEEE Transactions on, 43(6):2612 –2614, june 2007.
- [110] BAYERER, R. und D. DOMES: *Power circuit design for clean switching*. In: *Integrated Power Electronics Systems (CIPS), 2010 6th International Conference on*, Seiten 1 –6, march 2010.

-
- [111] TEULINGS, W., J.L. SCHANEN und J. ROUDET: *MOSFET switching behaviour under influence of PCB stray inductance*. In: *Industry Applications Conference, 1996. Thirty-First IAS Annual Meeting, IAS '96., Conference Record of the 1996 IEEE*, Band 3, Seiten 1449 –1453 vol.3, oct 1996.
- [112] XIAO, Y., H. SHAH, T.P. CHOW und R.J. GUTMANN: *Analytical modeling and experimental evaluation of interconnect parasitic inductance on MOSFET switching characteristics*. In: *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, Band 1, Seiten 516 – 521 Vol.1, 2004.
- [113] MERIENNE, F., J. ROUDET und J.L. SCHANEN: *Switching disturbance due to source inductance for a power MOSFET: analysis and solutions*. In: *Power Electronics Specialists Conference, 1996. PESC '96 Record., 27th Annual IEEE*, Band 2, Seiten 1743 –1747 vol.2, jun 1996.
- [114] MERLIN, M. und F. FIORI: *Impact of package parasitics on the EMC performance of smart power SoCs*. In: *Microelectronics and Packaging Conference, 2009. EMPC 2009. European*, Seiten 1 –6, june 2009.
- [115] RAN, L., S. GOKANI, J. CLARE, K.J. BRADLEY und C. CHRISTOPOULOS: *Conducted electromagnetic emissions in induction motor drive systems. I. Time domain analysis and identification of dominant modes*. *Power Electronics, IEEE Transactions on*, 13(4):757 –767, jul 1998.
- [116] RAN, L., S. GOKANI, J. CLARE, K.J. BRADLEY und C. CHRISTOPOULOS: *Conducted electromagnetic emissions in induction motor drive systems. II. Frequency domain models*. *Power Electronics, IEEE Transactions on*, 13(4):768 –776, jul 1998.
- [117] RAN, L., S. GOKANI, J. CLARE, K. J. BRADLEY und C. CHRISTOPOULOS: *Correction to Conducted Electromagnetic Emissions in Induction Motor Drive Systems Part II: Frequency Domain Models*. *Power Electronics, IEEE Transactions on*, 13(6):1229, nov 1998.
- [118] GULEZ, K., N. MUTOH, M. OGATA, F. HARASHIMA und K. OHNISHI: *A new approximation method of estimating common mode (CM) model impedance parameters for EMI emissions in motor drive system*. In: *Intelligent Control, 2002. Proceedings of the 2002 IEEE International Symposium on*, Seiten 648 – 653, 2002.
- [119] *MIL STD 461F - REQUIREMENTS FOR THE CONTROL OF ELECTROMAGNETIC INTERFERENCE CHARACTERISTICS OF SUBSYSTEMS AND EQUIPMENT*.
- [120] *DIN EN 55016-2-1 (VDE 0877-16-2-1)*.

- [121] MOURICK, P., J. STEGER und W. TURSKY: *750 A, 75 V MOSFET power module with sub-nH inductance*. In: *Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on*, Seiten 109 – 112, 2002.
- [122] ZHU, X., D. SU, YICHENG ZHANG und LI WEI: *Bus Bar Design for EMC Performance of Power Converters in Fuel Cell Electric Vehicles*. In: *Vehicular Electronics and Safety, 2006. ICVES 2006. IEEE International Conference on*, Seiten 144 –147, dec. 2006.
- [123] DE OLIVEIRA, T., M. SYLVAIN, G. JEAN-MICHEL, J.-L. SCHANEN und A. PERREGAUX: *Reduction of conducted EMC using busbar stray elements*. In: *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, Seiten 2028 –2033, feb. 2009.
- [124] CAPONET, M.C., F. PROFUMO, R.W. DE DONCKER und A. TENCONI: *Low stray inductance bus bar design and construction for good EMC performance in power electronic circuits*. In: *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, Band 2, Seiten 916 –921 vol.2, 2000.
- [125] GUICHON, J.M., J. AIME, J.L. SCHANEN, C. MARTIN, J. ROUDET, E. CLAVELL, M. ARPILLIERE, R. PASTERCZYK und Y. LE FLOCH: *Busbar Design: How to Spare Nanohenries ?* In: *Industry Applications Conference, 2006. 41st IAS Annual Meeting. Conference Record of the 2006 IEEE*, Band 4, Seiten 1865 –1869, 2006.
- [126] WANG, J., BINJIAN YANG, JING ZHAO, YAN DENG, XIANGNING HE und XU ZHIXIN: *Development of a compact 750KVA three-phase NPC three-level universal inverter module with specifically designed busbar*. In: *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, Seiten 1266 –1271, feb. 2010.
- [127] DE OLIVEIRA, T., J.-L. SCHANEN, J.-M. GUICHON und L. GERBAUD: *Influence and benefits of stray magnetic couplings in EMC filtering*. In: *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, Seiten 1 –10, 30 2011-sept. 1 2011.
- [128] DE OLIVEIRA, T., J. GUICHON, J. SCHANEN und L. GERBAUD: *PEEC-models for EMC filter layout optimization*. In: *Integrated Power Electronics Systems (CIPS), 2010 6th International Conference on*, Seiten 1 –6, march 2010.
- [129] WITTIG, B. und F. FUCHS: *Analysis and Comparison of Turn-Off Active Gate Control Methods for Low Voltage Power MOSFETs with High Current Ratings*. *Power Electronics, IEEE Transactions on*, PP(99):1, 2011.
- [130] TODD, P.: *Snubber circuits: Theory, design and application*. Application Note, International Rectifier,, 1993.

-
- [131] TSUNODA, T., T. MATSUDA, Y. NAKADAIRA, H. NAKAYAMA und Y. SASADA: *Low-inductance module construction for high speed, high-current IGBT module suitable for electric vehicle application*. In: *Power Semiconductor Devices and ICs, 1993. ISPSD '93., Proceedings of the 5th International Symposium on*, Seiten 292 –295, may 1993.
- [132] STOCKMEIER, T.: *From Packaging to Unpackaging - Trends in Power Semiconductor Modules*. In: *Power Semiconductor Devices and IC's, 2008. ISPSD '08. 20th International Symposium on*, Seiten 12 –19, Mai 2008.
- [133] LI, S., L.M. TOLBERT, F. WANG und FANG ZHENG PENG: *Reduction of stray inductance in power electronic modules using basic switching cells*. In: *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, Seiten 2686 –2691, sept. 2010.
- [134] LI, S., L.M. TOLBERT, F. WANG und FANG ZHENG PENG: *P-cell and N-cell based IGBT module: Layout design, parasitic extraction, and experimental verification*. In: *Applied Power Electronics Conference and Exposition (APEC), 2011 Twenty-Sixth Annual IEEE*, Seiten 372 –378, march 2011.
- [135] JOHN WILEY & SONS, INC. (Herausgeber): *EMC Analysis Methods And Computational Models*. Tesche, F.M. and Michel, I. V. and Torbjörn, K., 1997.
- [136] DAUCHER, C.: *900 Ampere zuverlässig in Bewegung*. *Elektronik*, 10:40–43, 2007.
- [137] SEMICONDUCTORS, EUPEC POWER: *BSM 50 GB 120DLC - IGBT-Modules, Half-bridge Including fast free-wheeling diodes*.
- [138] WU, S. und E.I. EL-MASRY: *A 1.8-2GHz VCO with automatic compensation for bond wire inductance variation*. In: *Solid-State and Integrated Circuits Technology, 2004. Proceedings. 7th International Conference on*, Band 2, Seiten 1325 – 1328 vol.2, oct. 2004.
- [139] WANG, Z. und G. CHEN: *Study on planar busbar regarding stray inductance minimization and oscillation suppression for high power converter*. In: *Sustainable Power Generation and Supply, 2009. SUPERGEN '09. International Conference on*, Seiten 1 –7, april 2009.
- [140] ABRISHAMIFAR, A., R. LOURAKZADEGAN, R. ESMAILI und M. AREFIAN: *Design and construction of a bus bar for spike reduction in an industrial inverter*. In: *Proc. 1st Power Electronic & Drive Systems & Technologies Conf. (PEDSTC)*, Seiten 13–17, 2010.
- [141] VAGNON, E., P.-O. JEANNIN, J.-C. CREBIER und Y. AVENAS: *A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration*. *Industry Applications, IEEE Transactions on*, 46(5):2046 –2055, sept.-oct. 2010.

- [142] LANGENBUCHER, A.: *Taking Power Density to a New Level*. Bodo's Power Systems, Sept.:26–28, 2011.
- [143] YULIN, Z., W. XUHUI, H. WEI, L. JUN und P. ZHANG: *Development of a 450A/600V 6-in-1-package intelligent power module (IPM)*. In: *Power Electronics for Distributed Generation Systems (PEDG), 2010 2nd IEEE International Symposium on*, Seiten 654–657, june 2010.
- [144] WHITEHEAD, M. J. und C. M. JOHNSON: *Determination of Thermal Cross-Coupling Effects in Multi-Device Power Electronic Modules*. In: *Power Electronics, Machines and Drives, 2006. The 3rd IET International Conference on*, Seiten 261–265, mar. 2006.
- [145] SATOH, KATSUMI: *Technologies and trends related to Power Module*. Mitsubishi Electric Corporation, Oktober 2010.
- [146] FORSTER, S. und A. LINDEMANN: *Combined optimisation of thermal behaviour and electrical parasitics in Power Semiconductor components*. In: *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, Seiten 1–10, sept. 2009.
- [147] MUEHLFELD, O. und F.W. FUCHS: *Comprehensive optimization method for thermal properties and parasitics in power modules*. In: *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, Seiten 2266–2271, sept. 2010.
- [148] MARTIN, C., J.L. SCHANEN und R. PASTERCZYK: *Inside a power module*. In: *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, Band 3, Seiten 1519–1525 vol.3, oct. 2004.
- [149] MATHWORKS, THE: *Matlab 2009*. www.mathworks.de, 2010.
- [150] LINDEMANN, A. und S. FOERSTER: *Design Aspects for Power MOSFET Components in Automotive Electronics*. In: *Power Electronics and Motion Control Conference, 2006. EPE-PEMC 2006. 12th International*, Seiten 1988–1993, 30 2006-sept. 1 2006.
- [151] KWASINSKI, A. und P.T. KREIN: *Combined Inverter Design and Motor Selection to Meet 42V Automotive System Targets*. In: *Electric Machines and Drives, 2005 IEEE International Conference on*, Seiten 1311–1318, may 2005.
- [152] KLSH: *Kompetenzzentrum Leistungselektronik Schleswig-Holstein, Zusammenschluss aus Forschungseinrichtungen und Industrieunternehmen: Christian Albrechts-Universität zu Kiel, Fachhochschule Kiel, Fachhochschule Westküste, Jungheinrich AG, ESW Wedel AG, Danfoss Silicon Power, Fraunhofer ISiT*, <http://www.kompetenzzentrum-leistungselektronik.com/>, 2011.
- [153] WITTIG, B., O. MUEHLFELD und F.W. FUCHS: *Methoden zur Effizienzsteigerung von Niederspannungs-Umrichtern mit hohen Lastströmen*. In: *ETG Kongress*, 2011.

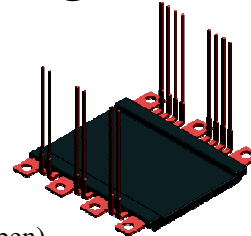
-
- [154] MUEHLFELD, O., B. WITTIG, J. RUDZKI und F.W. FUCHS: *High Efficient Power Converter for Low Voltage Traction Applications with Power Multiplication*. Bodo's Power Systems, Sept. 2011:30–33, 2011.
- [155] SILICONIX, VISHAY: *Datasheet: SUM60N08-07C. N-Channel 75-V (D-S) MOSFET with Sense Terminal*, 2008.
- [156] KLSH: *Lastenheft und Spezifikation*. internal report, 2008.
- [157] BERGER, M., T. ROZOVA und W. SCHERNUS: *Modellierung der thermischen Eigenschaften von Elektronikmodulen*. KLSH Workshop 2009, Fraunhofer ISIT, Fachhochschule Westküste Heide, <http://www.kompetenzzentrum-leistungselektronik.com/data/1.Workshop.php>, 2009.
- [158] ROZOVA, T., SCHERNUS W. und M. BERGER: *Thermische Simulation von Leistungsbaugruppen*. KLSH Workshop 2010, Fraunhofer ISIT, Modellierung der thermischen Eigenschaften von Elektronikmodulen, <http://www.kompetenzzentrum-leistungselektronik.com/data/2.Workshop.php>, 2010.
- [159] BERGER, M., W. SCHERNUS und T. ROZOVA: *KLSH Projektbericht - Zwischenbericht Q1/2009*. Technischer Bericht, Fachhochschule Westküste, Heide, 2009.
- [160] OLESEN, K., R. BREDTMANN, F. SÖHNCHEN und R. EISELE: *Custom Power under the Hood - High density IGBT module tuned to automotive mission profile*. In: *Proceedings to the International Conference and Exhibition Automotive Power Electronics*, 2011.
- [161] RUDZKI, J., D. BERNHARDT, M. POECH, R. EISELE und O. MÜHLFELD: *Sintern und Molden - Optimierung der Leistungsmodule durch neue Technologien*. In: *40. Kolloquium Halbleiter-Leistungsbaulemente und ihre systemtechnische Anwendung*, 2011.
- [162] FORSYTHE, J.B.: *Paralleling Of Power MOSFETs For Higher Power Output*. International Rectifier Application Note, Seite 30, 2005.
- [163] WITTIG, B., M. BOETTCHER und F.W. FUCHS: *Analysis and design aspects of a desaturation detection circuit for low voltage power MOSFETs*. In: *Power Electronics and Motion Control Conference (EPE/PEMC), 2010 14th International*, Seiten T1–7–T1–12, 2010.
- [164] PEM: *Datenblatt, CWT Mini, CWT 15R, Stromsensor*. www.pemuk.com, 2009.

11. Anhang

11.1 Datenblatt des verwendeten Leistungshalbleitermoduls



KLSH Leistungsmodul 120A/24V



Statische Werte ($T_A=20^\circ\text{C}$, sofern nichts anders angegeben)

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit
U_{DSS}	Durchbruchspannung	$I_D=250\mu\text{A}$, $U_{GS}=0\text{V}$	73	73,5	74	V
$R_{DS(on)}$	Durchlasswiderstand	$I_D=10\text{A}$	0,67	0,72	0,76	$\text{m}\Omega$
$I_{D,max}$	Maximaler Drainstrom	gepulst ^{*1)}	-	-	2,64	kA
$U_{GS(th)}$	Schwellenspannung	$I_D=250\mu\text{A}$, $U_{GS}=15\text{V}$	4,3	4,4	4,6	V

*1) Strompuls, $t=40\mu\text{s}$

Dynamische Werte ($T_A=20^\circ\text{C}$, sofern nichts anders angegeben)

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit
C_{iss}	Eingangskapazität	$U_{DS}=20\text{V}$ $f=1\text{MHz}$	25,8	30,7	34,4	nF
C_{oss}	Ausgangskapazität		4,5	5,0	6,1	
C_{rss}	Rückkopplungskapazität		4,4	4,7	5,9	
Q_{GS}	Gate-Source-Ladung	$I_G=3\text{mA}$	83	99	117	nC
Q_{GD}	Gate-Drain-Ladung		81	101	131	
Q_G	Gesamte Gate-Ladung		351	424	486	
$t_{d(on)}$	Einschaltverzögerungszeit	$R_G=6,2\Omega$	-	48	-	ns
t_r	Anstiegszeit		-	66	-	
$t_{d(off)}$	Abschaltverzögerungszeit		-	242	-	
t_f	Fallzeit		-	98	-	

Body-Diode ($T_A=20^\circ\text{C}$, sofern nichts anders angegeben)

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit
Q_{rr}	Reverse-Recovery-Ladung	$R_G=6,2\Omega$	-	380	-	nC
t_{rr}	Reverse-Recovery-Zeit	$I_D=150\text{A}$	-	74	-	ns
I_{RRM}	Reverse-Recovery-Strom	$U_{GS}=15\text{V}$	-	25	-	A
U_{SD}	Diodenschwellenspannung	$I_D=250\mu\text{A}$, $U_{GS}=0\text{V}$	424	432	438	mV

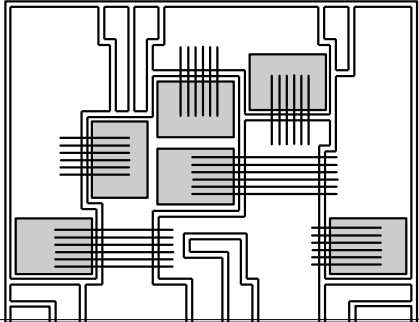
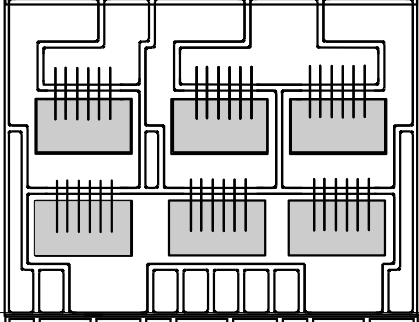
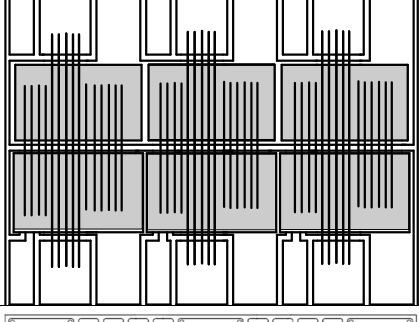
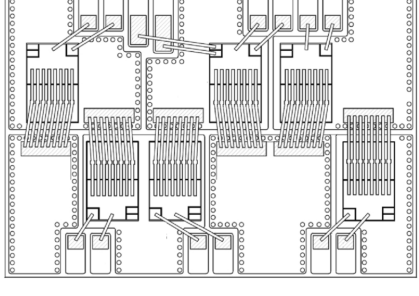
Temperaturmessdiode

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit
$U_{d,temp}$	Temperaturspannung	$T_A=25^\circ\text{C}$	603	635	636	mV
		$T_A=50^\circ\text{C}$	560	593	596	

Rev. 1, April 2011

Abb. A.1: Datenblatt des entwickelten Leistungshalbleiters und -moduls

11.2 Übersicht über die untersuchten Modulentwürfe

DCB Layout	Modulparameter
	<p>Bezeichnung M2 Fläche 2400 mm² Siliziumfläche 336 mm² Füllgrad 14% parasitäre Induktivität DCB 16 nH $\Delta L_{\sigma}(phase)$ 5 nH</p>
	<p>Bezeichnung F2 Fläche 2400 mm² Siliziumfläche 426 mm² Füllgrad 22% parasitäre Induktivität DCB 18 nH $\Delta L_{\sigma}(phase)$ 3 nH</p>
	<p>Bezeichnung F3 Fläche 2400 mm² Siliziumfläche 696 mm² Füllgrad 29% parasitäre Induktivität DCB 12 nH $\Delta L_{\sigma}(phase)$ 1 nH</p>
	<p>Bezeichnung M4 Fläche 2400 mm² Siliziumfläche 426 mm² Füllgrad 22% parasitäre Induktivität DCB 8 nH $\Delta L_{\sigma}(phase)$ 1 nH</p>

Tab. A.1: Vergleich der unterschiedlichen Modulentwürfe

11.3 Vollständiges Ersatzschaltbild des Leistungshalbleitermoduls

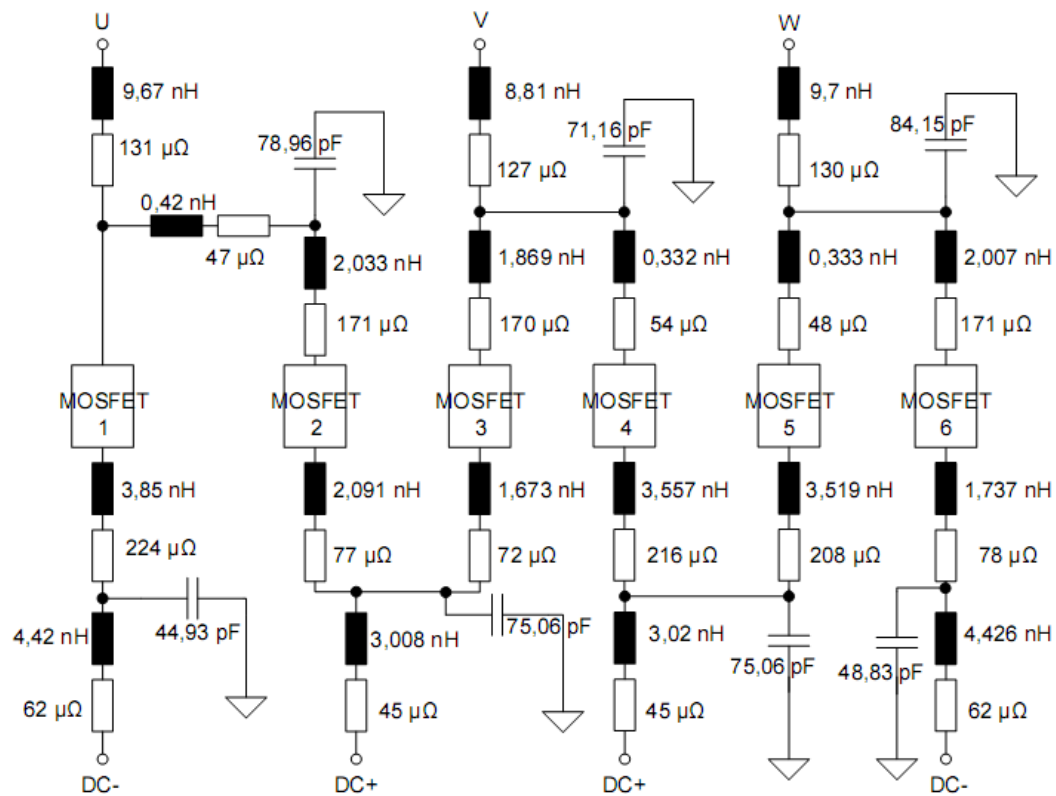


Abb. A.2: Vollständiges Ersatzschaltbild des optimierten Leistungshalbleitermoduls

11.4 Zeichnung des 5 kVA-Umrichters

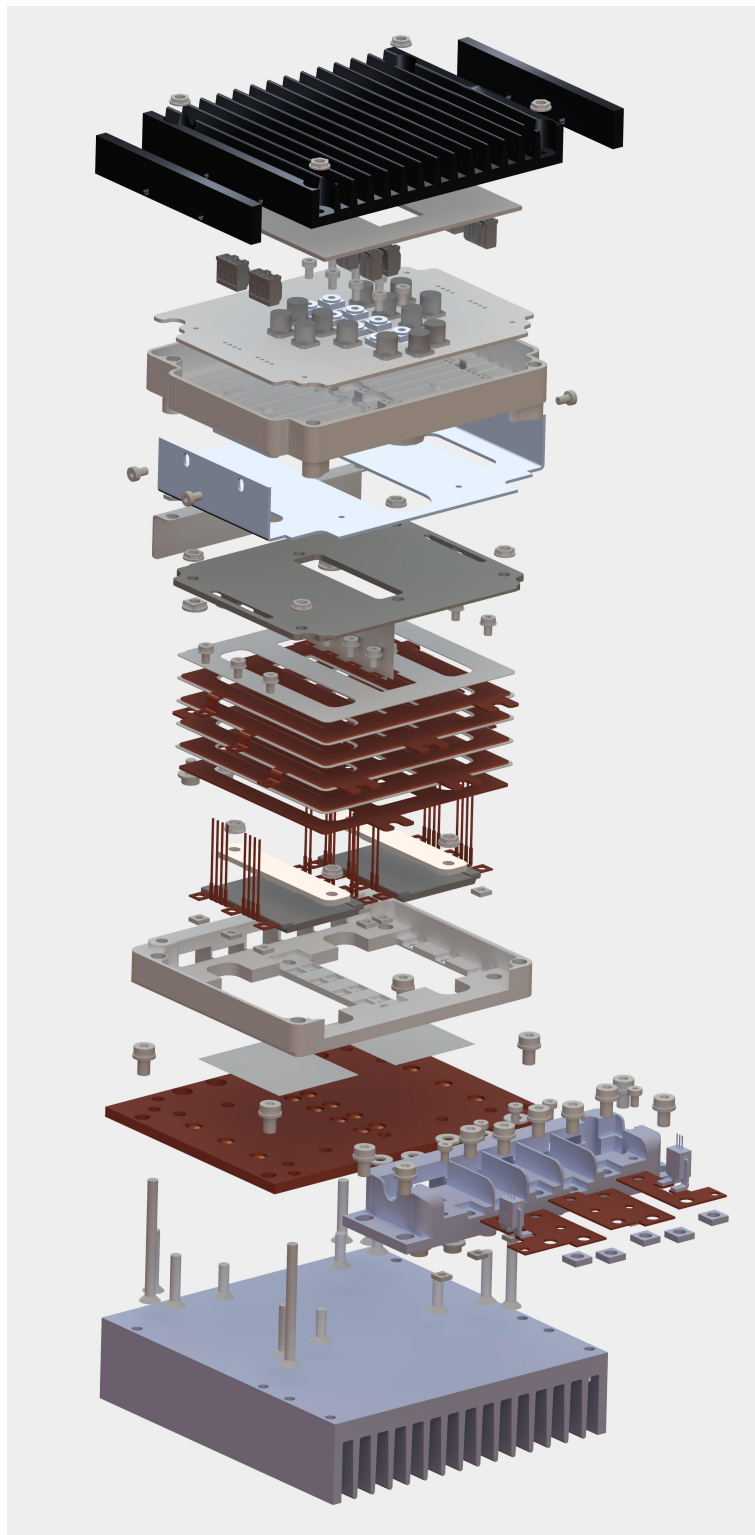


Abb. A.3: Explosionszeichnung des 5 kVA-Basisumrichters [152]

11.5 Zeichnung des 15 kVA-Umrichters

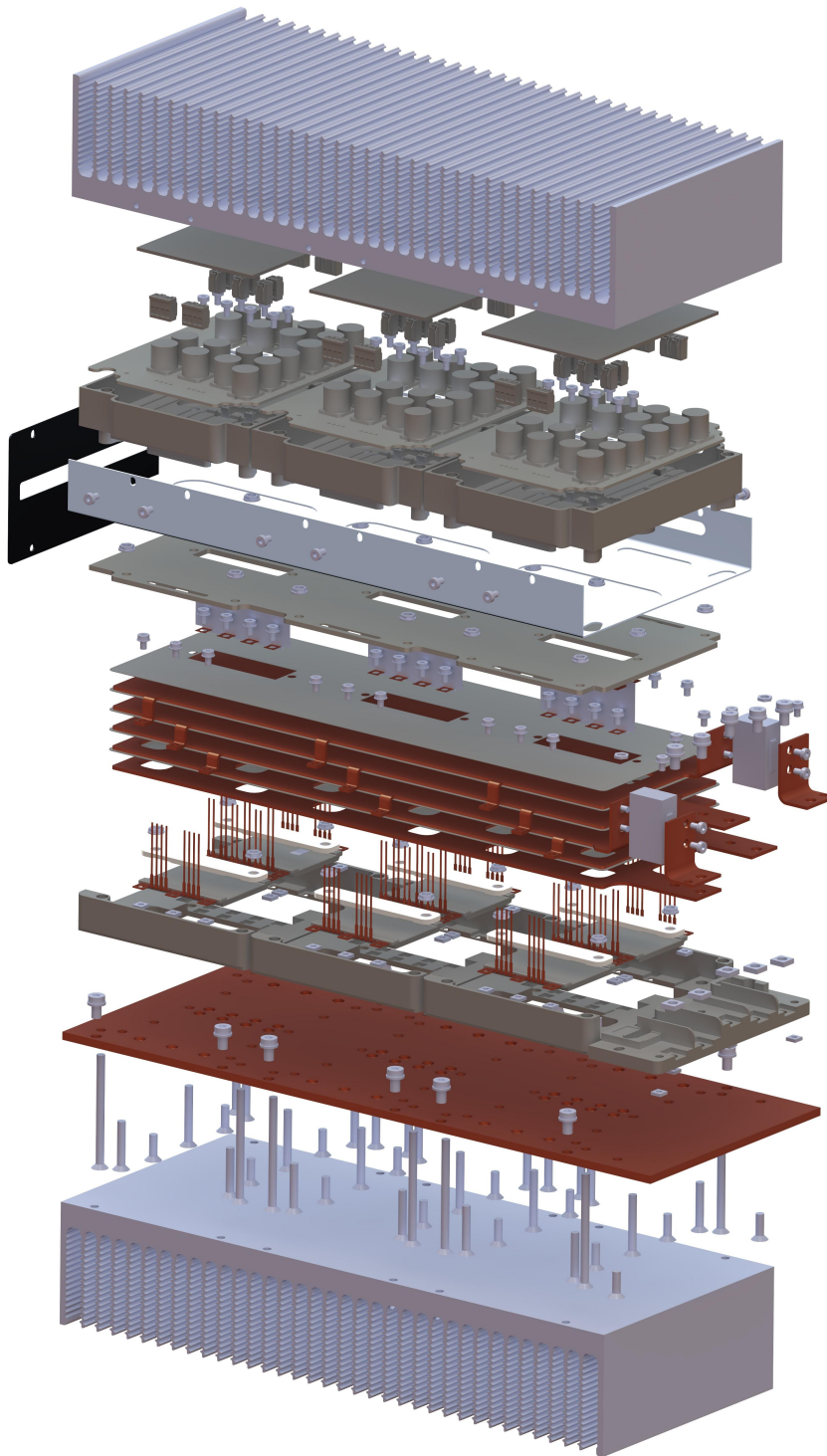


Abb. A.4: Explosionszeichnung des 15 kVA-Umrichters [152]

12. Eigene Veröffentlichungen

- [E01] O. Muehlfeld, F.W. Fuchs. *Optimization of the Stray Inductance in Three-Phase MOSFET Power Modules Aided by means of PEEC Simulation*. In Power Electronics and Applications EPE '09. 13th European Conference on, Barcelona, Spain, Sept. 2009.
- [E02] O. Muehlfeld, F.W. Fuchs. *Design Strategies for Stray Inductance Optimized wire-bond Power Modules*. International Exhibition & Conference for Power Electronics, Intelligent Motion, Power Quality, PCIM 2010, Nürnberg, Germany, May 2010.
- [E03] O. Muehlfeld, F.W. Fuchs. *Comprehensive Optimization Method for Thermal Properties and Parasitics in Power Modules*. IEEE Energy Conversion Congress and Exposition, ECCE 2010, Atlanta, USA, Sept. 2010.
- [E04] O. Muehlfeld, B. Wittig, F.W. Fuchs, *Development of an Optimized Power Section for a 5 kW 24 V DC/AC Inverter for Automotive Applications*. In Power Electronics and Applications EPE '11. 14th European Conference on, Birmingham, England, Sept. 2011.
- [E05] O. Muehlfeld, B. Wittig, J. Rudzki, F.W. Fuchs. *High Efficient Power Converter for Low Voltage Traction Applications with Power Multiplication*. Bodo's Power Systems, 2011, Sept. 2011, 30-33
- [E06] B. Wittig, O. Muehlfeld, F.W. Fuchs. *Methoden zur Effizienzsteigerung von Niederspannungs-Umrichtern mit hohen Lastströmen*, ETG Kongress, 2011
- [E07] B. Wittig, O. Muehlfeld, F.W. Fuchs. *Adaption of MOSFETs Current Slope by Systematic Manipulation of Common Source Stray Inductance and Gate Resistance*. In Power Electronics and Applications EPE '11. 14th European Conference on, Birmingham, England, Sept. 2011
- [E08] J. Rudzki, D. Bernhardt, M. Poech, R. Eisele, and O. Mühlfeld. *Sintern und molden - Optimierung der Leistungsmodule durch neue Technologien*. In 40. Kolloquium Halbleiter-Leistungsbaulemente und ihre systemtechnische Anwendung, 2011.
- [E09] F. Osterwald, O. Muehlfeld. *Leistungsmodule - Einsatzbedingungen und Lösungsansätze*, Proceedings to the SMT 2012, Nuremberg, 2012

Lebenslauf



Name: Ole Mühlfeld

Geburtsdatum: 13.04.1982

Geburtsort: Itzehoe

Schulausbildung: Abitur, Detlefsengymnasium, Glückstadt, 2001

Wehrdienst: 2001-2002
Grundwehrdienst, Husum

Studium: 2002-2008
Studium der Physik mit Schwerpunkt Festkörperphysik
an der Christian-Albrechts-Universität zu Kiel

Berufstätigkeit: 2008-2011
Wissenschaftlicher Mitarbeiter
am Lehrstuhl für Leistungselektronik und Elektrische Antriebe
an der Christian-Albrechts-Universität zu Kiel

seit 2012
Entwicklungsingenieur
bei Danfoss Silicon Power in Flensburg
Abteilung Electrical Engineering / Application Engineering